

ISSN 2078-7707

МЭС-2020

IX Всероссийская научно-техническая конференция

ПРОБЛЕМЫ РАЗРАБОТКИ ПЕРСПЕКТИВНЫХ МИКРО- и НАНОЭЛЕКТРОННЫХ СИСТЕМ – 2020 (МЭС-2020)

СБОРНИК ТРУДОВ. Выпуск III

«Автоматизация проектирования микро- и наноэлектронных схем и систем»

«Разработка перспективных микро- и наноэлектронных элементов, схем и устройств»

Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике Российской академии наук

Москва - 2020

IX Всероссийская научно-техническая конференция

ПРОБЛЕМЫ РАЗРАБОТКИ ПЕРСПЕКТИВНЫХ МИКРО- и НАНОЭЛЕКТРОННЫХ СИСТЕМ – 2020

СБОРНИК ТРУДОВ. Выпуск III



УДК 621.3.049.77 : 658.512

Проблемы разработки перспективных микро- и наноэлектронных систем – 2020. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2020. Выпуск III. 264 с.

Выпуск III настоящего периодического издания содержит 27 докладов из числа представленных на IX Всероссийскую научно-техническую конференцию «Проблемы разработки перспективных микро- и наноэлектронных систем – 2020» (Москва, Зеленоград, июнь-ноябрь 2020 г.). Эти работы выполнены научными сотрудниками и аспирантами институтов РАН, специалистами российских научно-производственных организаций и предприятий, преподавателями, научными сотрудниками, аспирантами и студентами высших учебных заведений, а также сотрудниками ряда зарубежных организаций и высших учебных заведений, работающих в области проектирования микро- и наноэлектронных изделий. Издание предназначено для научных работников, специалистов, аспирантов и студентов, занимающихся проблемами разработки, анализа, тестирования сложных микро- и наноэлектронных схем и систем, а также соответствующих программных средств.

Материалы издания отражают современное состояние российской микро- и наноэлектроники и методов и средств разработки микро- и наноэлектронных схем и систем и являются важным источником информации по перспективным направлениям исследований и инвестиций в данной области.

Все статьи прошли рецензирование и одобрены Редакционной коллегией сборника, Организационным и Программным комитетами конференции.

Ответственный за выпуск к.т.н., с.н.с. Ходош Л.С.

Издается с 2005 года. Включено в систему Российского индекса научного цитирования. Аннотации на русском и английском языках находятся в свободном доступе на сайтах конференции (http://www.mes-conference.ru) и научной электронной библиотеки (http://elibrary.ru). Электронные версии полнотекстовых статей с 2010 г. по 2019 г. размещены на сайте конференции в разделе «АРХИВ». Там же размещен полный каталог статей с 2005 по 2019 г. и их тексты.

Издание включено в Перечень ВАК российских рецензируемых научных журналов и периодических изданий, в которых должны быть опубликованы основные научные результаты диссертаций на соискание ученых степеней доктора и кандидата наук по следующим специальностям.

05.13.05 – Элементы и устройства вычислительной техники и систем управления (технические науки).

05.13.11 – Математическое и программное обеспечение вычислительных машин, комплексов и компьютерных сетей (технические науки).

05.13.12 – Системы автоматизации проектирования (технические науки).

05.13.15 – Вычислительные машины, комплексы и компьютерные сети (технические науки).

05.27.01 – Твердотельная электроника, радиоэлектронные компоненты, микро- и наноэлектроника, приборы на квантовых эффектах (технические науки).

ПОДПИСКА:

- **по каталогу «Издания органов научно-технической информации» АО «Агентство Роспечать» (индекс 59883);**
- **в редакции издания (тел./факс: (499)729-9208).**

© Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук

ISSN 2078-7707

Организационный комитет

Стемпковский А.Л.	- Председатель, академик РАН, д.т.н., проф., ИППМ РАН
Гаврилов С.В.	- заместитель Председателя, д.т.н., проф., ИППМ РАН
Ходощ Л.С.	- Ученый секретарь, к.т.н., с.н.с., ИППМ РАН

Члены Оргкомитета

Беспалов В.А.	- д.т.н., проф., НИУ «МИЭТ»
Бобков С.Г.	- д.т.н., ИППМ РАН
Быков В.А.	- д.т.н., проф., ЗАО «НТ-МДТ»
Верба В.С.	- чл.-корр. РАН, д.т.н., проф., АО «Концерн Вега»
Зайцев В.В.	- Казенное предприятие города Москвы «Корпорация развития Зеленограда»
Ким А.К.	- к.т.н., АО «ИНЭУМ им. И.С. Брука»
Ковалев А.А.	- д.т.н., АО «Зеленоградский нанотехнологический центр»
Мальцев П.П.	- д.т.н., проф., ИСВЧПЭ РАН
Медведев А.М.	- к.э.н., Минобрнауки России
Новожилов А.Е.	- Префектура ЗелАО г. Москвы
Павлюк М.И.	- АО «ПКК Миландр»
Панченко В.Я.	- академик РАН, д.ф.-м.н., проф., РФФИ
Петричкович Я.Я.	- д.т.н., проф., АО НПЦ «ЭЛВИС»
Романовский М.Ю.	- д.ф.-м.н., Минобрнауки России
Сауров А.Н.	- академик РАН, д.т.н., проф., ИНМЭ РАН
Северцев В.Н.	- д.т.н., АО «НПЦ «НИИМП»
Сигов А.С.	- академик РАН, д.ф.-м.н., проф., РТУ МИРЭА
Соколов И.А.	- академик РАН, д.т.н., проф., ФГУ «ФИЦ ИУ» РАН
Суетин Н.В.	- д.ф.-м.н., Фонд «Сколково»
Телец В.А.	- д.т.н., проф., ИЭПЭ НИЯУ «МИФИ»
Чаплыгин Ю.А.	- академик РАН, д.т.н., проф., НИУ «МИЭТ»
Шагалиев Р.М.	- д.ф.-м.н., ФГУП «РФЯЦ-ВНИИЭФ»
Шахнов В.А.	- чл.-корр. РАН, д.т.н., проф., МГТУ им. Н.Э.Баумана
Шелупанов А.А.	- д.т.н., проф., ТУСУР
Щелоков А.Н.	- к.ф.-м.н., доц., ИППМ РАН

Программный комитет

Иванников А.Д. - Председатель, д.т.н., проф., ИППМ РАН

Члены программного комитета:

Бибило П.Н. - д.т.н., проф., ОИПИ НАН Беларуси

Гаврилов С.А. - д.т.н., проф., НИУ «МИЭТ»

Джиган В.И. - д.т.н., доц., ИППМ РАН

Зольников В.К. - д.т.н., проф., «ВГЛУ им. Г.Ф. Морозова», г. Воронеж

Коротков А.С. - д.т.н., проф., С.-Пб. политехнический университет Петра Великого

Кулагин В.П. - д.т.н., проф., Российский технологический университет

Курейчик В.В. - д.т.н., проф., ИТА ЮФУ, г. Таганрог

Ложкин С.А. - д.ф.-м.н., проф., МГУ им. М.В. Ломоносова

Марченко А.М. - д.т.н., доц., Mentor Graphics

Меликян В.Ш. - чл.-корр. НАН Армении, д.т.н., проф., ЗАО «Синопсис Армения», Армения, г. Ереван

Переверзев А.Л. - д.т.н., доц., НИУ «МИЭТ»

Петросянц К.О. - д.т.н., проф., МИЭМ НИУ ВШЭ

Пугачёв А.А. - к.т.н., ОАО «НПП «Пульсар»

Русаков С.Г. - чл.-корр. РАН, д.т.н., проф., ИППМ РАН

Рыжов А.П. - д.т.н., проф., МГУ им. М.В. Ломоносова

Стенин В.Я. - д.т.н., проф., НИЯУ «МИФИ»

Стешенко В.Б. - к.т.н., доц., АО «Российские космические системы»

Финько О.А. - д.т.н., проф., Краснодарское ВВУ им. С.М.Штеменко

Чумаков А.И. - д.т.н., проф., НИЯУ «МИФИ»

Шагурин И.И. - д.т.н., проф., НИЯУ «МИФИ»

Технический комитет

Дмитриева Л.А. - Руководитель**,** ИППМ РАН

Абашкин А.Л. - ИППМ РАН

Егорова В.В. - ИППМ РАН

Каленкова А.А. - ИППМ РАН

Куроедова Н.В. - ИППМ РАН

Лялинский А.А. - ИППМ РАН

Филенкова Н.Н. - ИППМ РАН

Введение

Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС)» проводится в России с 2005 года с периодичностью один раз в два года. Начиная с 2021 года, конференция будет проводиться ежегодно.

Учредителями конференции в 2020 году являются: Российская академия наук, Отделение нанотехнологий и информационных технологий РАН, Министерство науки и высшего образования Российской Федерации, Российский фонд фундаментальных исследований, Департамент науки и промышленной политики г. Москвы, Префектура Зеленоградского административного округа г. Москвы, АО «Концерн Радиостроения «Вега», Институт нанотехнологий микроэлектроники РАН, Институт электронных управляющих машин им. А.С. Брука, АО «НИИМА «Прогресс», Федеральный исследовательский центр «Информатика и управление» РАН, МИРЭА – Российский технологический университет, Национальный исследовательский университет МИЭТ, Южный федеральный университет.

Организатор и проводящая организация МЭС-2020 – Институт проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН), ***соорганизатор –*** Казенное предприятие города Москвы «Корпорация развития Зеленограда», ***оператор конференции*** – Московское научно-техническое общество радиотехники, электроники и связи (МНТОРЭС) имени А.С. Попова.

В качестве ***официальных партнёров конференции*** выступают Фонд инфраструктурных и образовательных программ, Фонд «Сколково», московское представительство фирмы Intel Corporation –АО «Интел А/О», НПК «Технологический центр», ТУСУР – Томский государственный университет систем управления и радиоэлектроники.

Спонсоры МЭС-2020*:* АО КАДФЕМ Си-Ай-Эс, АО «Мегратек», АО «ПКК Миландр», АО «МЦСТ», АО НПЦ «Элвис».

Очередная IX Всероссийская научно-техническая конференция МЭС-2020 проводится с июня по ноябрь 2020 г. в заочном (дистанционном) формате с использованием сети Интернет. Заочный формат и большая длительность конференции обусловлены эпидемиологической обстановкой в России. Доклады, прошедшие рецензирование, выложены на сайте **www.mes-conference.ru,** их обсуждение проводится в режиме форума.

Популярность конференции устойчива и постоянна, ее научно-технический уровень постоянно повышается, чему способствует жесткая система рецензирования и отбора докладов. Конференция посвящена актуальным вопросам автоматизации проектирования микро- и наноэлектронных систем (МЭС), систем на кристалле, IP-блоков и новой элементной базы микро- и наноэлектроники. В 2020 году ее работа организована в рамках двух направлений: «Автоматизация проектирования микро- и наноэлектронных схем и систем» и «Разработка перспективных микро- и наноэлектронных элементов, схем и устройств». Все принятые и прошедшие обсуждение доклады публикуются в четырех выпусках Трудов конференции.

> *Издание включено в Перечень ВАК российских рецензируемых научных журналов и периодических изданий, в которых должны быть опубликованы основные научные результаты диссертаций на соискание ученых степеней доктора и кандидата наук.*

Конференцию планируется завершить проведением Пленарного заседания в ноябре 2020 года в Центральном доме ученых по адресу: Москва, ул. Пречистенка, дом 16. Планируется также проведение сессии «Презентации научно-технических достижений российских и зарубежных компаний и организаций, способствующих развитию микроэлектроники в России» в ноябре 2020 года в КП «Корпорация развития Зеленограда» по адресу: г. Зеленоград, ул. Юности, дом 8.

Среди авторов докладов присутствуют члены РАН и национальных академий других государств, доктора и кандидаты наук, аспиранты, специалисты, осуществляющие реальные разработки. Доклады представлены от институтов РАН и национальных академий наук, высших учебных заведений, государственных научно-производственных комплексов и институтов, негосударственных и коммерческих организаций, в том числе от зарубежных коммерческих компаний и их представительств в России.

Считаю, что результаты исследований авторов представленных работ достаточно полно и масштабно отражают современное состояние российской микро- и наноэлектроники, методы и средства разработки микро- и наноэлектронных систем и схем и служат важным источником информации для более точного определения перспективных направлений инвестиций в этой сфере, а также основой для профессионального роста кадров российской науки и промышленности.

Выражаю глубокую благодарность учредителям и соорганизаторам конференции, ее официальным партнёрам, спонсорам, членам Оргкомитета, членам Программного комитета и рецензентам, членам Технического комитета - всем, кто содействовал и содействует участию в конференции ведущих ученых и специалистов России и русскоязычного зарубежья, оказывает финансовую и информационную поддержку конференции, выполняет отбор и редактирование материалов, включенных в настоящее издание.

Председатель Организационного комитета МЭС-2020,
Научный руководитель ИППМ РАН, академик РАН,
доктор технических наук, профессор
А.Л. Стемпковский



ФОНД ИНФРАСТРУКТУРНЫХ
И ОБРАЗОВАТЕЛЬНЫХ
ПРОГРАММ
Группа РОСНАНО

The Fund for Infrastructure and Educational Programs (FIEP) is the governmental institution for innovation infrastructure development in Russia. It was founded during the reorganization of Russian Corporation of Nanotechnologies in 2010.
Fund for Infrastructure and Educational Programs focuses on two main activities: support of the infrastructure, including nanotechnology centers, engineering companies, startups and development the nano industry activities.
FIEP's nanotechnology centers play a major role in the Russian innovation ecosystem. Since 2013 year 13 nanocenters in 9 Russian regions created over 800 startups, which make up about 50% all Russian material based startups.
FIEP provides support for nanotechnology sector of economy and other related hi-tech industries by professional standards development, rules and regulations development, documents for products, safety assessment and other.
FIEP fosters national education system for Nano industry. Fund has created the system providing the nanotechnology and other related to them hi-tech industries with highly demanded qualified specialists. Key tools: programs of additional professional education, e-learning, trainings, professional standards, centers for qualification assessment. About 1000 Russian schools are participating in the RUSNANO School League in 75 Russian regions.

Фонд инфраструктурных и образовательных программ – один из крупнейших институтов развития инновационной инфраструктуры в России. Фонд создан на основании закона «О реорганизации Российской корпорации нанотехнологий» в 2010 году.
Деятельность Фонда направлена на поддержку и развитие всех российских предприятий наноиндустрии по таким направлениям, как развитие технологической инфраструктуры, кадрового потенциала, стимулирование спроса, стандартизация и сертификация новой продукции, совершенствование законодательства, популяризация высоких технологий.
Фонд поддерживает и развивает сеть нанотехнологических центров. Совместно с партнерами Фонд создает технологические инжиниринговые компании, которые по заказу сторонних компаний разрабатывают и внедряют оригинальные технологии для различных отраслей промышленности. Для расширения сферы применения инноваций Фонд совершенствует систему технических регламентов и стандартов.
Образовательные программы, создаваемые при поддержке Фонда, нацелены на подготовку высококвалифицированных кадров для наноиндустрии. На базе вузов при поддержке ФИОП открыты 200 образовательных программ, по которым прошли профессиональную переподготовку более 90 тысяч выпускников высшей школы и сотрудников промышленных предприятий. Межвузовская программа подготовки инженеров в сфере высоких технологий, запущенная совместно с мэрией Москвы, объединила ведущие высшие учебные заведения: НИЯУ «МИФИ», НИТУ «МИСиС», РАНХиГС. В программе «Школьная лига РОСНАНО», внедряющей эффективные технологии естественно-научного образования, участвуют более 1000 школ в 75 регионах России.
С 2016 году Фонд наряду с Минобрнауки является главным организатором Всероссийского инженерного конкурса, в рамках которого есть трек для инженеров-нанотехнологов.

Тел.: +7 495 988 5388; E.: info@rusnano.com; https://www.rusnano.com/infrastructure

Томский государственный университет систем управления и радиоэлектроники (ТУСУР) – ведущий отечественный вуз, в котором ведутся фундаментальные, прикладные и экспериментальные исследования в области микро- и наноэлектроники, автоматизации проектирования СВЧ-микроэлектроники. ТУСУР входит в список 10 ведущих базовых вузов по подготовке научно-производственных кадров микроэлектронного профиля.

В университете осуществляются разработка и создание GaN электронной компонентной базы, необходимой для развития силовой электроники, сверхширокополосных оптоэлектронных устройств для волоконно-оптических систем передачи информации, радиофотоники и др. Ведется разработка цифрового дизайн-центра для проектирования монолитных интегральных СВЧ-схем, применяемых при построении приемопередающих модулей для систем телекоммуникаций и радиолокации.

В инфраструктуру университета входят следующие подразделения с производственными возможностями в области микроэлектроники: научно-образовательный центр «Нанотехнологии» (включен в Национальную нанотехнологическую сеть РФ), НИИ микроэлектронных систем, НИИ систем электросвязи, центр коллективного пользования научным и технологическим оборудованием «Импульс».

Индустриальными партнерами университета выступают известные компании: АО «НПФ «Микран», Государственная корпорация «Ростех», Государственная корпорация «Роскосмос», «Концерн ВКО «Алмаз-Антей» и др.

Tomsk State University of Control Systems and Radioelectronics (TUSUR University) is a leading Russian university that carries out basic, applied and experimental research in micro- and nanoelectronics and automation of microwave electronics design. TUSUR University is in top-10 core universities that trains research and development professionals with an expertise in microelectronics.

The university is developing a GaN electronic component base for power electronics, ultra-wide-band optoelectronic devices for fiber-optic data transmission systems, radiophotonics, etc. Another ongoing project is the development of a digital design center with an expertise in monolithic microwave integrated circuits that are used in construction of transceiver modules for telecommunications and radar systems.

The infrastructure of TUSUR University includes the following units with a focus on microelectronics production: Nanotechnology Research and Education Center (member of the National Nanotechnology Network of Russia), R&D Institute of Microelectronic Systems, R&D Institute of Electrical Communications, Resource Sharing Center “Impulse”.

Among the University's industrial partners are the major enterprises such as Micran JSC, Rostec State Corporation, Roscosmos State Corporation, Almaz-Antey Corporation, etc.

---

https://tusur.ru/

АО «КАДФЕМ Си-Ай-Эс» – крупнейший на российском рынке дистрибьютор систем инженерного анализа, а также центр компетенции и элитный партнер компании Ansys, ведущего разработчика ПО для наукоёмкого инженерного анализа и численного моделирования. Компания обеспечивает поставку, внедрение и техническое сопровождение решений многодисциплинарной линейки Ansys и сопутствующих программных продуктов. КАДФЕМ также предлагает клиентам услуги инженерного консалтинга, в том числе проведение расчетов на заказ, разработку методик решаемых задач, адаптацию программного обеспечения и решение всех вопросов с организацией эффективной вычислительной ИТ-инфраструктуры для ресурсоемкого численного моделирования. В эпоху перехода к Индустрии 4.0 компания помогает клиентам уменьшить затраты времени и финансов, сократить цикл производства. Среди клиентов компании – ведущие организации Роскосмоса, Росатома, ОАК, ОСК, Оборонпрома, ТЭК и других отраслей.

Кроме того, «КАДФЕМ Си-Ай-Эс» является аккредитованным центром коллективного пользования «Сколково». Компания также тесно сотрудничает с самыми престижными вузами страны, инвестируя средства в создание профильных специализированных центров компетенций.

Партнерами КАДФЕМ Си-Ай-Эс являются разработчики программных продуктов nCode, CivilFEM, optiSLang, Rocky DEM, Flownex, virtualcitySYSTEMS, Romax.

На IX Всероссийской научно-технической конференции МЭС-2020 эксперты КАДФЕМ выступят с докладом «Презентации научно-технических достижений российских и зарубежных компаний и организаций, способствующих развитию микроэлектроники в России».

CADFEM CS is the largest Russian CAE systems distributor and is certified elite channel partner of Ansys, a leading developer of software for high-tech engineering analysis and simulation. The company provides delivery, implementation and technical support of Ansys multidisciplinary solutions and related software products. CADFEM also offers engineering consulting services, including customized calculations, development of methods for particular issues and software adjustment. The company helps to solve all issues, providing effective computing IT infrastructure for resource-intensive simulation. During the transition to Industry 4.0, the company helps customers to reduce time and costs and shorten the production cycle. Among the company's clients are the leading organizations of ROSCOSMOS, ROSTATOM, UAC, OSK, OBORONPROM, TEK and other industries.

In addition, CADFEM CSI is certified Skolkovo core facility center. The company also works closely with the most prestigious universities in the country, investing in creation of specialized centers of competence.

CADFEM CIS partners with other developers of software products – nCode, CivilFEM, optiSLang, Rocky DEM, Flownex, virtualcity SYSTEMS and Romax.

At MES-2020 CADFEM experts will make a presentation of scientific and technical achievements of Russian and foreign companies and organizations that enable development of microelectronics in Russia.

Редакционная коллегия

Главный редактор
Стемпковский А.Л.,
академик РАН,
д.т.н., проф.

Заместитель Главного редактора
Иваннников А.Д., д.т.н., проф.

Члены коллегии
Бибило П.Н., д.т.н., проф.
Бобков С.Г., д.т.н.
Гаврилов С.В., д.т.н., проф.
Джиган В.И., д.т.н, доц.
Зольников В.К., д.т.н., проф.
Константинов И.С., д.т.н.,
проф.
Коротков А.С., д.т.н., проф
Кулагин В.П., д.т.н., проф.
Курейчик В.В., д.т.н., проф.
Мальцев П.П., д.т.н., проф.
Марченко А.М., д.т.н., доц.
Меликян В.Ш., д.т.н., проф.,
чл.-корр. НАН Армении
Переверзев А.Л., д.т.н., доц
Петросянц К.О., д.т.н., проф.
Русаков С.Г., чл.-корр. РАН,
д.т.н., проф.
Рыжов А.П., д.т.н., проф.
Стенин В.Я., д.т.н., проф.
Чумаков А.И., д.т.н., проф.
Шагурин И.И., д.т.н., проф.

Адрес редакции: 124365,
Москва, Зеленоград,
ул. Советская, д. 3,
ИППМ РАН.
Тел./Факс: 8-499-729-9208
E-mail: ippm@ippm.ru
http://www.mes-conference.ru

СОДЕРЖАНИЕ

Организационный комитет ……... ……..…..…..… III
Программный комитет …….…..... IV
Введение……..... V
О Фонде инфраструктурных и образовательных программ …… VII

Автоматизация проектирования микро- и наноэлектронных схем и систем

А.Д. Иванников, А.Л. Стемпковский
Анализ итерационных методов решения систем логических уравнений и их использование при моделировании цифровых систем …… 2

Д.И. Черемисинов, Л.Д. Черемисинова
Верификация цифровых устройств с параллелизмом поведения …… 9

М.А. Заплетина, Д.А. Железников, С.В. Гаврилов
Иерархический подход к трассировке реконфигурируемой системы на кристалле островного типа …… 16

A.A. Sokhatski
Use of Formal Methods to Resolve Actual Problems of ASIC Design Verification ……..... 22

М.М. Гурарий, М.М. Жаров, С.Г. Русаков, С.Л. Ульянов
Адаптивный алгоритм анализа схем с колебательными режимами ….. 28

С.Э. Миронов, Л.Е. Андреев, К.М. Зибарев
Технология комплексной параметризации топологических проектов регулярных макроблоков СБИС ……..…… 35

Д.А. Булах, А.В. Коршунов
Ускорение решения задачи обнаружения близости полигонов в задачах технологии двойного шаблона …….. 41

К.О. Петросянц, И.А. Харитонов
Улучшенная процедура электротеплового моделирования силовых ДМОП каскадов ИС ……..... 49

Н.А. Гревцев, П.А. Чибисов
Функциональная верификация атомарных операций с использованием анализа конфликтов блокировок …..…… 57

А.К. Скуратов
Математическая модель функционирования специализированного микропроцессорного устройства как основа для составления его функциональной спецификации …… 65

А.С. Михмель, И.А. Мкртычан, Д.В. Тельпухов
Разработка моделей специальных логических элементов для анализа быстродействия реконфигурируемых систем на кристалле ……... 73

Б.К. Лебедев, О.Б. Лебедев
Ко-эволюционный алгоритм разбиения СБИС …… 79

Ю.А. Недбайло
Анализ масштабируемости многоядерного микропроцессора с помощью моделирования на основе трасс событий …….. 87

К.А. Жезлов
Методика автоматизированного анализа производительности коммутационных сред с учетом структуры СнК и прикладных задач …… 94

А.А. Квасников, С.П. Куксенко, А.А. Иванов
Программное обеспечение для проектирования оптимальной сети высоковольтного электропитания космического аппарата …… 100

Е.И. Волкова, С.А. Попков
Исследование нелинейных эффектов при моделировании чувствительного элемента МЭМС-вакуумметра …….. 108

М.Н. Скрипниченко
Разработка алгоритмов калибровки аналого-цифровых преобразователей с использованием математической модели на примере АЦП последовательного приближения ……... 114

А.М. Штучный, В.М. Курейчик
Обратная разработка печатных плат с использованием алгоритма обезьян …….. 120

Разработка перспективных микро- и наноэлектронных элементов, схем и устройств

Н.В. Островская, В.А. Скиданов
Влияние полевой компоненты магнитного момента, обусловленного спин-поляризованным током инжекции, на динамику намагниченности в тонкопленочной трехслойной наноструктуре ……... 127

Ю.В. Сахаров
Структура и электрофизические свойства пористых диэлектриков, модифицированных углеродом …….. 133

А.Д. Пугачев, И.В. Ожогин, М.Б. Лукьянова, Б.С. Лукьянов, А.С. Козленко, И.А. Ростовцева, Н.И. Макарова, А.В. Метелица, В.В. Ткачев
Новые спиропираны для создания элементов молекулярной электроники и фотоники …….. 139

A.A. Shabanov, M.G. Putrya
Development and approbation of the method of microcircuits interchangeability efficiency evaluation in radar equipment based on critical circuit and parametric characteristics set ……... 147

В.И. Джиган
Предисказители сигналов с прямым обучением для усилителей мощности ……. 151

В.В. Ерохин
Архитектура процессоров большой разрядности: проблемы и решения ……... 158

В.В. Ерохин
Система команд процессоров архитектуры R^2T ……... 165

М.И. Дябин, А.В. Решетников, Е.А. Саксонов
Методика тестирования процессорного ядра системы на кристалле с x86-совместимым микропроцессором …….. 172

В.С. Калашников, М.Ю. Семенов, Ю.А. Титов
Особенности использования многоразрядных триггеров для уменьшения потребляемой мощности в нанометровых технологиях …….. 180

А.О. Власов, Н.В. Желудков, А.В. Клишин, Е.К. Эмин, М.С. Горбунов
Сравнительная характеристика методов повышения сбоеустойчивости топологии блоков целочисленного умножения/деления в проектных нормах 65 нм ……..… 188

В.А. Лесников, Т.В. Наумович, А.В. Частиков
Восстановление аналитического сигнала, искаженного алиасингом первого порядка ……..….. 194

А.Э. Рассадин, А.В. Степанов
Теория возмущений для четырёхполюсника с сегнетоэлектрическим конденсатором с отрицательной дифференциальной ёмкостью 201
А.А. Науменко, А.С. Воробьев
Расчёт электрических характеристик шин питания в коммутационной плате микропроцессора 207
Р.И. Халирбагинов
Осциллятор с цифровым управлением для схемы полностью цифровой фазовой автоподстройки частоты 212
А.С. Синюкин, Б.Г. Коноплев, А.В. Ковалев
Преобразователь радиочастотной энергии на наноразмерных МОП-транзисторах для пассивных беспроводных приложений 218
А.В. Быкова, М.Н. Полунин
Критерии численной оценки алгоритмов восстановления данных для аналого-информационных преобразователей 224
В.В. Лобода, Р.Д. Буслаев
Влияние линейных размеров термоэлемента на выходные характеристики термоэлектрического генератора 230
А.В. Ткаченко, И.Е. Лысенко
Радиочастотный микромеханический переключатель с высоким отношением емкости 237
Д.В. Иванов, О.И. Митрошин
Оценивание частот синусоид на основе расширенных эквивалентных систем 244
Именной указатель авторов статей 250

Автоматизация проектирования микро- и наноэлектронных схем и систем

УДК 681.3.02 DOI: 10.31114/2078-7707-2020-3-2-8

Анализ итерационных методов решения систем логических уравнений и их использование при моделировании цифровых систем

А.Д. Иванников, А.Л. Стемпковский

Институт проблем проектирования в микроэлектронике РАН, г. Москва,

adi@ippm.ru

***Аннотация* — При функционально-логическом моделировании цифровых систем на каждом такте моделирования осуществляется итерационное решение системы логических уравнений. Осуществляется вычисление установившихся значений логических сигналов в узлах схемы после подачи входных логических воздействий. В работе рассматриваются различные итерационные методы, применимые для решения систем логических уравнений, а именно: простая итерация, итерация Зейделя, вводится понятие обобщенной итерации. В теоретическое рассмотрение вводится понятие следа итерации как последовательности подмножеств индексов логических переменных, пересчитываемых на каждом шаге итерации. Анализируются графовые модели как самой системы логических уравнений, так и процесса итерационного решения систем уравнений. Показана связь количества решений системы логических уравнений со структурой ее графовой модели. Сформулированы варианты использования рассмотренных итерационных методов решения при функционально-логическом моделировании цифровых систем.**

***Ключевые слова* — функционально-логическое моделирование цифровых систем, системы логических уравнений, итерационные методы решения, обобщенная итерация.**

I. Введение

Еще в 90-ые годы во многих работах указывалось на перспективность использования информационных технологий в различных областях современной человеческой деятельности: коммуникациях, образовании, науке и технике [1-3]. И действительно, в настоящее время проектирование современных цифровых микроэлектронных систем возможно только на основе систем автоматизированного проектирования. При проектировании цифровых систем функционально-логическое моделирование на уровне соединения блоков и элементов схемы технических средств является необходимым для проверки правильности проекта. Для проверки правильности функционирования разрабатываемой цифровой системы осуществляется моделирование изменений логических сигналов как на выходе всей системы управления, так и в узлах соединения блоков и элементов технических средств цифровой системы. При этом для каждого изменения входных сигналов необходимо определять новые логические значения сигналов в узлах схемы [4-6], то есть осуществлять решение системы многозначных (конечнозначных) логических уравнений. Многозначность логических переменных обусловлена наличием (кроме состояний 0 и 1) высокоимпедансного (отключенного) состояния на линиях и шинах цифровых блоков, представлением сигналов на шинах одним многозначным сигналом [7, 8], а также представлением процесса переключения значений сигналов в виде несколько значных логических сигналов, что используется при моделировании с целью верификации временных диаграмм [9, 10].

Специфический вид системы уравнений, а также тот факт, что модели блоков цифровых систем задаются не аналитически, а в виде подпрограмм, обуславливают использование итерационных методов решения уравнений. Целью данной работы является исследование системы многозначных (конечнозначных) логических уравнений с точки зрения существования корней и их определения итерационными методами применительно к используемым методам функционально-логического моделирования цифровых систем на этапе проектирования.

II. Условия существования решений и их количество

Рассмотрим систему:

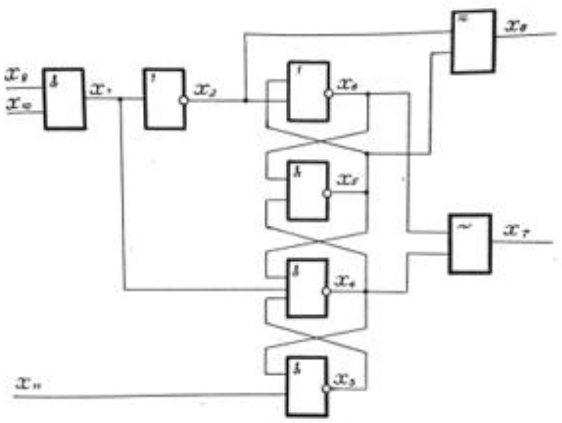
$$x_i = f_i(x_{1,\dots,}x_n, x_{n+1,\dots,}x_{n+l}), \qquad (1)$$

где $x_i, i = 1, \dots, n+l$ - логические переменные значности $|\mathbf{Z}_i|$;

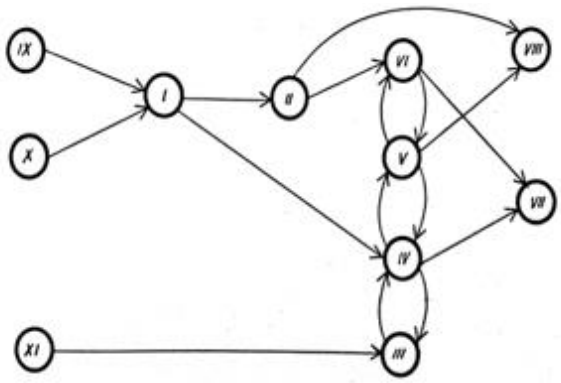
$x_i, i = n+1, \dots, n+l$ – входные переменные;
f_i, $i = 1,\dots,n$ – логические функции значности $|\mathbf{Z}_i|$;
$\mathbf{Z}_i$ – конечное множество значений i-ых переменной и функции,
причем для каждого $x_i, i = 1, \dots, n$ в системе (1) имеется только одно уравнение.

Одновременно с системой (1) будем рассматривать ее представления в виде ориентированного графа $G(\mathbf{V}, \mathbf{E})$, $\mathbf{V} = \mathbf{V}' \cup \mathbf{V}_{\text{вх}}$, где каждой вершине $v, v \in \mathbf{V}$ изоморфна переменная x_i, i=1,…,n (множество $\mathbf{V}'$) или входная переменная x_i, i=n+1,…,n+l (множество $\mathbf{V}_{\text{вх}}$). Ориентированное ребро e_{ij} направлено от v_i к v_j, если x_i является аргументом f_j. На рис. 1 в качестве иллю-

страции приведена схема соединений логических элементов двоичной логики и соответствующий граф.



а)



б)

Рис. 1. Сеть логических элементов (а) и ее представление в виде ориентированного графа (б)

При фиксированных значениях входных переменных сети $x_{n+1,\dots,}x_{n+l}$ система (1) имеет вид:

$$x_i = h_i\left(x_{1,\dots,}x_n\right), i = 1, \dots, n. \quad (2)$$

Если мы рассматриваем частный случай двузначной логики, то решение $(x'_1, \dots, x'_n)$ системы (2) существует, если для всех функций, входящих в систему (2), значения $h_i(x'_1, \dots, x'_n)$ определены, то есть равны либо нулю, либо единице. Сформулируем условия существования решения для системы (2) в более общем случае конечнозначности переменных.

Если функции $h_1, h_2, \dots, h_n$ в системе уравнений (2) можно упорядочить так, чтобы каждая последующая функция зависела только от значений предыдущих, то есть в виде:

$$h_{i_1}, h_{i_2}\left(x_{i_1}\right), h_{i_3}\left(x_{i_1}, x_{i_2}\right), \dots, h_{i_n}\left(x_{i_1}, x_{i_2}, \dots, x_{i_{n-1}}\right), \quad (3)$$

то система (2) имеет единственное решение.

Системе логических уравнений, которые могут быть упорядочены в виде (3), соответствует структурный ориентированный граф без циклов. В этом случае элементы логической сети являются ранжируемыми, и путем последовательной подстановки выражений для f_jвместо всех x_j в $f_i(x_1, \dots, x_j, \dots, x_{i-1})$ можно выразить все логические переменные (1) через входные переменные:

$$x_i = p_i(x_{n+1}, \dots, x_{n+l}), i = 1, \dots, n,$$

где p_i - всюду определенные многозначные логические функции.

Рассмотрим вопрос о количестве решений системы (2) в зависимости от структуры графа $G(\mathbf{V}, \mathbf{E})$. Граф $G'(\mathbf{V}', \mathbf{E}')$ получается из графа $G(\mathbf{V}, \mathbf{E})$ удалением вершин множества $\mathbf{V}_{\text{вх}}$ и выходящих из них ребер (вершины IX, X, XI, ребра IX, I; X, I; XI, III, рис. 1б). Система (2) может иметь количество решений, отличное от единицы, только в том случае, если граф $G'(\mathbf{V}', \mathbf{E}')$ имеет циклы. Ациклическая часть графа $G'(\mathbf{V}', \mathbf{E}')$, представляющая связь циклической части со входными переменными (вершины I, II , ребра I, II; II, VI; II, VIII; I, IV, рис. 1б), соответствует переменным, значения которых однозначно определяются состоянием входных переменных. Выходная ациклическая часть графа $G'(\mathbf{V}', \mathbf{E}')$ (вершины VII, VIII , ребра V, VIII; IV, VII, рис. 1б) представляет переменные, состояния которых однозначно определяются состояниями входов сети (возможно через состояния переменных входной ациклической части) и состояниями переменных циклической части. Состояния переменных выходной ациклической части всегда определены и не влияют на решение системы (2). Удалим из графа $G'(\mathbf{V}', \mathbf{E}')$ входную и выходную ациклические части и получим граф $G''(\mathbf{V}'', \mathbf{E}'')$ (рис. 2а).

Найдем в $G''(\mathbf{V}'', \mathbf{E}'')$ такое множество вершин $\mathbf{V}_{\text{ц}}$, что после удаления ребер, выходящих из этих вершин, граф циклов не содержит, и $\prod_{v \in \mathbf{V}_{\text{ц}}} |\mathbf{Z}_v|$ минимально. Каждую вершину $v, v \in \mathbf{V}_{\text{ц}}$ преобразуем в две не связанные между собой вершины v^1 и v^2 таким образом, что в вершину v^1 входят все ребра, входившие в v, а из вершины v^2 выходят все ребра, выходившие из вершины v. Тогда при заданных значениях входных переменных можно выразить переменные $x^1_{\text{ц}1}, \dots, x^1_{\text{ц}k}$, соответствующие вершинам v^1 множества $\mathbf{V}_{\text{ц}}$, в виде $x^1_{\text{ц}i} = q_i\left(x^2_{\text{ц}1}, \dots, x^2_{\text{ц}k}\right),\ i = 1, \dots, k$. Так как переменные $x^1_{\text{ц}j}$ и $x^2_{\text{ц}j}$ тождественны, то решение системы (2) может быть заменено решением системы

$$x_i = q_i(x_1, \dots, x_k); i = 1, \dots, k; \{v_1, \dots, v_k\} = \mathbf{V}_{\text{ц}}. \quad (4)$$

Количество решений системы (4), а следовательно, и системы (2), не может превосходить $\prod_{v \in \mathbf{V}_{\text{ц}}} |\mathbf{Z}_v|$. Таким образом, решение системы (2) эквивалентно решению системы (4), причем количество решений системы (2) не превышает $\prod_{v \in \mathbf{V}_{\text{ц}}} |\mathbf{Z}_v|$.

Пусть в примере (рис. 1) система уравнений имеет вид:

$$\begin{cases} x_1 = x_9 \cdot x_{10} \\ x_2 = x_1 \\ x_3 = \overline{x_4 \cdot x_{11}} \\ x_4 = \overline{x_1 \cdot x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_2 + x_5 \\ x_7 = x_4 \cdot x_6 + \overline{x_4} \cdot \overline{x_6} \\ x_8 = \overline{x_2} \cdot x_5 + x_2 \cdot \overline{x_5} \end{cases},$$

причем $\mathbf{Z}_1 = \mathbf{Z}_2 = \mathbf{Z}_3 = \mathbf{Z}_4 = \mathbf{Z}_5 = \mathbf{Z}_6 = \mathbf{Z}_7 = \mathbf{Z}_8 = \mathbf{Z}_9 = \mathbf{Z}_{10} = \mathbf{Z}_{11} = \{0,1\}$.

При x_9=1, x_{10}=1, x_{11}=1 система запишется:

$$\begin{cases} x_1 = 1 \\ x_2 = \overline{x_1} \\ x_3 = \overline{x_4} \\ x_4 = \overline{x_1 \cdot x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_2 + x_5 \\ x_7 = x_4 \cdot x_6 + \overline{x_4} \cdot \overline{x_6} \\ x_8 = \overline{x_2} \cdot x_5 + x_2 \cdot x_5 \end{cases} \quad (5)$$

После определения однозначно заданных x_1 =1, x_2=0 и учета их значений в уравнениях для x_4, x_6, x_8 (удаление входной ациклической части графа $G'(\mathbf{V}', \mathbf{E}')$) получим:

$$\begin{cases} x_3 = \overline{x_4} \\ x_4 = \overline{x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_5 \\ x_7 = x_4 \cdot x_6 + \overline{x_4} \cdot \overline{x_6} \\ x_8 = x_5 \end{cases}.$$

Значения переменных x_7, x_8 однозначно определяются значениями x_4, x_5, x_6, то есть значениями переменных циклической части, и не влияют на решение полученной системы уравнений. В связи с этим будем рассматривать решение системы:

$$\begin{cases} x_3 = \overline{x_4} \\ x_4 = \overline{x_3 \cdot x_5} \\ x_5 = \overline{x_4 \cdot x_6} \\ x_6 = x_5 \end{cases},$$

которая соответствует графу $G''(\mathbf{V}'', \mathbf{E}'')$ (рис. 2а). Приняв $\mathbf{V}_\text{ц} = \{\text{III}, \text{V}\}$, получим

$$\begin{cases} x_3 = x_3 \cdot x_5 \\ x_5 = x_5 \end{cases}.$$

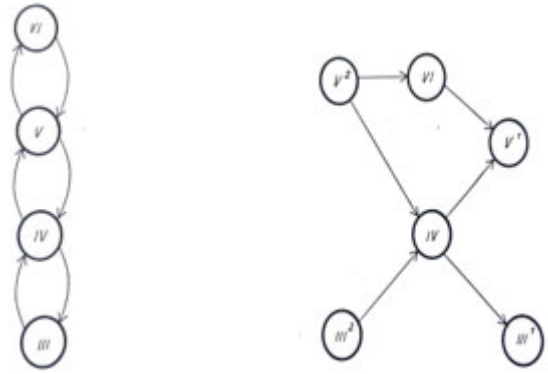
Эта система уравнений имеет три решения:

$$\begin{cases} x_3 = 0 \\ x_5 = 0 \end{cases}; \begin{cases} x_3 = 0 \\ x_5 = 1 \end{cases}; \begin{cases} x_3 = 1 \\ x_5 = 1 \end{cases}.$$

В соответствии с этим система (5) имеет также три решения:

$$\begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 0 \\ x_4 = 1 \\ x_5 = 0 \\ x_6 = 1 \\ x_7 = 1 \\ x_8 = 0 \end{cases}; \begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 0 \\ x_4 = 1 \\ x_5 = 1 \\ x_6 = 0 \\ x_7 = 0 \\ x_8 = 1 \end{cases}; \begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 1 \\ x_4 = 0 \\ x_5 = 1 \\ x_6 = 0 \\ x_7 = 1 \\ x_8 = 1 \end{cases},$$

в чем можно убедиться путем подстановки приведенных значений в (5).



а) б)

Рис. 2. Циклическая часть $G''(\mathbf{V}'', \mathbf{E}'')$ графа $G'(\mathbf{V}', \mathbf{E}')$ (а) и разделение вершин множества $\mathbf{V}_\text{ц}$ = {III, V} на входные и выходные (б)

Решение систем логических уравнений может быть осуществлено различными способами [11]. Однако специфический вид уравнений, а также тот факт, что при моделировании цифровых систем модели блоков задаются не аналитически, а в виде программных модулей, вычисляющих значения функции $f_1, \dots, f_n$ по заданным значениям аргументов $x_1, \dots, x_n$, обуславливают использование итерационных методов решения [6, 12].

III. Решение системы уравнений методом простой итерации

При решении системы (2) методом простой итерации используются формулы:

$$\begin{cases} x_1^{(j)} = h_1(x_1^{(j-1)}, \dots, x_n^{(j-1)} \\ \vdots \\ x_n^{(j)} = h_n(x_1^{(j-1)}, \dots, x_n^{(j-1)}) \end{cases} ;\text{j=1 ,2, …;} \quad (6)$$

$x_1^{(0)}, \dots, x_n^{(0)}$ - начальное приближение.

Система (6) есть унарная операция π [13], заданная на множестве состояний $\mathbf{W} = \{(z_{j_1}^1, \dots, z_{j_n}^n) | z_{j_1}^1 \in \mathbf{Z}_1, \dots, z_{j_n}^n \in \mathbf{Z}_n\}$. Моделью итерации может служить граф $H(\mathbf{W}, \mathbf{Q})$. Операция π задает множество ориентированных ребер $\mathbf{Q}$ таким образом, что в графе имеется ребро $q(w_k, w_l)$, если $\pi(w_k) = w_l$, где w_k и w_l- метки вершин. У рассматриваемого графа из каждой вершины выходит ровно одно ребро. Если *r* решение системы (2),

то $\pi(r) = r$, и вершина с меткой r имеет петлю. Обратно, если вершина с меткой r имеет петлю, то r - решение системы (2).

Множество наборов функций $h_1, \dots, h_n$ в системе (2) изоморфно множеству графов $H(\mathbf{W}, \mathbf{Q})$, имеющих $\prod_{i=1}^{n} |\mathbf{Z}_i|$ вершин, каждая из которых инцидентна ровно одному выходящему ребру. В связи с этим исследование решения системы (2) можно заменить исследованием свойств графов указанного вида.

Граф $H(\mathbf{W}, \mathbf{Q})$ состоит из одной или более компонент связности. На рис. 3 показан пример такого графа для случая двузначной логики.

$$g_1 = \overline{x_1}\,\overline{x_2}\,\overline{x_3} + x_1\overline{x_2}x_3 + x_2x_3$$
$$g_2 = x_1\overline{x_2}\,\overline{x_3} + x_1\overline{x_2}x_3 + x_2x_3$$
$$g_3 = \overline{x_1}\,\overline{x_2}\,\overline{x_3} + x_3$$

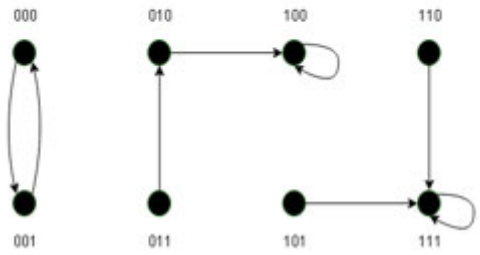


Рис. 3. Граф $H(\mathbf{W}, \mathbf{Q})$ простой итерации

Каждая компонента связности имеет цикл, достижимый из всех вершин компоненты. Если цикл является петлей, то компонента содержит решение; если цикл петлей не является, то компонента решения не содержит. Итерация сходится в том случае, если начальное приближение принадлежит компоненте связности, имеющей петлю. Так, при выборе начального приближения 101 или 110 (рис. 3) итерация сходится к корню 111, а при выборе начального приближения 011 – к корню 100. В случае же начальных приближений 000 или 001 итерация не сходится. Для того, чтобы итерация сходилась при любом начальном приближении, необходимо, чтобы каждая компонента связности графа $H(\mathbf{W}, \mathbf{Q})$ имела вершину с петлей.

Рассмотрим множество операций $\bar{\pi} = \{\pi, \pi^2, \pi^3, \dots\}$, выполняемых над элементами множества $\mathbf{W}$ при одной, двух и т.д. итерациях. Операция π^2 есть преобразование $x_i = h_i\big(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n)\big);\ i = 1, \dots, n$. Операция π^3 есть преобразование

$$x_i = h_i\big(h_1(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n)\big), \dots,$$
$$h_n\big(h_1(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n)\big);$$
$$i = 1, \dots, n.$$

Таким образом, определена циклическая полугруппа $\mathfrak{B} = <\bar{\pi}, \cdot>$, порождающим элементом которой является π. Так как количество логических функций от n конечнозначных переменных конечно, то пара показателей $< l_1, l_2 >$ полугруппы $\mathfrak{B}$ [13] такова, что $l_2 > 1$, то есть $\pi^{l_2} = \pi^{l_1}$, где $l_1 < l_2$.

Если каждая компонента связности $H_j(\mathbf{W}_j, \mathbf{Q}_j)$ графа $H(\mathbf{W,Q})$ имеет вершину с петлей, то есть итерация сходится при любом начальном приближении, то $\pi^l = \pi^{l+1} = \pi^{l+2} = \dots$. То есть, начиная с π^l, все элементы полугруппы B совпадают, где l - длина максимальной цепи в графе $H(\mathbf{W,Q})$, причем $\pi^l(w) = r_j$, где w - любая вершина, принадлежащая $H_j(\mathbf{W}_j, \mathbf{Q}_j)$, а r_j - корень компоненты H_j. Если граф $H(\mathbf{W,Q})$ имеет одну компоненту связности, то $\pi^l(w) = r$ для $w \in \mathbf{W}$, а r - единственное решение системы (2).

Таким образом, если в циклической полугруппе $\mathfrak{B}$, задаваемой (9), $\pi^{l+1} = \pi^l$, то итерация всегда сходится и отображение π^l дает решение в зависимости от начального приближения. Если решение одно, то $\pi^l = r$, где r- константа, являющаяся решением (2). Значение l есть длина максимальной цепи без петель в графе $H(\mathbf{W,Q})$.

Пусть дано отображение π, задаваемое системой булевых уравнений

$$\begin{cases} x_1 = \overline{x_1} \cdot \overline{x_2} + x_1 \cdot x_2 \\ x_2 = \overline{x_2} + \overline{x_1} \cdot x_2 \end{cases}. \qquad (7)$$

Тогда $\pi^2 = \begin{pmatrix} x_1 \cdot x_2 \\ x_2 + x_1 \cdot x_2 \end{pmatrix};\ \pi^3 = \begin{pmatrix} 0 \\ 1 \end{pmatrix}$.

Итак, решением системы (7) является $x_1 = 0,\ x_2 = 1$, итерация сходится при любом начальном приближении, длина максимальной цепи без петель в графе $H(\mathbf{W,Q})$ (рис. 4) равна трем.

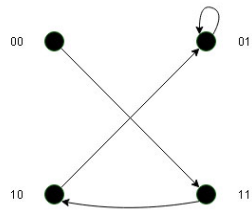


Рис. 4. Граф H(W,Q) для системы (10)

При решении системы уравнений (2) методом простой итерации эффективно использование алгоритма событийного моделирования [14, 15]. При этом на каждой итерации пересчитываются только те переменные, среди аргументов которых есть изменившие свое значение.

IV. Решение системы уравнений методом обобщенной итерации

Итерационное решение системы (2) в общем случае может осуществляться по следующему алгоритму:

- принять начальное приближение значений переменных за текущие значения;

- при текущих значениях переменных вычислить новые значения переменных с номерами из $\mathbf{J}, \mathbf{J} \subseteq \{1, \dots, n\}$; обновить их текущее значение;

- если решение не получено, повторить предыдущий пункт для нового подмножества переменных.

Последовательность подмножеств номеров пересчитываемых переменных $\mathbf{J}^1\mathbf{J}^2 \dots = \{j_1^1, \dots, j_{m_1}^1\}\{j_1^2, \dots, j_{m_2}^2\} \dots$ назовем следом итерации. Если часть следа $\dots \mathbf{J}^k \dots \mathbf{J}^{k+l}$ содержит все элементы множества $\{1, \dots, n\}$ и на последних l шагах итерации ни одна переменная не изменила своего значения, то получено решение системы (2).

Обобщенная итерация со следом $\mathbf{JJ} \dots$, где $\mathbf{J} = \{1, \dots, n\}$, представляет собой простую итерацию, а со следом $\mathbf{J}^1\mathbf{J}^2 \dots \mathbf{J}^n\mathbf{J}^1\mathbf{J}^2 \dots \mathbf{J}^n \dots$, где $\mathbf{J}^i = \{i\}$, - итерацию Зейделя. На множестве $\mathbf{\Delta}$ операций, реализуемых при обобщенной операции, определена мультипликативная полугруппа. Элементы основного множества $\mathbf{\Delta}$ полугруппы будем обозначать $\delta^{\mathbf{J}^1\mathbf{J}^2\dots}$, где $\mathbf{J}^1\mathbf{J}^2\dots = l$ - след итерации. Операция умножения определяется равенством $\delta^{l_1}\delta^{l_2} = \delta^{l_1 l_2}$. Полугруппа над $\mathbf{\Delta}$ имеет $2^n - 1$ порождающих элементов:

$$\delta^{\mathbf{J}} = \begin{cases} x_i, & i \notin \mathbf{J} \\ g_i(x_1, \dots, x_n), & i \in \mathbf{J} \end{cases},$$

где $\mathbf{J}$ - есть множество непустых подмножеств $\{1, \dots, n\}$.

На множестве операций $\delta^{\mathbf{J}}$ в свою очередь определена аддитивная полугруппа с операцией $\delta^{\mathbf{J}^1} + \delta^{\mathbf{J}^2} = \delta^{\mathbf{J}^3}$, где $\mathbf{J}^3 = \mathbf{J}^1 \cup \mathbf{J}^2$, и порождающими элементами

$$\delta^i = \begin{cases} g_i(x_1, \dots, x_n), & j = i \\ x_j, & j \neq i \end{cases}; i = 1, \dots, n.$$

Каждой системе уравнений (2) при решении ее методом обобщенной итерации изоморфен ориентированный граф $Q(\mathbf{W}, \mathbf{K})$, в котором каждой вершине w с меткой $(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n)$ инцидентно $2^n - 1$ выходящих ребер, помеченных порождающими элементами $\delta^{\mathbf{J}}$. Ребра с метками δ^i могут быть либо петлями, либо входящими ребрами одной из $|\mathbf{Z}_i| - 1$ вершин с меткой $\left(z_{j_1}^1, \dots, z_{j_i'}^i, \dots, z_{j_n}^n\right)$, $z_{j_i'}^i \neq z_{j_i}^i$, если $\delta\left(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n\right) = \left(z_{j_1}^1, \dots, z_{j_i'}^i, \dots, z_{j_n}^n\right)$. Остальные ребра $\delta^{\mathbf{J}}$ являются входящими ребрами вершин с метками $(z_{j_1'}^1, \dots, z_{j_n'}^n)$, где $z_{j_i'}^i = z_{j_i}^i$ при $i \notin \mathbf{J}$ и $z_{j_i'}^i = g_i(z_{j_1}^1, \dots, z_{j_n}^n)$ при $i \in \mathbf{J}$. Если вершина $(z_{j_i}^i, \dots, z_{j_n}^n)$ есть решение системы (2), то все выходящие из этой вершины ребра с метками δ^i, а следовательно, и с метками $\delta^{\mathbf{J}}$ являются петлями. Верно и обратное, если все выходящие из вершины $(z_{j_1}^1, \dots, z_{j_n}^n)$ ребра с метками δ^i являются петлями, то $(z_{j_1}^1, \dots, z_{j_n}^n)$ являются решением (2). Таким образом, обобщенная итерация со следом $\mathbf{J}^1\mathbf{J}^2 \dots \mathbf{J}^k$ сходится при начальном приближении $x_1^{(0)}, \dots, x_n^{(0)}$, если существует решение системы (2) $x_1 = z_{j_1}^1, \dots, x_n = z_{j_n}^n$ и вершина $(z_{j_1}^1, \dots, z_{j_n}^n)$ в графе $Q(\mathbf{W}, \mathbf{K})$ достижима из вершины с меткой $(x_1^{(0)}, \dots, x_n^{(0)})$ по пути $\delta^{J^1}\delta^{J^2} \dots \delta^{J^k}$. Необходимым условием достижимости решения из вершины с меткой $(x_1^{(0)}, \dots, x_n^{(0)})$ является их принадлежность одной компоненте связности.

Особый интерес представляет итерация, соответствующая синхронному моделированию ранжированной схемы. Пусть выбрано множество $\mathbf{X}_{\text{ц}}$ переменных обратной связи, и структурный граф путем разделения каждой вершины $v, v \in \mathbf{V}_{\text{ц}}$ на v^1 и v^2 преобразован в ациклический. Проранжируем вершины $v \in V$, а, следовательно, и уравнения системы (1), присвоив вершине v ранг, равный длине максимального пути от любой из входных вершин до вершины v. Пусть R_l - множество номеров уравнения (вершин v), имеющих ранг l. Рассмотрим итерацию со следом $R_1R_2 \dots R_LR_1R_2 \dots R_L \dots$. Очевидно, что $\bigcup_{l=1}^{L} R_l = \{1, \dots, n\}$; $R_{l_1} \bigcap R_{l_2}$ при $l_1 \neq l_2$. Таким образом, при выполнении операции $\delta^R = \delta^{R_1R_2 \dots R_L}$ каждое уравнение вычисляется ровно один раз. δ^R является порождающим элементом циклической полугруппы на множестве операций $(\delta^R)^k, k = 1,2, \dots$. Так как множество значений переменных из $X_{ц}$ есть $\prod_{x_i \in X_{ц}} |Z_i|$, то $\delta^{R^l}(X_{ц}^{(0)}) = \delta^{R^k}(X_{ц}^{(0)})$, где $l > k$, причем $k \leq \prod_{x_i \in X_{ц}} |Z_i| - 1$.

Таким образом, если итерация с ранжированием при заданном начальном приближении дает решение (2), то для получения решения каждое уравнение необходимо пересчитывать не более, чем $\prod_{x_i \in X_{ц}} |Z_i| - 1$ раз.

V. Выбор метода решения логических уравнений при моделировании цифровых систем

При выборе метода решения систем многозначных логических уравнений с целью получения квазивременных логических диаграмм необходимо учесть следующие факторы.

При проектировании технических средств цифровых систем разработчики широко используют тот факт, что времена срабатывания блоков не равны нулю и имеют конечные значения.

При моделировании аппаратуры на блоках малой степени интеграции эффективно используется решение уравнений методом итераций Зейделя с квазиразрывом цепей обратной связи и ранжированием уравнений [14]. Физически это соответствует синхронному моделированию с нулевыми задержками. Событийный алгоритм простой итерации требует несколько больших затрат, так как даже при известных сигналах обратной связи значение ряда переменных приходится пересчитывать более одного раза. Однако в этом случае не требуется осуществлять ранжирование компонентов. Событийный алгоритм простой итерации является универсальным относительно схемы моделируемых технических средств.

Кроме того, простая итерация предполагает равные задержки блоков технических средств, что соответствует интуитивному представлению разработчиков при составлении принципиальной схемы.

Алгоритм решения систем логических уравнений в системе моделирования имеет вид.

1. Принять за начальное приближение значения логических переменных и состояния внутренних регистров, полученные на предыдущем такте.

2. Определить входные сигналы на данном такте.

3. Обратиться к моделям m_i, входы которых подключены к изменившимся сигналам в узлах, вычислить новые значения внутренних переменных R_i и выходных сигналов моделей m_i. Если поданная на какую-либо модель комбинация входных сигналов в сочетании с внутренним состоянием запрещена, то модель установить в состояние ошибки; моделирование остановить.

4. Если количество изменений входного сигнала какой-либо модели превысит заданное, то остановить моделирование по зацикливанию, выдав сообщение об отсутствии решения системы (2).

5. Для всех узлов схемы, к которым подключены выходы моделей с изменившимися сигналами, вычислить новые логические значения в узле. Если для какого-нибудь узла логическое значение сигнала не определено, выдать сообщение об ошибке в объединении блоков.

6. Если для каких-либо узлов схемы значения логических значений сигналов изменились, то перейти к пункту 3. Если все значения остались без изменений, то решение (2) найдено.

Таким образом, подача запрещенных комбинаций сигналов на модели блоков обнаруживается на шаге 3 алгоритма; отсутствие установившихся сигналов на выводах блоков, то есть отсутствие решение системы (2), - на шаге 4 алгоритма; ошибки в объединении блоков – на шаге 5 алгоритма. Ошибки в выполнении функций технических средств, а также в программно-микропрограммном обеспечении обнаруживаются разработчиком путем анализа значений логических сигналов и состояний внутренних регистров блоков на каждом шаге моделирования.

VI. Заключение

Проведен теоретический анализ итерационных методов решения конечнозначных, в частном случае, двоичных, систем логических уравнений. Рассмотрены условия существования и определения количества решений. Различные итерационные методы соответствуют различным инженерным подходам при функционально-логическом моделировании проектов цифровых систем. Проведенное исследование позволяет определить соответствие между математическими результатами и ситуациями, возникающим при моделировании проектов цифровых систем.

Литература

[1] Юсупов Р.М. Информатизация и наука // Проблемы информатизации. 1994. № 1-2. С. 22-28.

[2] Иванников А., Кривошеев А., Куракин Д. Развитие сети телекоммуникаций в системе высшего образования Российской Федерации // Высшее образование в России. 1995. № 2. С. 87.

[3] Иванников А.Д., Кулагин В.П., Миронов А.А., Мордвинов В.А., Сигов А.С., Тихонов А.Н., Цветков В.Я. Синергетическая теория информационных процессов и систем. Раздел II. Информационные морфизмы в теории информационных процессов и систем. Москва. 2009.

[4] Keresztes P., Tukacs A., Török M. A Multi Valued Logic VHDL Package for Switch Level Simulation of Novel Digital CMOS Circuits // 2018 International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering (ICRIEECE). Bhubaneswar, India, 2018, pp. 25-28.

[5] Bara A., Bazargan-Sabet P., Chevallier R., Encrenaz E, Ledu D., Renault P. Formal verification of timed VHDL programs // 2010 Forum on Specification & Design Languages (FDL 2010). Southampton, 2010, pp. 1-6.

[6] А.Д., Стемпковский А.Л. Основные положения системы моделирования проектов цифровых систем для совместной отладки технических средств и программно-микропрограммного обеспечения // Информационные системы и технологии. 2018. № 6 (110). С. 13-19.

[7] Kunapareddy S., Turaga S.D., and Sajjan S.S.T.M. Comparision between LPSAT and SMT for RTL verification // 2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]. Nagercoil, 2015, pp. 1-5.

[8] Иванников А.Д., Стемпковский А.Л. Формализация задачи отладки проектов цифровых систем // Информационные технологии. 2014. № 9. С. 3-10.

[9] Куцак Н. Ю., Подымов В. В. Формальная верификация диаграмм троичных цифровых сигналов // Моделирование и анализ информационных систем. 2019. Т. 26. № 3. С. 332-350.

[10] Tai Y, Hu W., Guo Lantian , Mao B., Mu D. Gate Level Information Flow analysis for multi-valued logic system // 2017 2nd International Conference on Image, Vision and Computing (ICIVC). Chengdu, 2017, pp. 1102-1106.

[11] Закревский А.Д. Логические уравнения. М.: Едиториал УРСС, 2003. 96 с.

[12] Ландау И.Я. Применение ЦВМ для проектирования ЦВМ. М.: Энергия, 1974. 152 с.

[13] Мальцев А.И. Алгебраические системы. М.: Наука, 1970. 392 с.

[14] Норенков И.П., Маничев В.Б. Системы автоматизированного проектирования электронной и вычислительной аппаратуры. М.: Высшая школа, 1983. 272 с.

[15] Теория и методы автоматизации проектирования вычислительных систем. Под ред. М. Брейера. М.: Мир, 1977. 283 с.

Analysis of Iterative Methods for Solving Logical Equation Systems and their Use in Digital System Simulation

A.D. Ivannikov, A.L. Stempkovskiy

Institute for design problems in microelectronics of RAS, Moscow

***Abstract* — In digital system functional-logical simulation iterative solution of a system of logical equations is carried out at each simulation step. Values of the logical signals established in the nodes of the circuit after logical stimuli input are calculated. In the work, various iterative methods are considered that are applicable for solving systems of logical equations, namely: simple iteration, Seidel iteration; the concept of generalized iteration is introduced. In the theoretical consideration, the concept of iteration trace is introduced as a sequence of subsets of indices of logical variables recalculated at each step of the iteration. Graph models of both the system of logical equations and the process of iterative solution of systems of equations are analyzed. The relationship between the number of solutions of a system of logical equations and the structure of its graph model is shown. Variants of using the considered iterative solution methods for functional-logical simulation of digital systems are considered.**

***Keywords* — functional-logical simulation of digital systems, systems of logical equations, iterative solution methods, generalized iteration.**

REFERENCES

[1] Usupov R.M. Informatizacia I nauka (Informatization and Science) // Problemi informatizacii. 1994. № 1-2. P. 22-28 (in Russian).

[2] Ivannikov A., Krivosheev A., Kurakin D. Razvitie seti teleommunikaciy v systeme vishego obazovaniya Rossiyskoy Federacii (Telecommunication net development in higher education system of Russian Federation) // Vishee obrazovanie v Rossii. 1995. № 2. P. 87 (in Russian).

[3] Ivannikov A.D., Kulagin V.P., Mironov A.A., Mordvinov V.A., Sigov A.S., Tikhonov A.N., Cvetkov V.J. Sinergeticheskaya teoriya informacionnih processov i system. Rasdel II. Informaionnie morfismi v teorii informacionnih processov i system (Sinergetic theory of information processes and systems. Part II. Informational morfisms in theory of information processes and systems). Moscow. 2009. (In Russian).

[4] Keresztes P., Tukacs A., Török M. A Multi Valued Logic VHDL Package for Switch Level Simulation of Novel Digital CMOS Circuits // 2018 International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering (ICRIEECE). Bhubaneswar, India, 2018, pp. 25-28.

[5] Bara A., Bazargan-Sabet P., Chevallier R., Encrenaz E, Ledu D., Renault P. Formal verification of timed VHDL programs // 2010 Forum on Specification & Design Languages (FDL 2010). Southampton, 2010, pp. 1-6.

[6] Ivannikov A.D., Stempkovskiy A.L. Osnovnie polojeniya sistemi modelirovaniya proektov cifrovih sistem dlya sovmestnoi otladki tehnicheskih sredstv i programmno-mikroprogrammnogo obespecheniya (Fundamentals of digital system design simulation system for joined hardware/software debugging) // Informacionnie systemi i tehnologii. 2018. № 6 (110). P. 13-19 (in Russian).

[7] Kunapareddy S., Turaga S.D., and Sajjan S.S.T.M. Comparision between LPSAT and SMT for RTL verification // 2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]. Nagercoil, 2015, pp. 1-5.

[8] Ivannikov A.D., Stempkovsky A.L. Formalizaciya zadachi otladki proektov cifrovih system (Formal Model of Digital System Design Debugging Task) // Informacionnie Technologii. 2014. № 9. P. 3-10 (in Russian).

[9] Kucak N.J., Podimov V.V. Formalnaya verifikaciya diagram troichnih cifrovih signalov (Formal verifiction of tri-states digital signal digrams) // Modelirovanie i analis informacionnih system. 2019. V. 26. № 3. P. 332-350 (in Russian).

[10] Tai Y, Hu W., Guo Lantian , Mao B., Mu D. Gate Level Information Flow analysis for multi-valued logic system // 2017 2nd International Conference on Image, Vision and Computing (ICIVC). Chengdu, 2017, pp. 1102-1106.

[11] Zakrevskiy A.D. Logicheskie uravneniya (Logical equations). Moscow. Editorial URSS. 2003. 96 p. (In Russian).

[12] Landau I Ya. Primenenie CVM dlya proektirovaniya CVM (Computer use for computer design). Moscow. Energiya. 1974. 152 p. (In Russian).

[13] Maltcev A.I. Algebraicheskie sistemi (Algebraic systems). Moscow. Nauka. 1970. 392 p. (In Russian).

[14] Norenkov I.P., Manichev V.B. Sistemi avtomatizirovannogo proektirovaniya electronnoy i vichislitelnoy apparaturi (Computer-aided design systems for electronic and digital hardware). Moscow. Vishaya shkola. M.: 1983. 272 p. (In Russian).

[15] Teoriya i metodi avtomatizacii proektirovaniya vichislitelnih system (Theory and methods of automated design for computer systems). Ed. by M. Braer. Moscow. Mir. 1977. 283 p. (In Russian).

УДК 681.32 DOI: 10.31114/2078-7707-2020-3-9-15

Верификация цифровых устройств с параллелизмом поведения

Д.И. Черемисинов, Л.Д. Черемисинова

Объединений институт проблем информатики НАНБ, г. Минск {cher, cld}@newman.bas-net.by

Аннотация — **Рассматривается задача проверки функциональной корректности реализации системы управления с параллелизмом поведения относительно спецификации на ее проектирование. Предлагается методология построения тестовой системы, позволяющей генерировать тестовую последовательность в процессе моделирования спецификации, представленной на языке параллельных алгоритмов управления. Для описания алгоритмов управления предлагается использовать язык ПРАЛУ, который позволяет задавать временную упорядоченность событий, возникающих при работе не только самого устройства управления, но и системы в целом, включая его внешнее окружение.**

Ключевые слова — **параллельный алгоритм, верификация, моделирование, язык ПРАЛУ.**

I. Введение

С увеличением сложности и ростом требований к качеству проектируемых управляющих систем резко возрастает трудоемкость их тестирования, которая растет даже быстрее, чем сложность тестируемых систем. Тестирование становится одним из наиболее важных и широко используемых методов проверки схемных реализаций или программного обеспечения. По разным оценкам, в настоящее время на этап тестирования и отладки приходится до 60 – 80 % общих затрат на разработку управляющих систем. С дальнейшим ростом функциональной сложности проектов время, требуемое на верификацию, увеличивается, доходя в отдельных случаях до 90% [1]. Это мотивирует все возрастающий интерес к этой задаче.

На этапе функциональной верификации устанавливается, реализует ли спроектированное устройство желаемое поведение, т.е. работает ли оно согласно установленным в его спецификации требованиям. Самым распространенным подходом к верификации является имитационное тестирование, для проведения которого необходима тестовая система, которая представляет собой специализированную программную среду, которая решает три основные задачи: генерацию тестовой последовательности; проверку правильности поведения тестируемого компонента и оценку полноты тестирования относительно исходной спецификации.

В архитектуре тестовой системы выделяются такие компоненты, как генератор тестов и тестовый оракул. Тест представляет собой последовательность наборов значений сигналов, подаваемых на вход тестируемого устройства и набор ожидаемых значений сигналов, вырабатываемых им. Назначением теста верификации является выявление ошибок в результате возникновения ситуаций несовпадения ожидаемых результатов с результатами работы тестируемого устройства при подаче соответствующей тестовой последовательности. Тестовый оракул, оценивая поведение тестируемого компонента и требования к нему, выносит вердикт об их соответствии или несоответствии [2].

Качество тестирования напрямую зависит от используемых тестовых последовательностей. В основе традиционно применяемых в практике тестирования методов построения тестовых последовательностей лежит ручная разработка, случайная и направленная генерация тестов. Хотя, несмотря на простоту, случайные тесты и позволяют быстро обнаруживать значительное число ошибок в проекте, но в этом случае нельзя сказать, насколько полно они покрывают область работы тестируемого устройства.

Одной из новых технологий для решения проблемы тестирования, является верификация программных и схемных реализаций систем управления на основе моделей (model checking) [3, 4, 5]. При тестировании этого типа тестовая последовательность генерируется на основе модели, описывающей желаемое поведение системы, которое задается спецификацией на проектирование устройства на некотором языке. Тесты строятся на основе спецификации проектируемой системы алгоритмическим способом, реакции тестируемого устройства сравниваются с ожидаемыми значениями, заданными в спецификации. Если модель корректна и тестируемое устройство должно реализовать заданное спецификацией поведение (и только его), то успешное прохождение тестов, сгенерированных надлежащим образом на основе данной модели, может служить достаточной гарантией правильности реализации системы. Предполагается, что описание спецификации является правильным и корректным. Внутренняя структура тестируемой реализации может рассматриваться как черный ящик. Оценка полноты тестирования определяется степенью покрытия сценариев работы устройства, определяемых, исходя из спецификации.

Далее рассматривается задача верификации на основе моделей для случая реактивных систем [6]. Особенность этих систем (в отличие от систем трансформационного типа) заключается в непрерывном (и, в общем случае, бесконечном) обмене сигналами с внешней

средой для выполнения задачи. Наиболее популярным способом моделирования реактивных систем является конечный автомат [7, 8], который широко используется для описания протоколов.

Однако наряду с традиционно организованными системами, которые реализуют чисто последовательное поведение, задаваемое на языках описания конечных автоматов, существует ряд систем, в которых выразительных средств аппарата конечных автоматов оказывается недостаточно. Важнейшим свойством таких систем является присущий им параллелизм происходящих в них процессов. Проблема верификации на основе моделей для устройств с параллелизмом поведения еще не достаточно изучена. Одной из наиболее изученных типов моделей таких устройств является система, состоящая из одновременно работающих компонентов, которая моделируется как сеть конечных автоматов или систем помеченных переходов (labelled transition systems – LTS) [4]. Были предложены подходы к тестированию систем помеченных переходов [9], в которых эта задача рассматривалась как проверка системы на вход-выходное соответствие модели (input-output conformance – ioco relation) [10]. Тестируемое устройство соответствует спецификации в отношении ioco, если после любой последовательности входных воздействий, допускаемой спецификацией, наблюдаемые ответы тестируемого устройства соответствуют значениям, ожидаемым в спецификации.

Имеются также работы, в которых предлагаются обобщения отношения ioco на случай тестирования систем с использованием моделей «истинного параллелизма», таких как цветные сети Петри [11]. Большинство известных подходов к генерации тестовых последовательностей для систем с параллелизмом поведения, поведение которых задано на языках, в основе которых лежит аппарат сетей Петри, сначала строят граф достижимости [12]. Затем по этому графу генерируются тестовые наборы путем его обхода [13, 14, 15], аналогично тому, как это делается для случая конечных автоматов [16]. Верификация на основе графа достижимости является одним из наиболее изученных и естественных подходов к верификации систем с параллелизмом поведения. Его недостатком является экспоненциальный рост размера пространства возможных состояний системы. Как результат, граф достижимости сталкивается с проблемой взрыва числа состояний, что негативно влияет на производительность тестирования сложных систем.

В работе рассматривается задача построения тестовой системы для верификации схемной (или программной) реализации устройства управления с параллелизмом поведения. В рамках этой системы спецификация проектируемого устройства задается на языке ПРАЛУ описания параллельных алгоритмов управления [6]. На этом же языке описывается поведение объекта, управляемого проектируемым устройством. Объект управления рассматривается как часть тестового окружения. Реализация устройства рассматривается как черный ящик, для которого доступны только входы и выходы. Тестовые последовательности формируются на основе описанных алгоритмов поведения устройства и объекта управления динамически – в процессе моделирования алгоритма управления.

II. Язык задания спецификации на проектирование устройств с параллелизмом поведения

Параллелизм в спецификации возникает по разным причинам. Например, это может быть многоблочная система, в которой некоторые действия выполняются параллельно, но в разных компонентах. И, наконец, системы с «настоящим параллелизмом», когда некоторые действия выполняются параллельно и в одном и том же компоненте, и нет необходимости контролировать порядок выполнения этих действий.

Проблема проектирования устройств управления является одной из важнейших при автоматизации производственных процессов в различных отраслях промышленности. При решении задачи реализации устройств управления приходится иметь дело с параллелизмом, присутствующим в объектах управления. Управление такими объектами заключается в обеспечении согласованной работы взаимодействующих компонентов, работающих параллельно и асинхронно. Параллелизм, присутствующий в объектах управления, отражается в функциональной модели цифровых устройств, управляющих данными объектами. Для цифровых устройств рассматриваемого класса характерно также и то, что управляющие воздействия и сигналы о состоянии объектов управления описываются булевыми переменными и лишь небольшой процент всей информации является числовым. В настоящее время в качестве языка задания спецификации на проектирование управляющих устройств используются сети взаимодействующих конечных автоматов и языки, базирующиеся на формальной модели сети Петри.

Для задания спецификации на проектирование устройств с параллелизмом поведения предлагается использовать параллельные алгоритмы логического управления, которые широко применяются при проектировании и тестировании цифровых систем. Одним из языков спецификации систем является язык ПРАЛУ [6] описания простых алгоритмов логического управления. Алгоритм на языке ПРАЛУ представляются в виде причинно-временных зависимостей между событиями, происходящими в технической системе, поведение которой описывается в терминах двоичных переменных: управляющие воздействия и сигналы о состоянии объекта управления – булевы переменные.

Основными операциями языка ПРАЛУ являются операции ожидания и действия. Операция ожидания «$-k^{in}$» сводится к ожиданию момента времени, когда конъюнкция k^{in} примет значение 1. Операция действия «$\rightarrow k^{out}$» выполняется путем присвоения переменным, образующим конъюнкцию k^{out}, значений, обращающих ее в 1. В одной из интерпретаций операций действия в языке предполагается, что все внутренние переменные (если такие имеются в описании) и выходные (или управляющие) переменные сохраняют свои значения до тех пор, пока какая-либо из операций действия не

изменит их. Операции ожидания и действия могут интерпретироваться как опрос состояний датчиков объекта управления и выдача команд на исполнительную и сигнальную аппаратуру.

Алгоритм управления на ПРАЛУ представляется неупорядоченной совокупностью предложений, каждое из которых открывается меткой и состоит из одной или нескольких одинаково помеченных линейных цепочек операций языка, заканчивающихся метками перехода: «μ_i: $l_i \to \nu_i$», где через l_i обозначен некоторый линейный алгоритм, составленный из операций языка; μ_i и ν_i – начальная и конечная метки, которыми служат непустые подмножества элементов из множества $M = \{1, 2, \ldots, m\}$, которые могут интерпретироваться как частичные состояния (в том смысле, что могут существовать одновременно).

Порядок выполнения цепочек алгоритма управления в процессе его реализации определяется множеством N запуска [6], его текущие значения $N_t \subset M$. Среди предложений алгоритма выделяется одно – начальное, его метка заносится в множество N перед реализацией алгоритма.

В процессе реализации алгоритма управления цепочки запускаются независимо друг от друга. Если в некоторый момент времени для некоторой цепочки μ_i: $l_i \to \nu_i$ выполняется условие $\mu_i \subseteq N_t$ и реализуется событие k_i^{in}, с ожидания которого начинается цепочка l_i, то она запускается. При этом N_t заменяется на $N_t \setminus \mu_i$, а после завершения цепочки новое состояние N_t становится равным $(N_t \setminus \mu_i) \cup \nu_i$. Синтаксически параллельный алгоритм характеризуется наличием меток $|\mu_i| > 1$, $|\nu_i| > 1$. Альтернативное ветвление обеспечивается ограничением $(i \neq j) \wedge (\mu_i \cap \mu_j \neq \varnothing) \to (k_i^{in} \wedge k_j^{in} = 0)$.

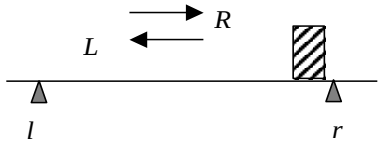


Рис. 1. Рабочий цикл манипулятора

В качестве примера приведем параллельный алгоритм, описывающий цикл работы манипулятора (рис. 1), который состоит в его перемещении между крайними позициями, регистрируемыми датчиками *r* и *l*. Движение влево и вправо инициируется сигналами *L* и *R*, соответственно. В исходном положении манипулятор находится в позиции *r* и начинает рабочий цикл после нажатия кнопки *s*. Манипулятор управляется кнопками пульта управления «включить» – *s* и «выключить» – *e*. Эти кнопки можно нажимать в течение рабочего цикла в любой последовательности, манипулятор реагирует на них только в позиции *r*: продолжает рабочий цикл, если последней была нажата кнопка *s*, или останавливается, если *e*.

Описание алгоритма управления на языке ПРАЛУ [17], определенное на множествах $\{s, e, r, l\}$ и $\{L, R\}$ входных (или условных) и выходных (управляющих) переменных:

РАБ_ЦИКЛ(s, e, r, l / R, L)

1: $\to 2.3$

2: $- g \to L - l \to \bar{L} \to R - r \to \bar{R} \to 2$

3: $- s \to g - e \to \bar{g} \to 3$

Алгоритм управления является циклическим: будучи однажды запущен, он может функционировать бесконечно долго. Входными (или условными) переменными алгоритма являются переменные *s*, *e*, *r*, *l*, эти переменные фиксируют состояние окружающей среды. Выходные (или управляющие) переменные *L*, *R* инициируют движение влево и вправо. Кроме того имеется еще одна внутренняя переменная *g*, введенная для запоминания факта нажатия кнопки *s* или *e* во время рабочего цикла манипулятора: $g = 1$, если последней была нажата кнопка *s*, и $g = 0$, если *e*.

III. Моделирование реактивных систем с параллелизмом поведения

В работе [6] было предложено характеризовать цифровые устройства по типу алгоритмического описания. Устройства, моделью которых являются классические алгоритмы (алгоритмы планирования), относятся к трансформационному типу. Их целью является вычисление некоторого результата по исходным данным посредством конечной последовательности шагов. Примерами таких систем являются процессоры, компиляторы языков программирования, веб-серверы.

Цель реактивной системы [6] состоит в том, чтобы осуществлять взаимодействие с окружающей средой. Поведение реактивной системы задаётся алгоритмом управления. Функционирование реактивных систем в идеале никогда не заканчивается. Отсюда следует, что алгоритм реактивной системы не являются алгоритмом в смысле классической теории алгоритмов (отсутствует признак конечного числа шагов). В современной литературе алгоритмы управления называются протоколами взаимодействия. Тем не менее, для формализации этих алгоритмов можно использовать тот же подход, что и для трансформационных систем, – описание путем задания формального языка и абстрактного механизма вычислений. Примерами таких устройств являются контроллеры периферийных устройств компьютера, подключаемые к общей шине, встроенные системы, устройства управления оборудованием. В последнее время термин «реактивная система» стал употребляться и для обозначения программных систем, в которых асинхронно обрабатываются потоки данных, объем которых не предопределен [18].

Традиционно протокол моделировался как набор взаимодействующих процессов, где каждый процесс описывается как расширенный конечный автомат, который имеет конечное число состояний. В современных системах верификации взаимодействие процессов представляется как коммуникация, в которой актами коммуникации служат транзакции через общие

структуры данных, называемые каналами. Моделирование на уровне транзакций TLM (transaction-level model) является средством повышения эффективности (оно до 1000 раз быстрее, чем моделирование на уровне RTL). Наиболее популярным и широко используемым языком моделирования уровня TLM стал язык SystemC (стандарт IEEE 1666), который является расширением языка C++. Исполняемая программа, получаемая в результате компиляции модели на языке SystemC любым ANSI-совместимым компилятором C++, реализует симулятор с интегрированными средствами управления имитацией. Параллелизм в SystemC имеет семантику чередования операций последовательных процессов. Параллельные процессы языка SystemC – это потоки (thread), которые планируются для последовательного выполнения собственным планировщиком SystemC на основе невытесняющего (non-preemptive) мультипрограммирования (cooperative multitasking).

Модель многопоточности обладает существенным недетерминизмом, и процессы языка SystemC имеют специальную организацию для устранения этого недетерминизма. Атомарные операции процессов, каковыми являются транзакции, линеаризуемы. Линеаризуемость представляет собой свойство программы, в которой результат любого параллельного выполнения операций эквивалентен их некоторому последовательному выполнению [19]. Для любого другого потока выполнение линеаризуемой операции является мгновенным: операция либо не начата, либо завершена.

Синхронизация процессов модели TLM на уровне транзакций осуществляется барьерным механизмом [20]. Барьер – это точки исходного кода, в которых каждый процесс должен приостановиться и подождать достижения барьера всеми процессами группы. В модели TLM на языке SystemC точки барьера задаются вызовами функции wait (.).

IV. Моделирование описаний реактивных систем на языке ПРАЛУ

Алгоритмы на языке ПРАЛУ допускают интерпретацию моделью TLM, для этого требуется уточнение семантики операций ожидания и действия. Суть уточнения состоит в доопределении частичного порядка реализации операций, задаваемого исходным параллельным алгоритмом, до линейного порядка. Используется модель параллелизма типа «чередование» (interleaving), в которой одновременность понимается как возможность упорядочивать операции произвольным образом. Операции ожидания и действия рассматриваются в виде композиций некоторых элементарных операций. В такой интерпретации алгоритмы на ПРАЛУ обладают свойством линеаризуемости, т.е. результат параллельного выполнения алгоритма эквивалентен некоторому последовательному выполнению атомарных операций. Транзакции в алгоритмах на ПРАЛУ представлены операциями ожидания и действия, имеющими общую переменную и описывающими событие взаимодействия [21].

Структурой данных в модели TLM алгоритма на ПРАЛУ является вектор значений переменных, компонентами которого являются пары, представляющие текущее и планируемое значения каждой переменной. Доступ к компонентам вектора переменных осуществляется посредством операции установки планируемого значения переменной алгоритма и операции проверки значения условной переменной. Реализация операции ожидания алгоритма на ПРАЛУ состоит из последовательного выполнения операций приостановки и проверки значений переменных в векторе текущих значений, операция действия – из выполнения операций установки планируемых значений переменных.

При описании процедур планирования вычислений, связанных с линейным упорядочением частично-упорядоченных операций, традиционно используется понятие ветви как совокупности последовательных подпроцессов, начинающихся с некоторой заданной операции. Последовательным подпроцессом обычно называют максимальную цепь операций процесса, находящихся в отношении непосредственного следования. Ветвь является динамическим объектом, порождаемым операцией ее образования, и уничтожаемым операцией ее прекращения.

Синхронизация параллельных цепочек алгоритма на ПРАЛУ осуществляется с помощью барьерного механизма. Точки барьера задаются операцией приостановки выполнения ветвей. Структура данных барьера синхронизации представлена в памяти очередью ОГ готовых для выполнения ветвей и очередью ОЖ ждущих ветвей. Операция образования ветви заключается в занесении первой ее операции ветви в ОГ. Смысл операции прекращения ветви ясен из ее названия: ветвь удаляется из ОГ

Основополагающим моментом при моделировании алгоритмов на ПРАЛУ является соглашение о длительности выполнения операций языка, в частности это касается операций действия. Это соглашение существенно влияет на степень соответствия изменений сигналов, производимых эмулятором и появляющихся на выходах схемной реализации. Реализация (так же как и моделирование) алгоритмов на языке ПРАЛУ выполняется в некотором предположении о длительности выполнения операций языка. Наиболее естественно предположение об одинаковой длительности выполнения всех операций (и в частности, операций действия).

Один из путей повышения быстродействия вычислений состоит в предположении о нулевой длительности операций. В этом случае вычисления по одной ветви выполняются до тех пор, пока для их продолжения не потребуется изменение состояний условных переменных. Это значит, что приостановки выполнения ветвей будут происходить только в операциях ожидания. Для аппаратной реализации более естественно предположение об одинаковой, но не нулевой, длительности выполнения операций действия. В этом случае приостановка выполнения ветви производится после операций действия.

При моделировании алгоритма управления из ОГ последовательно извлекаются ветви и выполняются до приостановки. Выполнение ветви G приостанавливается, если: 1) если ее начальный фрагмент «$-k^{in} \to k^{out}$» не может выполниться на множестве текущих значений переменных; 2) если ее начальный фрагмент «$-k^{in} \to k^{out}$» выполнен. В первом случае G переносится с ОЖ, во втором случае в ОЖ заносится новая ветвь, начинающаяся с операции, которая должна выполняться в G следующей. Барьер достигнут, когда очередь ОГ становится пустой. При достижении барьера запускаются процессы: 1) пересылки элементов из ОЖ в ОГ (ОЖ становится пустой); 2) ввод очередных значений переменных в планируемые значения (если система незамкнута); 3) пересылка планируемых значений в текущие для каждой компоненты вектора переменных. Затем запускается первая операция из ОГ.

Достижение барьера фиксирует такты работы эмулятора, и произведенные изменения значений переменных (отмеченные в векторе планируемых значений) соответствуют изменениям значений сигналов на выходах схемной реализации алгоритма управления при подаче на ее входы значений сигналов, соответствующих значениям в векторе планируемых значений. Таким образом, процесс верификации алгоритма управления может быть выполнен двумя путями: 1) динамически в процессе отладки алгоритма управления; 2) на тестовой последовательности, полученной после моделирования алгоритма управления.

Преобразование описания алгоритма на языке ПРАЛУ в модель TLM осуществляется путем его трансляции в выражения промежуточного процедурного языка, которая осуществляется подстановками вместо операций языка ПРАЛУ композиций из элементарных операций [21]. В модели TLM на языке ПРАЛУ нет необходимости явно указывать точки барьера (в отличие от модели на SystemC). Барьер формируется автоматически в процессе трансляции. Синхронизация процессов занимает больше времени, чем вычисления, особенно в распределенных вычислениях. Операции образования, прекращения и приостановки ветвей относятся к накладным расходам на организацию вычислений.

Барьерная синхронизация считается довольно затратным в смысле памяти и времени выполнения механизмом. Однако в модели TLM на языке ПРАЛУ каждая из операций барьерного механизма может быть реализована в современных микропроцессорах одной командой, в том числе и приостановка, которая является аналогом функции wait(.) в SystemC. Отдельный планировщик не требуется.

V. Методология построения тестовой системы на основе языка ПРАЛУ

Продемонстрируем процесс построения тестовой последовательности в процессе моделирования и отладки спецификации на проектирование устройства управления, заданного на языке ПРАЛУ. В качестве примера рассмотрим приведенный выше алгоритм РАБ_ЦИКЛ(s, e, r, l/) работы манипулятора.

На языке ПРАЛУ можно описать функционирование системы в целом, включая не только задание алгоритма управления, но и описание поведения окружающей среды. Это позволяет упростить моделирование алгоритма управления, так как в этом случае достаточно изменять значения только тех переменных, изменение значений которых не фиксируется в этих двух алгоритмах, в данном случае это переменные s и e. Описание поведения окружающей среды имеет следующий вид:

ОС (R, L / r, l/)

$1: -L \to \bar{r} \to l - R \to \bar{l} \to r \to 1$

Приведенные алгоритмы на ПРАЛУ описывают функционирование системы в целом, фиксируются изменения не только внутренней переменной g, но и значения остальных переменных, кроме переменных s и e. Перед началом запуска работы манипулятора переменные имеют следующие значения: $s = e = 0$, $r = 1$, $l = g = R = L = 0$, $r = 1$, задаваемые вектором 0010000.

Продемонстрируем процесс моделирования работы описанного манипулятора для случая синхронной реализации алгоритма управления. Для этого случая в алгоритмах выделяется 10 ветвей:

$1: -L \to \bar{r}\,|_4 \to l\,|_5 - R \to \bar{l}\,|_6 \to r \to 1$

$2: -g \to L\,|_7 - l \to \bar{L}\,|_8 \to R\,|_9 - r \to \bar{R} \to 2$

$3: -s \to g\,|_{10} - e \to \bar{g} \to 3$

В таблице 1 приведены такты моделирования алгоритмов на ПРАЛУ работы манипулятора. Каждая из подтаблиц соответствует одному такту моделирования, порождаемому достигаемым барьером B_i. Столбцы каждой из подтаблиц задают номера выбираемых из ОГ на каждом такте ветвей G_j, номера ветвей в ОГ и ОЖ, вектор текущих значений переменных алгоритма на соответствующем шаге T_i и векторы P_i планируемых значений после рассмотрения ветвей. В первой строке подтаблицы показаны состояния ОГ, ОЖ, T_i и P_i в начале соответствующего такта. При переходе от i-го такта к (i+1)-му: $\text{ОГ}_{i+1} = \text{ОЖ}_i$, $T_{i+1} = P_{i+1} = P_i$. Вектор T_i порождает своими компонентами, соответствующими условным и внутренним переменным, тестовое воздействие, а полученный после выполнения такта вектор P_i – эталонную реакцию на это воздействие, задаваемыми компонентами, соответствующими управляющим переменным.

Искомые тесты представляются парами векторов: пятикомпонентный вектор тестового воздействия, компонентам которого соответствуют значения переменных s, e, r, l, g, и трехкомпонентный вектор реакций, компонентам которого соответствуют значения переменных g, R, L. Для приведенного в табл. 1 фрагмента моделирования получается следующая тестовая последовательность для верификации устройства управления, находящегося в начальном состоянии:

10100 / 100; 00101 / 101; 00001 / 101; 00011 / 100;
00011 / 110; 10011 / 010; 01001 / 010; 00100 / 000;

Таблица 1

Такты моделирования

B_i	G_j	ОГ$_i$	ОЖ$_i$	T_i	P_i
B_1		1,2,3	∅	**1**0 100 00	00 100 00
	1	2,3	1		00 100 00
	2	3	1,2		00 100 00
	3	∅	1,2,10		00 10**1** 00
B_2		1,2,10	∅	00 101 00	00 101 00
	1	2,10	1		00 101 00
	2	10	1,7		00 101 0**1**
	10	∅	1,7,10		00 101 0**1**
B_3		1,7,10		00 101 01	00 101 01
	1	7,	4		00 **0**01 01
	7	10	4,7		00 **0**01 01
	10	∅	4,7,10		00 **0**01 01
B_4		4,7,10	∅	00 001 01	00 001 01
	4	7,10	5		00 0**1**1 01
	7	10	5,7		00 0**1**1 01
	10	∅	5,7,10		00 0**1**1 01
B_5		5,7,10	∅	00 011 01	00 011 01
	5	7,10	5		00 011 01
	7	10	5,8		00 011 0**0**
	10	∅	5,8,10		00 011 0**0**
B_6		5,8,10	∅	00 011 00	00 011 00
	5	8,10	5		00 011 00
	8	10	5,9		00 011 **1**0
	10	∅	5,9,10		00 011 **1**0
B_7		5,9,10	∅	**1**0 011 10	00 011 10
	5	9,10	6		00 0**0**1 10
	9	10	6,9		00 0**0**1 10
	10	∅	6,9,3		00 0**00** 10
B_8		6,9,3	∅	0**1** 001 10	00 001 10
	6	9,10	1		00 **1**01 10
	9	10	1,9		00 **1**01 10
	3	∅	1,9,3		00 **1**00 10
B_9		1,9,3	∅	00 100 10	00 100 10
	1	9,3	1		00 100 10
	9	3	1,2		00 100 **0**0
	3		1,2,3		00 100 **0**0
B_{10}		1,2,3	∅	00 100 00	00 100 00

VI. Заключение

Поведение встроенного устройства управления существенно зависит от объекта, которым оно управляет и среды, в которой оно работает. Моделирование устройства управления с целью верификации должно производиться на области его запланированного функционирования. Использование языка ПРАЛУ для описания алгоритма управления дает возможность описывать поведение системы управления в целом. В настоящее время существуют программная поддержка автоматизации проектирования и отладки систем управления на ПРАЛУ, которая включает средства моделирования и синтезаторы языка ПРАЛУ в модели аппаратуры на языках Verilog и C [21].

Литература

[1] Лохов А.Л. Современные методы функциональной верификации цифровых HDL-проектов: методология ABV, библиотеки OVL и QVL // Современная электроника. 2010. № 1. С. 56–59.

[2] Камкин А., Чупилко М. Обзор современных технологий имитационной верификации аппаратуры // Программирование. 2011. № 3. С. 42–49.

[3] Hoffman L. Talking Model-Checking Technology // Communications of the ACM. 2008. V. 51. № 07/08. P. 110–112.

[4] Tretmans J. Model based testing with labelled transition systems. Formal Methods and Testing: Lecture Notes in Computer Science (Springer). 2008. 4949. P. 1–38.

[5] Карпов Ю. Г. Model Checking: верификация параллельных и распределенных программных систем. СПб.: БХВ-Петербург, 2010. 560 с.

[6] Закревский А. Д. Параллельные алгоритмы логического управления. Минск: Ин-т техн. кибернетики НАН Беларуси. 1999. 202 с.

[7] Lee D., Yannakakis M. Principles and methods of testing finite state machine – a survey // Proceedings of the IEEE. 1996. V. 84. № 8. P. 1090–1123.

[8] Kanso B., Chebaro O. Compositional testing for FSM-based models // International Journal of Software Engineering & Applications (IJSEA). 2014. V. 5. № 3. P. 9–23

[9] Ponce de Leon H., Delphine Longuet S.H. Model-based Testing for Concurrent Systems with Labeled Event Structures // Software Testing, Verification & Reliability. 2014. V. 24. № 7. P. 558–590.

[10] Tretmans J. Test Generation with Inputs, Outputs and Repetitive Quiescence // Software Concepts and Tools. 1996. V. 17. № 3. P. 103–120.

[11] Питерсон Дж. Теория сетей Петри и моделирование систем: пер. с англ. М. В. Горбатовой, В. Л. Торхова, В. Н. Четверикова. М.: Мир, 1984. 264 с.

[12] Watanabe H., Kudoh T. Test Suite Generation Methods for Concurrent Systems based on Coloured Petri Nets // Proceedings of the 2nd Asia-Pacific Software Engineering Conference. 1995. P. 242–251.

[13] Farooq U., Lam C.P., Li H. Towards Automated Test Sequence Generation // Proceedings of the 19th Australian Conference on Software Engineering. 2008. P. 441–450.

[14] Zhu H., He X.D. A Methodology of Testing High-level Petri Nets // Information and Software Technology. 2002. V. 44. P. 473–489.

[15] Liu J., Ye1 X., Zhou J., Song X. I/O Conformance Test Generation with Colored Petri Nets // Applied Mathematics and Information Sciences. 2014. V. 8. № 6. P. 2695–2704.

[16] Бурдонов И. Б., Косачев А.С., Кулямин В.В. Неизбыточные алгоритмы обхода ориентированных графов. Детерминированный случай // Программирование. 2003. № 5. С. 11–30.

[17] Черемисинова Л.Д. Реализация параллельных алгоритмов логического управления. Минск: Ин-т техн.кибернетики НАН Беларуси, 2002. 246с.

[18] Halbwachs N. Synchronous Programming of Reactive Systems. Springer-Verlag. 2010. 192 p.

[19] Herlihy M.P., Wing J.M. Linearizability: A Correctness Condition for Concurrent Objects // ACM Trans. Program. Language Systems. 1990. P. 463–492.

[20] Solihin Y. Fundamentals of Parallel Multicore Architecture. CRC Press, 2015. 494 p.

[21] Черемисинов Д. И. Проектирование и анализ параллелизма в процессах и программах. Минск: Беларуская навука. 2011. 300 с.

Verification of Digital Devices with Concurrency Behavior

D.I. Cheremisinov, L.D. Cheremisinova

The United Institute of Informatics Problems of NAS of Belarus

cher@newman.bas-net.by, cld@newman.bas-net.by

***Abstract* — The problem of verifying the functional correctness of implementations of reactive control systems with respect to their design specification is considered. When solving the problem of implementing control devices, one has to deal with the parallelism present in control objects. Such objects control goal is to ensure the coordinated operation of interacting components working asynchronously and in parallel. To describe the specification for such device designs it is proposed to use the PRALU language [6] of concurrent control algorithms, which allows temporal ordering of events that occur during operation of the control device.**

The paper discusses the task of analyzing control device implementations for model input-output conformance [4, 5]. A methodology for constructing a test system for simulation-based verification is proposed. Simulation of the control device for verification should be carried out in the area of its desired operation. Using the PRALU language to describe the control algorithm makes it possible to describe the behavior of the control system as a whole: not only the control algorithm, but also the behavior of the object controlled by the designed device. The control object is considered as a part of the test environment. The implementation of the test device is considered as a black box for which only inputs and outputs are available. Test sequences are generated dynamically, i.e. in the process of simulation of the control system.

Currently, there is software support for the automation of design and debugging of the control systems, the design specification of which is in the PRALU language [21]. The software includes simulation tools and synthesizers of the PRALU language in the hardware models in Verilog and C languages.

***Keywords* — concurrent algorithm, hardware verification, simulation, PRALU language.**

REFERENCES

[1] Lokhov A.L. Sovremennyye metody funktsional'noy verifikatsii tsifrovykh HDL-proyektov: metodologiya ABV, biblioteki OVL i QVL (Modern methods of functional verification of digital HDL projects: ABV methodology, OVL and QVL libraries) // Sovremennaya elektronika. 2010. № 1. P. 56–59.

[2] Kamkin A., Chupilko M. Obzor sovremennykh tekhnologiy imitatsionnoy verifikatsii apparatury (Overview of modern technologies for simulation verification of equipment) // Programmirovaniye. 2011. № 3. P. 42–49.

[3] Hoffman L. Talking Model-Checking Technology // Communications of the ACM. 2008. V. 51. № 07/08. P. 110–112.

[4] Tretmans J. Model based testing with labelled transition systems. Formal Methods and Testing: Lecture Notes in Computer Science (Springer). 2008. 4949. P. 1–38.

[5] Karpov YU. G. Model Checking: verifikatsiya parallel'-nykh i raspredelennykh programmnykh sistem (Model Checking: Verification of Parallel and Distributed Software Systems). SPb.: BKHV-Peterburg, 2010. 560 p.

[6] Zakrevskij A. D. Parallel'nye algoritmy logicheskogo upravlenija. Parallel Logic Control Algorithms. Minsk: Institut tehnicheskoj kibernetiki Nacional'noj akademii nauk Belarusi, 1999. 202 p. (in Russian).

[7] Lee D., Yannakakis M. Principles and methods of testing finite state machine – a survey // Proceedings of the IEEE. 1996. V. 84. № 8. P. 1090–1123.

[8] Kanso B., Chebaro O. Compositional testing for FSM-based models // International Journal of Software Engineering & Applications (IJSEA). 2014. V. 5. № 3. P. 9–23

[9] Ponce de Leon H., Delphine Longuet S.H. Model-based Testing for Concurrent Systems with Labeled Event Structures // Software Testing, Verification & Reliability. 2014. V. 24. № 7. P. 558–590.

[10] Tretmans J. Test Generation with Inputs, Outputs and Repetitive Quiescence // Software Concepts and Tools. 1996. V. 17. № 3. P. 103–120.

[11] Peterson J.L. Petri Net Theory and the Modeling of Systems. New York: Prentice Hall, 1981. 290 p.

[12] Watanabe H., Kudoh T. Test Suite Generation Methods for Concurrent Systems based on Coloured Petri Nets // Proceedings of the 2nd Asia-Pacific Software Engineering Conference. 1995. P. 242–251.

[13] Farooq U., Lam C.P., Li H. Towards Automated Test Sequence Generation // Proceedings of the 19th Australian Conference on Software Engineering. 2008. P. 441–450.

[14] Zhu H., He X.D. A Methodology of Testing High-level Petri Nets // Information and Software Technology. 2002. V. 44. P. 473–489.

[15] Liu J., Ye1 X., Zhou J., Song X. I/O Conformance Test Generation with Colored Petri Nets // Applied Mathematics and Information Sciences. 2014. V. 8. № 6. P. 2695–2704.

[16] Burdonov I. B, Kosachev A. S., Kuljamin V. V. Neizbytochnye algoritmy obhoda orientirovannyh grafov. Determinirovannyj sluchaj (Irredandant algorithms for traversal of directed graphs. The determinate case) // Programmirovanie. 2003. № 5. P. 11–30 (in Russian).

[17] Cheremisinova L.D. Realizatsiya parallel'nykh algoritmov logicheskogo upravleniya (Implementation of parallel logic control algorithms). Minsk: In-t tekhn.kibernetiki NAN Belarusi. 2002. 246 p.

[18] Halbwachs N. Synchronous Programming of Reactive Systems. Springer-Verlag, 2010. 192 p.

[19] Herlihy M.P., Wing J.M. Linearizability: A Correctness Condition for Concurrent Objects // ACM Trans. Program. Language Systems. 1990. P. 463–492.

[20] Solihin Y. Fundamentals of Parallel Multicore Architecture. CRC Press. 2015. 494 p.

[21] Cheremisinov D. I. Proektirovanie i analiz parallelizma v processah i programmah (Design and the Analysis of Parallelism in Processes and Programs). Minsk: Belaruskaja navuka Publ. 2011. 300 p. (in Russian).

УДК 621.3.049.771.14:621.3.062 DOI: 10.31114/2078-7707-2020-3-16-21

Иерархический подход к трассировке реконфигурируемой системы на кристалле островного типа

М.А. Заплетина, Д.А. Железников, С.В. Гаврилов

Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград, Москва,

zapletina_m@ippm.ru, zheleznikov_d@ippm.ru, s.g@ippm.ru

***Аннотация* — В статье рассмотрен иерархический подход к трассировке межсоединений в базисе реконфигурируемых систем на кристалле островного типа. Представленный метод может быть также успешно применен для программируемых интегральных микросхем и систем на кристалле соответствующего вида. Модифицированный алгоритм PathFinder применяется на обоих уровнях трассировки - глобальном и детальном для блоков коммутации. Особое внимание уделено правилам формирования графовой модели коммутационных блоков в составе смешанного графа трассировки и их функциональному параметризованному описанию на языке Tcl. Приведены и проанализированы данные вычислительных экспериментов по оценке времени трассировки при плоском и иерархическом подходе. Наименьший и наибольший и выигрыш в длительности процедуры трассировки при иерархическом подходе составил 2.52 и 5.59 раза по сравнению с плоским вариантом.**

***Ключевые слова* — реконфигурируемая система на кристалле, РСнК, островная архитектура, иерархическая трассировка, топологический синтез, смешанный граф трассировки, трассировка блоков коммутации.**

I. Введение

Реконфигурируемые системы на кристалле (РСнК) представляют собой интегральные устройства, объединяющие на одном кристалле программируемую реконфигурируемую логику, блоки памяти и другие функциональные устройства и блоки. В маршруте топологического синтеза на базе РСнК трассировка межсоединений является одной из важнейших операций. Определяющее значение для производительности итоговой микросхемы (получаемой загрузкой файла прошивки программируемой части в блок конфигурационной памяти) имеет разводка критических цепей проектируемой электрической схемы. При наличии оптимального размещения высокое качество их трассировки позволяет нивелировать основной недостаток программируемой логики по сравнению с заказными микросхемами – более низкое быстродействие. Одновременно с этим для реконфигурируемой части не менее важным является количество времени, необходимое для прохождения как маршрута топологического синтеза в целом, так и этапа трассировки межсоединений в частности.

Полная разводка всех проектных цепей, будучи необходимым условием корректного выполнения стадии трассировки, является сложной задачей. В первую очередь, её решение связано с ограниченностью доступных коммутационных ресурсов. В отличие от заказных интегральных микросхем и печатных плат, в которых проектировщик имеет значительную свободу в определении расположения дорожек металлизации и их количества на кристалле [1], конфигурация трассировочных ресурсов программируемых и реконфигурируемых микросхем жестко задана заранее.

Весомый вклад в проблему трассировки вносят частные архитектурные особенности схемотехники РСнК. Для рассмотренного в данной работе случая они заключаются в наличии нескольких типов трассировочных элементов (мультиплексоров, инверторов, многоразрядных усиленных буферов и т.д.), имеющихся в дополнение к стандартным программируемым переключателям в виде n-канальных МОП транзисторов. Сочетание ключей условного и безусловного включения, одно- и двунаправленных, с инверсией и без инверсии, без усиления сигнала и при его наличии, распределенных специфическим образом, вызывает трудности в применении классических алгоритмов поиска кратчайшего пути. Возникает необходимость в построении смешанного графа трассировки, адаптации к нему существующих подходов и разработке новых.

Одним из частых путей решения задачи трассировки в базисе РСнК является двухуровневый (иерархический) подход, в рамках которого выделяются этапы глобальной трассировки (доведение межсоединений до блоков коммутации) и детальной трассировки внутри них. Подобный подход релевантен к применению в случае СнК с программируемой или реконфигурируемой частью островного типа с возможностью явного выделения коммутационных блоков. Идея такого разделения позволяет, во-первых, уменьшить размерность имеющейся плоской задачи (в том числе сократить размер графа трассировочных ресурсов), а, во-вторых, применить наиболее подходящие алгоритмы на каждом из уровней.

Нужно отметить, что важная особенность многих современных методов трассировки для ПЛИС и РСнК заключена в их тесной связи с архитектурой базового

кристалла, что уменьшает их универсальность, но вместе с тем способствует достижению высокой эффективности.

В данной работе задачи глобальной и детальной трассировки коммутационных блоков решаются сс помощью модифицированного алгоритма PathFinder для смешанного графа трассировки [2, 3]. Этот алгоритм позволяет устранить перегрузки коммутационных элементов, возникающие при попытке добиться полной трассируемости всего списка проектный цепей. С учетом размерности задачи PathFinder может быть настроен с помощью набора стандартных коэффициентов, назначение которых будет описано далее.

Данная работа организована следующим образом. Во введении обозначены общие аспекты трассировки программируемой части РСнК островного типа [4]. Раздел II дает краткую информацию о модели смешанного графа трассировки. Раздел III посвящен модифицированному алгоритму PathFinder и способу улучшения результатов его работы. В разделе IV представлены обобщенная модель описания разных типов коммутационных блоков и интерфейс для встраивания её в смешанный граф трассировки [5]. Раздел V содержит результаты вычислительных экспериментов и их анализ. В разделе VI сформулированы заключительные выводы.

II. Смешанный граф трассировки

Применение оригинальной модели смешанного графа трассировки [5] было вызвано необходимостью корректного описания всех типов коммутационных элементов, имеющихся в составе целевой РСнК. Более полно этот вопрос рассмотрен в работе [5], поэтому далее приведем лишь краткую справочную информацию.

Отличительной особенностью коммутационной модели является сочетание двух типов соединений вершин $v_i \in \mathbf{V}$ графа трассировки $\mathbf{G} = \{\mathbf{V}, \mathbf{E}\}$: ориентированных и неориентированных ребер $e_{ij} \in \mathbf{E}$, возникших из потребности в учете направления прохождения сигнала через соответствующий коммутационный элемент (инвертор, буфер, мультиплексор и пр.). Таким образом, граф из классического ненаправленного становится смешанным.

Каждой вершине графа ставится в соответствие фиксированный вес $w(v_i)$, а каждому ребру – вес $w(e_{ij})$, отражающие относительную стоимость прохождения сигнала (задержку) в соответствии с емкостной нагрузкой электрических узлов (полученной путем автоматической экстракции паразитных элементов) и схемотехническими особенностями конкретных трассировочных элементов. Кроме того, каждому ребру e_{ij} смешанного графа $\mathbf{G}$ приведена в соответствие логическая функция прохождения сигнала f_{ij}^{e}, позволяющая помимо его направления учесть случай инвертирования сигнала на информационных входах логических элементов, описать влияние управляющего сигнала на коммутационный элемент или их группу, а также корректно описать элементы, коммутируемые по нагрузке (усилению сигнала). На основе разработанной математической модели был реализован программный интерфейс на языке Tcl [5], позволяющий наиболее полно передавать данные об имеющихся коммутационных ресурсах в процедуру трассировки.

III. Модифицированный алгоритм PathFinder

Принцип работы алгоритма PathFinder заключается в последовательной трассировке списка проектных межсоединений с постепенным устранением перегруженности отдельных коммутационных элементов. Состояние перегруженности элемента возникает при его одновременном использовании несколькими электрическими цепями и свидетельствует об ошибочной трассировке всей проектируемой схемы.

Устранение перегруженности достигается путём введения величины накопляемого веса для всех вершин графа. Она рассчитывается на основе информации о числе разделяющих вершину цепей и суммарной задержке распространения сигнала при трассировке пути до неё.

Стандартные коэффициенты модифицированного алгоритма PathFinder для описанного смешанного графа трассировки имеют следующее значение. Коэффициент $v\_p \in [0;1]$ регулирует степень влияния накопленного и собственного базового веса вершины графа на оценку привлекательности выбора этой вершины для продолжения пути. Параметр $v\_h \in [0;1]$ участвует в расчете накопленного веса вершины графа на текущей итерации. Парные коэффициенты PATHW и PATHL обозначают максимальную задержку распространения сигнала и максимальную длину межсоединения в количестве пройденных коммутационных элементов.

Поисковая стратегия алгоритма [6] была усовершенствована. Первоначально накопленный вес каждой последующей вершины графа в пути определяется суммированием накопленного веса предыдущих вершин пути и вклада текущего ребра (коммутационного элемента). Поиск пути выполняется по направлению от источника сигнала. При достижении каждого из приемников (от ближайшего к наиболее удаленным) выполняется процедура ребалансировки трассировочного дерева. Она заключается в следующем. При нахождении пути до очередного приемника текущей цепи выполняется обнуление накопленных весов всех вершин графа трассировки, лежащих на этом пути. При этом информация о всех перегрузках и весах остальных вершин графа не подвергается изменениям. Это позволяет задать более высокий трассировочный приоритет вершинам, находящимся вблизи ранее разведенной части цепи, избежать чрезмерного ветвления и в конечном итоге

сформировать более компактные пути. Кроме того, в большинстве случаев ребалансировка положительно влияет на суммарное время трассировки, что следует из результатов проведенных вычислительных экспериментов (табл. 1).

Таблица 1

Статистика времени плоской трассировки для оценки влияния ребалансировки трассировочного дерева

Схема	Без ребалансировки		С ребалансировкой		Сокращение времени, %	Сокращение дерева, %
	Время трассировки, с	Размер трассировочного дерева, элементов	Время трассировки, с	Размер трассировочного дерева, элементов		
x4_synth	122	9551	95	8216	22.13	13.98
misex3	224	21297	244	20724	-8.93	2.69
c1355	71	4389	58	4044	18.31	7.86
c1908	64	4831	51	4397	20.31	8.98
c3540	76	16156	62	15037	18.42	6.93
c6288	58	18296	61	17125	-5.17	6.40
s838	53	2381	53	2177	0	8.57
s1488	91	11027	149	10852	-63.7	1.59
test_2	55	20217	61	18686	-10.9	7.57
test_3	313	28218	182	26840	41.85	4.88
test_4	231	24738	174	24059	24.68	2.74

Приём, по своему влиянию на динамику трассировки схожий с введенной процедурой ребалансировки, описан в работе [7]. Её авторы выполняют предварительную сортировку приемников цепи по мере их удаленности от источника, а затем последовательно ищут пути до каждого из них. Источником сигнала при этом является вся ранее разведенная часть цепи. Это способствует повторному использованию вершин графа трассировки, уже находящихся в пути, и формированию более компактного трассировочного дерева.

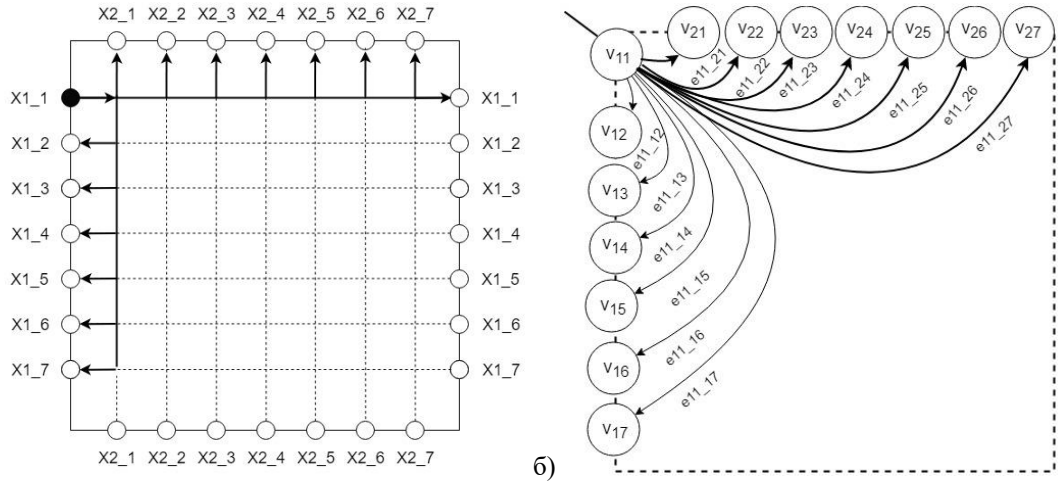
IV. Графовая модель и функциональное Tcl-описание коммутационных блоков

Ввод иерархии в модель описания трассировочных ресурсов РСнК потребовал перехода от «плоского» описания схемотехники кристалла, при котором блоки коммутации отсутствовали как структурная единица и раскрывались вплоть до простейших коммутационных элементов, к комбинированной модели. Её суть заключается в том, что в общем смешанном графе трассировки содержимое коммутационных блоков представляется в упрощенном виде (рис. 1) набором ребер с направлением, соответствующим функциональному описанию.

Пример стандартной записи для коммутационного элемента в программном интерфейсе на языке Tcl выглядит следующим образом:

```
mux2_1 { !sl0 x <= d0 w=0.25 } { sl0 x <= d1 w=0.25},
```

где *mux2_1* – имя элемента, а выражения в фигурных скобках – запись логических функций f_{ij}^{e}, где *d0*, *d1* – сигнальные входы элемента, *sl0* – адресный вход, *x* – выход, $w = w(e_{ij})$ – вес соответствующего ребра смешанного графа трассировки, «<=» – направление распространения сигнала.



а) б)

Рис. 1. Пример соответствия возможных направлений распространения сигнала от одного из входов коммутационного блока (а) его представлению в модели смешанного трассировочного графа (б). Параметр *flexibility* равен 0

Для сохранения единообразия был разработан схожий с приведенным выше формат Tcl-описания коммутационных блоков:

```
SB_name {OUT_name bit_depth direction
IN_name bit_depth w=weight fc=flexibility}
```

По сравнению с форматом описания коммутационного элемента в запись были введены два новых параметра: *bit_depth* – разрядность обобщенного входа/выхода, и *flexibility* – тип поразрядного соединения [8]. Второй параметр требует подробного рассмотрения.

Сокращенная запись функции f_{ij}^{e}, отражающая направление передачи сигнала от обобщенного входа коммутационного блока к его обобщенному выходу, не содержит явного указания на то, каким образом каждый из разрядов блока может быть скоммутирован. Однако при отсутствии нетипичных схемотехнических решений можно выделить два основных типа коммутации: «1-в-1» (рис. 2) и «1-во-все» (рис. 1). Эти варианты нашли отражение в значении параметра *flexibility*. Таким образом, для одного из разрядов (*X*1(1)) обобщенного входа *X1* коммутационного блока, представленного на рис.2а, запись

```
CB {X2 7 <= X1 7} {X1 7 <= X1 7 w=0.1}
```

приведет к построению фрагмента трассировочного графа на рис.2б, а запись

```
SB {X2 7 <= X1 7 fc=1} {Y1 7 <= X1 7
fc=1} {Y2 7 <= X1 7 fc=1}
```

соответствует рис. 2а, 2б. При необходимости набор значений параметра *flexibility* может быть легко расширен для включения иных вариантов поразрядных соединений.

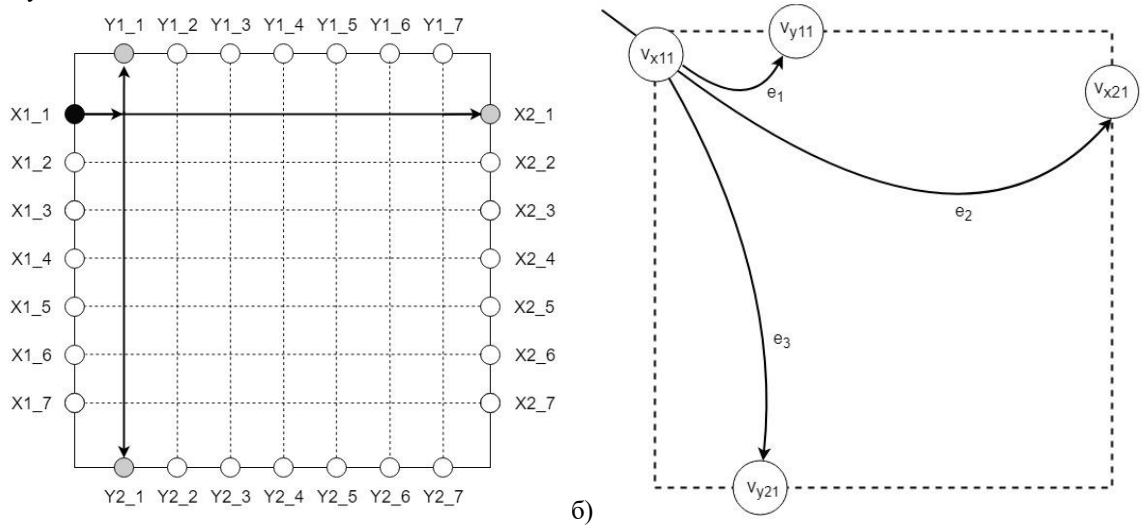


Рис. 2. Пример соответствия возможных направлений (а) распространения сигнала от одного из входов коммутационного блока его представлению в модели смешанного трассировочного графа (б). Параметр *flexibility* равен 1

V. Результаты вычислительных экспериментов

Представленный двухуровневый подход был проанализирован с помощью набора тестовых проектных схем ISCAS'89 и LGSynth'89. Для каждой из них модифицированным алгоритмом моделирования отжига [3] было получено размещение логических элементов на базовом кристалле ПЛИС, для которого поочередно проводилась плоская и двухуровневая трассировка. Для обеих задач глобальной и детальной трассировки была применена модификация алгоритма PathFinder для смешанного графа трассировки. На этапе детальной трассировки поочередно для каждого коммутационного блока строился и передавался в процедуру PathFinder локальный граф трассировки. Стандартные параметры алгоритма для плоской и иерархической трассировки: $v\_h = 0.1$, $v\_p = 0.5$, PATHW = 300, PATHL = 250. Полная трассируемость была достигнута для всех тестовых схем.

Первое важное преимущество рассматриваемого подхода заключается в том, что для тестового кристалла РСнК на глобальном уровне представления количество вершин смешанного графа трассировки уменьшилось в 5.62 раза от плоского представления, а количество ребер сократилось на одну пятую. Это свидетельствует о значительном уменьшении размерности решаемой алгоритмом PathFinder задачи в этом случае. Приняв во внимание тесную взаимосвязь размерности задачи и времени, необходимого для её решения, отметим второе преимущество подхода. Статистика, собранная в результате ряда вычислительных экспериментов, свидетельствует о сокращении суммарного количества времени, затрачиваемого на этап трассировки межсоединений. При двухуровневом подходе для всего набора тестовых проектных схем установленная величина ускорения процедуры трассировки изменятся от 2,5 до 5,6 раза, что показано в табл. 2.

Таблица 2

Сводная статистика времени трассировки для сравнения плоского и иерархического подхода

Название тестовой схемы	Число ЛЭ	Число цепей	Число блоков коммутации	Время плоской трассировки, с	Время глобальной PF трассировки, с	Время детальной PF трассировки, с	Ускорение, раз
s1488	334	343	1048	186.239	43.281	0.215	4.28
c499	127	168	560	65.997	24.267	0.092	2.71
c1355	121	162	555	73.787	15.112	0.079	4.86
c3540	504	554	1571	84.838	33.583	0.331	2.52
c432	81	117	296	50.717	9.043	0.025	5.59
c880	150	210	601	56.533	14.711	0.065	3.83
c1908	148	181	562	69.041	15.886	0.05	4.33
c6288	733	765	2053	72.601	18.696	0.267	3.83
x4_syn	166	260	853	134.248	29.603	0.084	4.52
misex3	570	584	1930	295.202	103.171	0.535	2.85
test_4	754	786	1914	84.827	33.151	0.276	2.54
test_3	738	770	2046	288.654	87.117	0.384	3.29

Примечание. Расчеты проводились на ПК с процессором Intel Core i5-7200U с тактовой частотой 2.50 ГГц и 8 Гб ОЗУ.

VI. Заключение

Рассмотренный двухуровневый подход к задаче трассировки РСнК островного типа продемонстрировал положительные результаты. Разработанная универсальная модель представления блоков коммутации на этапе глобальной трассировки позволила значительно уменьшить смешанный граф трассировки, сократить размерность решаемой задачи и ускорить работу модифицированного алгоритма PathFinder. Для набора тестовых схем двухуровневый подход в среднем сократил суммарное время этапа трассировки межсоединений более чем в 3,5 раза.

Литература

[1] Ivanova G.A., Ryzhova D.I., Gavrilov S.V., Vasilyev N.O., Stempkovskii A.L. Methods and Algorithms for the Logical-Topological Design of Microelectronic Circuits at the Valve and Inter-Valve Levels for Promising Technologies with a Vertical Transistor Gate // Russian Microelectronics, 2019. Vol. 48. No. 3. PP. 167–175.

[2] McMurchie, L. and Ebeling, C., PathFinder: a negotiation-based performance-driven router for FPGAs // Proceedings of the 3rd International ACM Symposium on FPGAs, Napa Valley, CA, 1995. PP. 111–117.

[3] Gavrilov S.V., Zheleznikov D.A., Zapletina M.A. et al. Layout Synthesis Design Flow for Special-Purpose Reconfigurable Systems-on-a-Chip // Russian Microelectronics, 2019. Vol. 48, Is.3. PP. 176-186.

[4] Nam G.-J., Sakallah K.A., Rutenbar R.A. A new FPGA detailed routing approach via search-based Boolean satisfiability // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, July 2002. Vol. 21, Is.6. PP. 674 – 684.

[5] Гаврилов С.В., Железников Д.А., Хватов В.М. Решение задач трассировки межсоединений с ресинтезом для реконфигурируемых систем на кристалле // Изв. вузов. Электроника. 2017. Т.22, №3. С. 266 – 275.

[6] Железников Д.А., Заплетина М.А., Хватов В.М. Решение задачи трассировки межсоединений для реконфигурируемых систем на кристалле с различными типами коммутационных элементов // Электронная техника. Серия 3: микроэлектроника, 2018. №4 (172). С. 31-36.

[7] Wilton S. Architectures and Algorithms for Field-Programmable Gate Arrays with Embedded Memories. PhD thesis, University of Toronto, 1997.

[8] Farooq U., Marrakchi Z., Mehnez H. FPGA architectures: An overview / In book: Tree-based Heterogeneous FPGA Architectures // NY: Springer-Verlag, 2012. XVI. 188 p.

The Hierarchical Approach to Island Style Reconfigurable System-on-Chip Routing

M.A. Zapletina, D.A. Zheleznikov, S.V. Gavrilov

Institute for design problems in microelectronics of RAS, Zelenograd, Moscow,

zapletina_m@ippm.ru, zheleznikov_d@ippm.ru, s.g@ippm.ru

***Abstract* — The paper considers the hierarchical two-level routing method for the island style reconfigurable systems-on-chip. The proposed approach can be successfully used for island style field programmable gate arrays and systems-on-chip also. The modified PathFinder algorithm is used for both global and detailed (switchbox) routing. The special rebalancing technique is proposed to fasten the routing algorithm and to reduce the resulting interconnect paths. Its impact was tested and analyzed. The particular attention was is paid to the rules for switchbox route graphs generation as a part of a global mixed route graph model. The universal parameterized functional Tcl description for switchboxes was developed. The switchboxes of two flexibility types were considered. The computational experiments based on ISCAS-89 and LGsynth-89 benchmarks were carried out on a PC with Intel Core i7-7700 CPU and 3.60 GHz clock speed. The routing time estimation for the two-level approach showed a significant reduction of the basic mixed route graph: 5.6 times for vertices quantity. The best routing time reduction is 5.59 times and the worst is 2.52 times compared to flat routing procedure.**

***Keywords* — reconfigurable system-on-chip, RSoC, island style architecture, routing, layout synthesis, hierarchical routing, mixed route graph, switchbox routing, detailed routing.**

REFERENCES

[1] Ivanova G.A., Ryzhova D.I., Gavrilov S.V., Vasilyev N.O., Stempkovskii A.L. Methods and Algorithms for the Logical-Topological Design of Microelectronic Circuits at the Valve and Inter-Valve Levels for Promising Technologies with a Vertical Transistor Gate // Russian Microelectronics, 2019. Vol. 48. No. 3. PP. 167–175.

[2] McMurchie, L. and Ebeling, C., PathFinder: a negotiation-based performance-driven router for FPGAs // Proceedings of the 3rd International ACM Symposium on FPGAs, Napa Valley, CA, 1995. PP. 111–117.

[3] Gavrilov S.V., Zheleznikov D.A., Zapletina M.A. et al. Layout Synthesis Design Flow for Special-Purpose Reconfigurable Systems-on-a-Chip // Russian Microelectronics, 2019. Vol. 48, Is.3. PP. 176-186.

[4] Nam G.-J., Sakallah K.A., Rutenbar R.A. A new FPGA detailed routing approach via search-based Boolean satisfiability // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, July 2002. Vol. 21, Is.6. PP. 674 – 684.

[5] Gavrilov S. V., Zheleznikov D. A., Khvatov V. M. Solving the Problems of Routing Interconnects with a Resynthesis for Reconfigurable Systems on a Chip // Russian Microelectronics, 2018, Vol. 47. No. 7. pp. 516–521.

[6] Zheleznikov D.A., Zapletina M.A., Khvatov V.M. Reshenie zadachi trassirovki mezhsoedinenii dlia rekonfiguriruemyh sistem na kristalle s razlichnymi tipami kommutacionnyh elementov // ELECTRONIC ENGINEERING. Series 3. MICROELECTRONICS, 2018. №4 (172). PP. 31-36.

[7] Wilton S. Architectures and Algorithms for Field-Programmable Gate Arrays with Embedded Memories. PhD thesis, University of Toronto, 1997.

[8] Farooq U., Marrakchi Z., Mehnez H. FPGA architectures: An overview / In book: Tree-based Heterogeneous FPGA Architectures // NY: Springer-Verlag, 2012. XVI. 188 p.

DOI: 10.31114/2078-7707-2020-3-22-27

Use of Formal Methods to Resolve Actual Problems of ASIC Design Verification

A.A. Sokhatski

Cisco Systems Inc., asokhats@cisco.com

***Abstract* — There are some critical problems of SoC Design Verification (DV) related to growing functional complexity including**

- **Time to Market: full enough verification takes too much time;**
- **Verification Quality: costly chips re-spins take place; bugs are escaping detection by traditional verification method.**

The paper describes:

1) **How Formal Verification could help to resolve Time to Market problem by doing "left shift" of design – verification timeline involving designers to use Formal tool to initially clean up design**
2) **How Formal Verification helps to improve verification quality and avoid re-spins by detection of simulation – resistant bugs [1]**
3) **Example of Lookup Table Block, corner case bugs close to simulation – resistant bug concept detected by Formal Verification which will be difficult to catch by simulation; Formal Verification strategy for the block and used Formal techniques**

***Keywords* — SoC, Design Verification, Formal Verification, SystemVerilog, SVA.**

I. Introduction

While simulation keeps being the main method of functional Design Verification of chips[2], it is not able to adequately address challenges related to growing complexity of the chips. Two major challenges are time to market and quality of verification – ability to avoid or reduce number of chip re-spins. The challenges require to use other methods, first of all, emulation and Formal verification.

Traditionally application of Formal methods was started from checking equivalence between RTL and gate-level netlist. Then Formal methods started to be used to prove particular properties represented as assertions (Formal Property Verification [3,4,5]).

Now bunch of Formal tool applications are available. They simplify Formal usage for particular functional aspects, for example, Connectivity Checks, Formal Coverage Analysis for detection of uncoverable code.

In addition to verification of particular aspects, Formal Verification could be used for overall sign-off of design blocks. Formal tools provide support for Formal coverage analysis to ensure Formal verification quality [].

Paper will look how Formal Verification could help to address verification challenges and why it is difficult to do with just simulation. Example will be used based on the author experience.

II. Formal Verification to reduce Time to Market

A. Comparison with simulation

Rough typical sequence of design and verification steps for target block includes:

- Block design by design engineer;
- Development of verification environment by verification engineer:
- Development and running tests and regressions; at that time first bug and majority of bugs are found
- Running more random regressions, collecting coverage and developing more tests

In that flow block needs to be designed, passed to verification engineer, simulation environment developed before first bug is found.

B. How Formal could help

Formal verification helps to reduce total development and verification time by

- doing "left shift": find first bug earlier and complete earlier;
- reducing time in the last phase: no need to run random regression more and more; Formal coverage analysis is still required though.

The following could be done to do "left shift":

- Use Formal method by designers at early stage for initial cleaning of the block from bugs
- Use of Formal Applications which do not require setting environments, e.g. Automatically generated checks / Super lint, X-Propagation checks.

Designer could start from generation and analysis of waveforms with use of Formal tool. It could be done by

defining cover properties and proving them. Formal tool will generate waveform how to reach coverage point.

Formal tools have now special features to assist initial bring up, for example, Formal Navigator which is part of VC Formal. In simple case user could just select signal, value and Formal tool will use it as cover property and will generate waveform for that. It also assists in creation of more complex cover properties.

After exercising design with cover properties designer could put assertions and try to prove them. It makes sense to start from simple assertions for particular cases.

Designer could also apply Formal Apps mentioned above. We had the case when designer found arithmetic overflow case which potentially could be an issue.

C. *What needs to be done in advance in company / project scope*

Note that unreal scenarios could be generated for cover properties and false failures could be detected for assertions. In that case constraints needs to be added, in particular constraints for input interfaces. For industry standard protocols it makes sense to use assertion IP and for standard protocols at company / project scope it makes sense to develop such assertion IP[6]. For input interfaces assertions will be used as constraints (assumptions).

Another group of assertions which could come "for free" for designer are assertions from design reuse modules, for example, FIFOs, credit control modules. At the company / project scope it makes sense to fill up such reuse modules with SVAs for error conditions. Even simple assertions for FIFO / credit overflow could help to detect issues with usage of that components at upper scope.

III. Formal Verification to Avoid Simulation Resistant Bugs

Despite help of Formal tools to reduce time to market is important Formal benefit, the main advantage and goal of Formal method from the beginning is exhaustive proof of design properties.

Especially it is important for designs which could potentially contains so called "simulation - resistant bugs", which could be very difficult to find via simulation.

A. *Why simulation-resistant bugs could escape*

Simulation – resistant bugs could escape because of

- High parallelism of the design, several processing threads crossing inside design;
- Big number of configuration inputs / registers required verification for various combinations; each combination might require separate simulation run
- Big number of input combinations, for example, for packet alignments, sizes, etc.

Two last factors could be mitigated and addressed by running random regressions for a long time. The first one is most critical. The reasons why bugs could escape from simulation for blocks with high parallelism include:

- It is difficult to cover all critical timing between events;
- Sequence of critical events could contain several consecutive events;
- Critical events could be deep inside design, not obvious and not controllable by simulation;

B. *Blocks with potential simulation – resistant bugs*

Signatures of such blocks include

- Several input interfaces affecting same internal state / output;
- Dynamic structures supporting add, delete, update operations
- Bypass logic, cache, arbitration logic

OSKI Technology is collecting list of such blocks in different areas [1] which includes for example:

- For CPU & GPU: Instruction Fetch Queue, Load Store unit, L2 Cache, Coherency manager, Resource Manager;
- For Networking, Ethernet, Wireless: Forwarding Engines, Linked-list controllers, Quality of Service units, Buffer managers, Block aligner, Packet Encoder/Decoder, Bypass cache and forwarding logic.

There are some examples of simulation-resistant bugs in the next section.

Formal method should catch simulation resistant bugs by proving assertions for ANY sequences satisfied constraints. For that certainly set of checks should be sufficient which could be confirmed by Formal coverage analysis.

IV. Example

A. *Design*

Here is example of Lookup Block with conceptual diagram below.

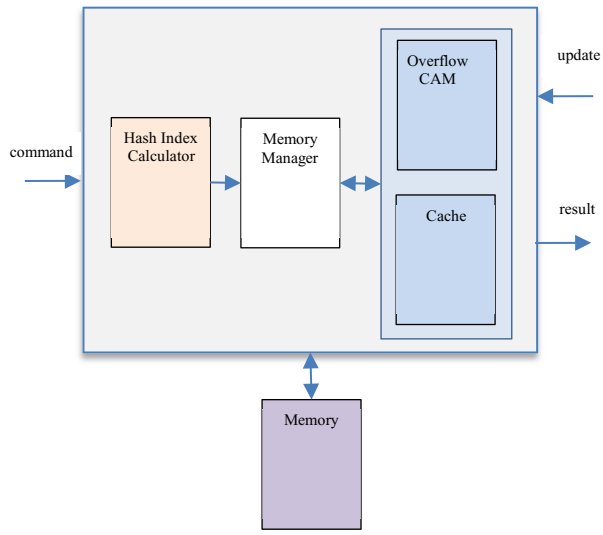


Figure 1. Diagram of Lookup Table Block

Block takes command which could be

- Lookup data for certain key;
- Scan lookup table: read and optionally remove entry

Block sends downstream lookup result and takes update for the lookup table.

Inside block has:

- Hash Index Calculator to select memory index for lookup key;
- Memory Manager controlling access to lookup table in external memory and communication with other blocks;
- Cache based bypass logic to accommodate memory latency as long as lookup commands could go back-to-back and update from previous one should contain lookup result for the next;
- Overflow CAM which contains lookup entries which cannot be placed in the memory, it contains internal bypass logic.

The Lookup Table block was selected for Formal Verification because it has several activities working in parallel: lookup, scan, update, it contains cache / bypass logic and dynamic data.

The most critical sub-module where actually simulation – resistant bugs were found is Overflow CAM block. Here we have dynamic location for key inside CAM: key could be added, removed, updated which is creating extra complexity and potential for simulation – resistant bugs.

B. Simulation resistant bugs

Here are few examples of corner case bugs which are illustrating concept and close to simulation – resistant bugs. Paper describes sequence of events required for bug detection. Bugs description and correspondent sequences are simplified to pass the concept. Actual sequences are more difficult to envision during test planning.

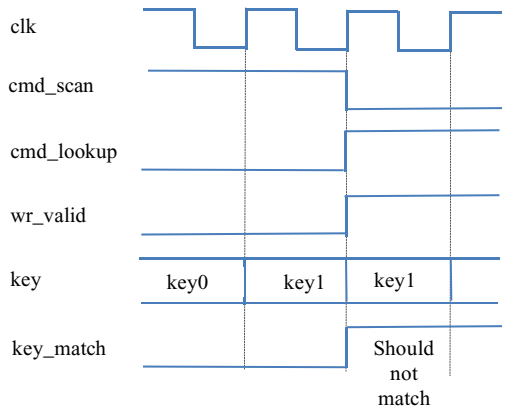


Figure 2. Waveform for 1st bug detection

There is the following sequence of 2 events when 1st bug detected:

- Scan command with certain *key1* presented at *key* signal; note that *key* is don't care signal for scan command (scan command is accompanied with memory / CAM index) but as long as simulation done at upper level it is not primary input and is not driven to 'X' during simulation
- Lookup command with the same key1 as for scan command

Bypass logic has key_match signal to check condition when lookup done for the same key as in previous cycle

```
wire key_match = wr_valid && fn_key_compare
   (key, ket_d, …);
```

However due to bug it missed command check. Should be

```
wire key_match = wr_valid && cmd_lookup_d &&
   fn_key_compare (key, ket_d, …);
```

This bug could be detected if we drive 'X' at *key* port when doing simulation at the scope of the CAM overflow module. Depending on the coding of fn_key_compare it might require activation of X-Prop simulation mode.

However as long as simulation done at upper level without control of the *key* signal it is very difficult to hit case when "occasionally" same *key* set for two commands especially as long as at upper level scan and lookup are in independent threads and timing between scan and lookup commands is not controllable. Note that simulation coverage will not detect missing the issue in that case. Formal method easily detected the bug.

Another example is related to dynamic modification: installation new key and invalidation of entry.

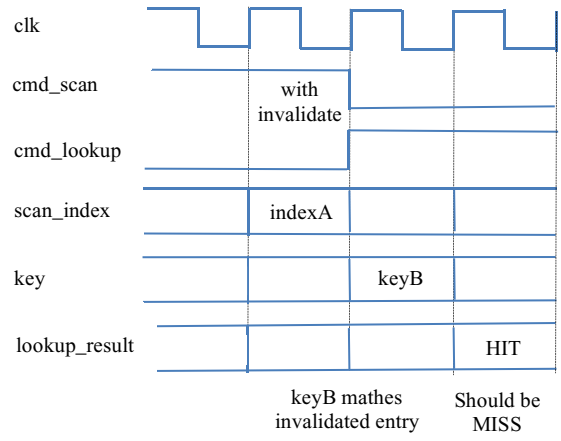


Figure 3. Waveform for 2nd bug detection

Here back-to-back coming commands:

- Scan command which invalidates entry with *indexA*
- Lookup command for *keyB* which matches contents of entry under *indexA*

Due to bug lookup gives HIT result but should give MISS one which requires installation of new entry.

It's difficult to hit such sequence via random simulation testing but it could be hit with dedicated test. However at the upper scope above Lookup Table Block it is much more

difficult to hit such case.

Another example is similar when we have no space available in the CAM but some entry just invalidated in previous cycle and available for installation of new key.

There is also case when bug detection requires sequence of 3 events in the row which is very difficult to hit or even to predict when putting cover properties for internal points.

Sequence here contains

- 2 scan commands: one causes update of the entry and the other does not

- lookup command which hits the entry

Due to the bug bypass logic take info from the wrong scan command.

C. Formal Verification Strategy for Lookup Table Block

Due to complexity it is difficult to achieve Formal prove at the block scope for all properties. Instead considered the following environments:

- Cache bypass logic; it is simple and rather standard environment; it was encoded very fast and found bug (not simulation resistant though);
- Overflow CAM; all corner-case simulation resistant bugs found here;
- Top-level environment which checks memory management using memory abstraction model and checks integration of other parts

Verification strategies for the environments are presented below illustrated with code examples for verification techniques good to know:

- Cache verification using symbolic memory index;
- Floating pulse method to simplify checks and improve performance by tracking only one transaction
- Memory abstraction

D. Formal Verification Cache – Bypass Environment

Basic strategy to verify cache – bypass logic:

- keep track of ANY but only one memory location;
- keep sign of presence data for that location in the cache and last written data
- compare read data with last written data if data is in the cache.

Here is some illustration code:

```
// symbolic variable which takes ANY value but
stable
// during formal prove
wire [INDEX_SZ-1:0] sym_mem_idx;
sym_mem_idx_stable: assert property (
  ##1 sym_mem_idx == $past(sym_mem_idx)
);

// check if selected index detected & keep status
of
// presence in the cache
wire wr_mem_idx_matches_sym = wr_mem_row_vld &&
  (wr_mem_idx == sym_mem_idx);
reg [CACHE_SZ-1:0] wr_mem_idx_sym_shift;
always @(posedge clk)
  wr_mem_idx_sym_shift <=
    {wr_mem_idx_sym_shift[CACHE_SZ-2:0],
     wr_mem_idx_matches_sym};
wire
wr_mem_idx_sym_in_cache=|wr_mem_idx_sym_shift;

// keep last data written for symbolic index
reg [DATA_SZ-1:0] wr_mem_data_last_sym;
always @(posedge clk)
  if (wr_mem_idx_matches_sym)
    wr_mem_data_last_sym <= wr_mem_data;

// check data from cache
rd_data_from_cache: assert property (
  @(poseged clk) disable iff (!rstn)
  rd_mem_idx_matches_sym &&
wr_mem_idx_sym_in_cache
    |-> rd_data == wr_mem_data_last_sym
```

E. Formal Verification TCAM Based Lookup Environment

Used verification strategy:

- check either lookup or bypass command at a time; use symbolic variable to select command type;
- for lookup command keep track of any but only one symbolic lookup key;
- for scan command keep track of any but only one symbolic CAM location;
- keep sign of presence data for symbolic key / location in the CAM and last written data;
- keep valid bit for all locations in the CAM;
- compare read data with last written data if data is in the CAM;
- use reset abstraction for CAM contents:

Reset CAM memory abstraction allow to start from any CAM state (contents) instead of starting from “empty” CAM state. That is why Formal tool does not need to go through sequence of transactions to reach interesting states including CAM almost full / full states. It will dramatically reduce proof time.

Reset abstraction could be done manually by cutting connection of reset to CAM entries but assigning entries to unconnected wires, see reset abstraction example here [3]. On the other hand, now days Formal tools could help with memory reset abstraction by using dedicated commands.

F. Formal Verification Top-level lookup environment with Memory Abstraction Model

Used verification strategy:

- It is verified that correct data from memory passed to the output for lookup or scan command and memory properly updated from update input on the right (see Figure 1.)
- Any arbitrary but only one transaction is selected using floating pulse method (see below) and tracked;
- Symbolic key for lookup command / symbolic index for

scan command assumed to be on the input interface when command selected; they are used to sync with abstraction models (see below);

- Hash index calculator contains some arithmetic calculation logic which is not friendly for Formal Property verification; it is not verified in this environment but replaced with abstraction model;
- Hash index calculator abstraction model returns symbolic index for symbolic key and random data for any other keys;
- Memory is represented by abstraction model which supports writing, storing and reading data only for one entry at symbolic address but returns random data for any other accesses; this way access with wrong address will be easily detected;
- Overflow CAM could be replaces with similar abstraction model as well but for the sake of time and because it is located at the boundary of the block, passing right data is checked at the Overflow CAM ports and Overflow CAM excluded (black-boxed) from DUT;
- Cache module is left inside DUT RTL; it was found that it does not significantly affect performance, no need in abstraction

Here is code illustrating Floating pulse method to select any but only one transaction

```
wire fl_pulse;
reg fl_pulse_done;
always @ (posedge clk) begin
   if(!rstn) begin
      fl_pulse_done <= 1'b0;
   end else if(fl_pulse) begin
      fl_pulse_done <= 1'b1;
   end
end
no_fl_pulse_when_done_model: assume property(
   fl_pulse_done |-> (!fl_pulse)
);
```

Here is simplified code of Memory Abstraction model. Here we assume unknown output if read happen when write is in progress or vice versa.

```
module fv_mem_one_entry_abs#(
   parameter WIDTH = 1,
   parameter ADDR_SZ = 1,
   parameter RD_DELAY = 1,
   parameter WR_DELAY = 1
)(
   // DUT inputs
   input clk,
   input rst,
   input rd_en,
   input [ADDR_SZ-1:0] rd_addr,
   input wr_en,
   input [ADDR_SZ-1:0] wr_addr,
   input [WIDTH-1:0] wr_data,
   // DUT output
   input [WIDTH-1:0] rd_data
);

default clocking @(posedge clk); endclocking
default disable iff rst;

// symbolic address - only one address is tracked
wire [ADDR_SZ-1:0] sym_addr;
// symbolic initial data contents
wire [WIDTH-1:0] sym_init_mem_data;
// keep only one data for symbolic address
reg [WIDTH-1:0] mem_data;
// read pipe for matched valid
reg [RD_DELAY-1:0] rd_pipe_valid_sym;

wire rd_en_sym; // when address matches symbolic
wire rd_data_sym;
wire [WIDTH-1:0] rand_rd_data; // when no match
wire [WIDTH-1:0] fv_rd_data; // calculated output
reg [$clog2(WR_DELAY):0] wr_in_progress_cnt;
wire wr_en_sym;
wire wr_in_progress;

assign wr_en_sym = wr_en && (wr_addr ==
sym_addr);
always @(posedge clk) begin
   if (rst) begin
      mem_data <= sym_init_mem_data;
   end else if (wr_en_sym) begin
      mem_data <= wr_data;
      wr_in_progress_cnt <= WR_DELAY;
   end else if (wr_in_progress_cnt != 0) begin
      wr_in_progress_cnt--;
   end
end
assign wr_in_progress = wr_en_sym ||
   (wr_in_progress_cnt > 0);

assign rd_en_sym = rd_en && (rd_addr ==
sym_addr);
always @(posedge clk) begin
   if (rst) begin
      rd_pipe_valid_sym <= 0;
   end else if (wr_en_sym) begin
      rd_pipe_valid_sym <= 0};
   end else if (rd_en_sym && !(wr_in_progress))
   begin
      rd_pipe_valid_sym <=
        {rd_pipe_valid_sym[RD_DELAY-2:0], 1'b1};
   end else begin
      rd_pipe_valid_sym <=
        {rd_pipe_valid_sym[RD_DELAY-2:0], 1'b0};
   end
end

assign rd_data_is_sym =
   rd_pipe_valid_sym[RD_DELAY-1];
assign fv_rd_data = rd_data_is_sym? mem_data :
   rand_rd_data;

// Assign output through constraint
output_drive__rd_data: assume property (
   rd_data == fv_rd_data
);

endmodule
```

Memory abstraction model is instantiated inside testbench connecting to correspondent ports. Symbolic variables need to be synced with symbolic variables defined inside Formal testbench, for example:

```
// memory instantiation
fv_mem_one_entry_abs #(…)
) lkup_mem
(
   .clk(clk),
   .rst(!rstn),
    …
);
// symbolic variable for memory address
wire [ADDR_SZ-1:0] sym_lkup_mem_addr;
sym_lkup_mem_addr_stable: assume property (
  ##1 sym_lkup_mem_addr ==
$past(sym_lkup_mem_addr)
);
// should be synced with hash index calculator
and
// memory abstraction model, e.g.
lkup_mem_sync_model: assume property (
   (lkup_mem.sym_addr == sym_lkup_mem_addr)
);
```

V. Conclusions

Formal method could help to solve two critical functional Design Verification issues:

- Reduce Time to Market when designers start to apply Formal techniques earlier in the project;
- Improve verification quality, try to avoid chip re-spin by detecting simulation - resistant bugs,

It is illustrated in example which shows some bugs close to simulation – resistant concept, verification strategy and Formal techniques.

Acknowledgements

Author thanks OSKI Technology team who delivered training on Formal Verification few years ago and continue to guide Formal at conference and seminar events, introduced simulation – resistant bug concept and left shift idea with Formal help. Author thanks his managers and colleagues from Cisco Systems for support.

References

[1] Oski Technology. High-Risk Blocks Formal Sign-Off Available at http://www.oskitechnology.com (accessed 01.07.2020)

[2] Sokhatski .A. Practical Aspects of Design Verification of Complex chips // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2016. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2016. Part2. P. 16-21.

[3] Sokhatski .A. Practical Aspects of Formal Verification of Networking chips // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2018. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2018. Part2. P. 16-22.

[4] Seligman E., Schubert T., Kumar A.K. Formal Verification: An Essential Toolkit for Modern VLSI Design. Waltham, MA, USA: Elsevier, 2015, 352P.

[5] Murphy B., Pandey M., Safarpour S., Finding Your Way Through Formal Verification. Danville, CA, USA: SemiWiki LLC, 2018, 133P

[6] Tatarnikov Y., Labib K. Next step of Formal Verification utilization Available at https://www.synopsys.com/community/snug/snug-silicon-valley/location-proceedings-2018.html (accessed 03.05.2018)

УДК 519.714

Использование формальных методов для решения актуальных проблем верификации проектов СБИС

А.А. Сохацкий

Сиско Системс Инк., asokhats@cisco.com

***Аннотация* — Моделирование остается основным методом функциональной проверки проектов СБИС и систем на кристалле. Однако этот метод не справляется с проблемами, связанными с растущей функциональной сложностью систем и их блоков. К числу основных проблем относятся:**

- **Жесткие требования к срокам разработки, проверки и выпуска, нарушение этих сроков**
- **Неполнота функциональной проверки проектов; необнаруженные ошибки проектов приводят к необходимости перепроектирования и повторного изготовления**

Применение метода и инструментов формальной верификации может помочь в решении этих проблем. В статье рассматриваются следующие вопросы:

1) Как применение метода формальной верификации может помочь в решении проблемы сокращения сроков разработки и проверки проектов путем использования инструментов формальной верификации разработчиками блоков для начальной проверки с использованием специальных отладочных режимов формальных инструментов и с применением формальных приложений автоматически создающих утверждения (assertions);

2) Как применение метода формальной верификации позволяет обнаружить ошибки проекта, которые сложно обнаружить путем моделирования, так называемые "simulation resistant bugs";

3) Рассматривается пример блока поиска и для него примеры ошибок проекта, которые сложно обнаружить путем моделирования; также рассматривается стратегия формальной проверки и используемые подходы, включая использование символических переменных, символического выбора элемента последовательности, абстрактной модели памяти; приводится код на языке SystemVerilog.

***Ключевые слова* — СБИС, система на кристалле, формальная верификация, моделирование, RTL, SystemVerilog, SVA.**

Литература

[1] Oski Technology. High-Risk Blocks Formal Sign-Off Available at http://www.oskitechnology.com (accessed 01.07.2020)

[2] Сохацкий А.А. Практические аспекты верификации проектов СБИС // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. №2. С. 16-23.

[3] Сохацкий А.А. Практические аспекты формальной верификации проектов сетевых СБИС // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2018. №2. С. 16-22.

[4] Seligman E., Schubert T., Kumar A.K. Formal Verification: An Essential Toolkit for Modern VLSI Design. Waltham, MA, USA: Elsevier, 2015, 352P.

[5] Murphy B., Pandey M., Safarpour S., Finding Your Way Through Formal Verification. Danville, CA, USA: SemiWiki LLC, 2018, 133P

[6] Tatarnikov Y., Labib K. Next step of Formal Verification utilization Available at https://www.synopsys.com/community/snug/snug-silicon-valley/location-proceedings-2018.html (accessed 03.05.2018).

УДК 621.3.049.774; 004.94 DOI: 10.31114/2078-7707-2020-3-28-34

Адаптивный алгоритм анализа схем с колебательными режимами

М.М. Гурарий, М.М. Жаров, С.Г. Русаков, С.Л. Ульянов

Институт проблем проектирования в микроэлектронике РАН, г. Москва, ippm@ippm.ru

***Аннотация* — В работе предлагается адаптивный алгоритм продолжения огибающих для анализа переходного процесса и установившегося периодического режима аналоговых интегральных схем. Для интегрирования уравнений огибающей используются методы с переменным шагом и порядком. В алгоритме выполняется переход на анализ переходного процесса при условии значительного сокращения шага по огибающей. Приведены примеры анализа переходного процесса и периодического установившегося режима.**

***Ключевые слова* — схемотехническое моделирование, переходной процесс, установившийся периодический режим, методы интегрирования, метод продолжения огибающей.**

I. Введение

При проектировании сложных схем микро и наноэлектроники для решения задач схемотехнического анализа и верификации проекта широко применяются системы автоматизации схемотехнического проектирования (схемные симуляторы), в которых выполняется математическое моделирование схем на транзисторном уровне.

Основными видами анализа схем в симуляторах являются расчеты переходного процесса и периодического установившегося режима. Расчет периодического установившегося режима является важнейшим видом анализа схем радиотехнического назначения, по результатам которого определяются основные показатели таких схем.

Для выполнения анализа переходного процесса применяются методы, основанные на численном решении систем обыкновенных дифференциальных уравнений (ОДУ) или дифференциально-алгебраических уравнений (ДАУ), которые моделируют поведение схемы. Эти методы показывают свою эффективность для многих типов схем. Однако вычислительные затраты резко возрастают при анализе схем, в которых сигналы имеют вид высокочастотных колебаний с медленно меняющимися параметрами (амплитуда, частота, фаза, спектральный состав). Такие сигналы имеют место при установлении стационарного периодического режима, при преобразовании модулированных сигналов в радиотехнических схемах, при учете электротепловых эффектов, при анализе схем преобразователей электрической энергии и т.п.

Для решения задачи определения периодического установившегося режима предложен ряд методов и разработаны алгоритмы расчета как в частотной, так и во временной областях [1]. Анализ во временной области основан на методе пристрелки, в котором решение исходной системы дифференциальных уравнений сводится к решению системы нелинейных алгебраических уравнений. Так как для решения системы нелинейных уравнений используется, как правило, метод Ньютона, то для сходимости вычислительного процесса требуется хорошее начальное приближение. Одним из способов получения такого начального приближения является предварительный анализ переходного процесса на интервале времени, достаточном для достижения области сходимости вычислительного процесса. В случае схем с медленной динамикой этот интервал может быть достаточно большим, так что вычислительные затраты приближаются к высоким затратам переходного процесса. Поэтому для анализа схем с высокочастотными сигналами с медленно меняющимися параметрами предложены методы огибающих. Такие методы позволяют значительно ускорить анализ переходного процесса, а также могут применяться для расчета установившегося периодического режима, так как проблема задания начального приближения отсутствует.

Первоначально метод огибающих разработан для решения жестких сильно осциллирующих систем дифференциальных уравнений [2]. Идея метода основана на получении значений функции решения в моменты времени, кратные периоду. Тогда через полученные точки можно провести плавную кривую (огибающую), медленно меняющуюся со временем, что дает возможность ее продолжения с большим шагом. Так как значения огибающей совпадают с решением исходной системы уравнений в моменты кратные периоду, то это решение может быть найдено из значения огибающей и интегрирования исходной системы уравнений на одном периоде. Основным достоинством метода является значительное сокращение количества периодов моделирования за счет большого шага по огибающей. Вычислительная эффективность метода достигается при условии достаточно медленного изменения огибающей во времени за счет пропуска нескольких периодов высокой частоты и решения граничной задачи только для небольшого количества интервалов.

Для решения задач схемотехнического моделирования нелинейных радиотехнических схем предложены методы продолжения огибающих [3, 4, 5], основанные на расчете огибающей квазипериодического сигнала. По сравнению с традиционными методами анализа переходного процесса эти методы обеспечивают ускорение моделирования схем импульсных источников питания, фильтров на переключаемых конденсаторах. В алгоритме продолжения огибающих [5], внедренном в коммерческий схемный симулятор Spectre, для получения следующего значения огибающей используется полиномиальная интерполяция по трем временным точкам. Поэтому погрешность такой аппроксимации определяет величину шага. В работах [6, 7] была предложена неявная схема при решении уравнений огибающей, что существенно повысило устойчивость метода. В работе [8] предложен метод огибающих для схем автогенераторов, в котором применяются неявные методы Рунге-Кутты. В статьях [9, 10] метод продолжения огибающих основан на использовании методов интегрирования Обрешкова.

Следует отметить, что в приведенных в работах не рассмотрен вопрос алгоритмического переключения на анализ переходного процесса при сокращении шага по огибающей. В данной работе приводится адаптивный алгоритм продолжения огибающей, в котором предусмотрен переход на анализ переходного процесса. Для интегрирования уравнений огибающей используется алгоритм с переменным шагом и порядком методов интегрирования.

II. Метод продолжения огибающих

A. Основные уравнения метода

Модель схемы во временной области может быть задана в зарядовой форме системой дифференциальных уравнений [1]

$$\dot{q}(v(t)) + i(v(t)) + u(t) = 0 \cdot \qquad (1)$$

Здесь *v(t)*, *i(v(t))*, *q(v(t))* – вектор-функции напряжений в узлах схемы, узловых токов и зарядов, *u* – вектор входных токов.

Колебательный характер сигналов с медленно меняющимися параметрами может быть обусловлен собственной инерционностью схемы при воздействии на схему периодического сигнала *u(t)* с периодом *T*, либо внешним возбуждением в виде медленно меняющегося периодического сигнала.

Пусть *v(t)* – решение системы (1) и *v(mT)* – значения этого решения в моменты времени *t=mT*, где *m* – целое. Введем огибающую функцию *y(t)* такую, что *y(mT)= v(mT)*. В методе продолжения огибающих предполагается, что огибающая *y(t)* удовлетворяет некоторому дифференциальному уравнению, решение которого может быть получено с использованием численных методов [2]. Пусть y_m, y_{m+1} – значения огибающей в моменты времени *t=mT*, *t=(m+1)T*, т.е. $y_m = y(mT)$, $y_{m+1} = y((m+1)T)$.

Эти значения могут быть получены с помощью решения исходной системы уравнений (1) на интервале одного периода [*mT*, (*m+1*)*T*].

Тогда значение огибающей $y_{m+n} = y((m+n)T)$ в момент времени *t=(m+n)T* может быть получено с использованием известных методов интегрирования. Обозначая шаг *H=nT,* применение обратного метода Эйлера дает [6,7]

$$y_{m+n} = y_m + \frac{H}{T}(y_{m+n+1} - y_{m+n}) \cdot \qquad (2)$$

Для метода трапеций имеем [6,7]

$$y_{m+n} = y_m + \frac{H}{2T}(y_{m+n+1} - y_{m+n} + y_{m+1} - y_m) \cdot \qquad (3)$$

Формулы (2), (3) – неявные, так как содержат неизвестные величины в правой части. В работе [7] показано, что эти методы сохраняют свойство A-устойчивости исходных обратного метода Эйлера и метода трапеций. Значения y_{m+n+1} находятся с помощью интегрирования исходной системы уравнений (1) на интервале [(*m+n*)*T*, (*m+n+1*)*T*] с начальными условиями y_{m+n}. Используя эволюционную функцию (функцию переходов), имеем $y_{m+n+1} = \varphi(y_{m+n})$. Подставляя $\varphi(y_{m+n})$ в (2), (3), получим нелинейные алгебраические уравнения относительно неизвестного значения y_{m+n} [7]

$$r^E(y_{m+n}) = y_{m+n} - \varphi(y_{m+n}) + \frac{T}{H}(y_{m+n} - y_m) = 0 \qquad (4)$$

$$r^T(y_{m+n}) = y_{m+n} - \varphi(y_{m+n}) + y_m - \varphi(y_m) + \frac{2T}{H}(y_{m+n} - y_m) = 0 \cdot \qquad (5)$$

Уравнения (4), (5) решаются методом Ньютона

$$J\Delta y_{m+n}^j = -r(y_{m+n}^j), \qquad (6)$$

где Δy_{m+n}^j - ньютоновская поправка, *j* – номер итерации. Матрица якобиана имеет вид

$$J = (1 + \frac{T}{H})I - \frac{d\varphi}{dy_{m+n}}, \qquad (7)$$

$$J = (1 + \frac{2T}{H})I - \frac{d\varphi}{dy_{m+n}}, \qquad (8)$$

для уравнений (4), (5), соответственно.

B. Вычисление матрицы чувствительностей

Вычисление матрицы чувствительностей $\frac{d\varphi}{dy}$ может быть эффективно выполнено в процессе интегрирования основной системы ОДУ (1) на

интервале $[(m+n)T, (m+n+1)T]$ аналогично тому, как это делается в методе пристрелки [1]. При этом требуется небольшое количество дополнительных операций по решению линейных систем уравнений, так как необходимая для вычислений матрица определяется и декомпозируется в процессе интегрирования основной системы ОДУ (1) с начальными условиями $v_0 = y_{m+n}$. В случае обратного метода Эйлера система уравнений для расчета матрицы имеет вид [1]

$$J_{s+1}\frac{dv_{s+1}}{dv_0} = \frac{C(v_s)}{h_{s+1}}\frac{dv_s}{dv_0}, \qquad (9)$$

Здесь $J_{s+1} = [G(v_{s+1}) + \frac{C(v_{s+1})}{h_{s+1}}]$, $h_{s+1} = t_{s+1} - t_s$ - шаг по времени, *s+1* – номер шага, $G(v_{s+1})$, $C(v_{s+1})$ - матрицы проводимостей и емкостей на шаге. Матрица J_{s+1} вычисляется и декомпозируется в процессе интегрирования основной системы ОДУ (1), поэтому вычисления по формуле (9) сводятся к решению системы уравнений с несколькими правыми частями. По окончанию интегрирования $\frac{dv}{dv_0}$ дает значения искомой матрицы $\frac{d\varphi}{dy}$.

C. Алгоритм продолжения огибающей

Приведенный в работе [7] алгоритм продолжения огибающих построен по принципу прогноза-коррекции. Формулы прогноза для обратного метода Эйлера и метода трапеций используют значения огибающей в моменты времени *mT*, *(m+1)T* и матрицу чувствительности в момент *mT*. При этом для получения прогнозируемых значений огибающей необходимо решить систему линейных уравнений.

Алгоритм имеет следующие шаги [7].

1) выполнить анализ переходного процесса на интервале $[mT, (m+1)T]$ с начальным условием y_m.

2) в процессе анализа вычислить $\varphi(y_m)$ и матрицу чувствительности $\frac{d\varphi}{dy_m}$.

3) получить прогнозируемые значения огибающей y^p_{m+n} с помощью решения линейной системы.

4) выполнить анализ переходного процесса на интервале $[(m+n)T, (m+n+1)T]$ с начальным условием y^p_{m+n}.

5) в процессе анализа вычислить $\varphi(y_{m+n})$ и матрицу чувствительности $\frac{d\varphi}{dy_{m+n}}$.

6) выполнить коррекцию значения огибающей с помощью решения уравнений (6)

7) закончить если $(m+n)T >$ tstop, иначе перейти на шаг 3.

Авторы работы [7] предлагают при коррекции значения огибающей на шаге 6 ограничиться одной ньютоновской итерацией.

Для управления шагом по огибающей предлагается использовать оценку локальной погрешности. Полученные формулы для такой оценки используют значения огибающей в моменты *mT*, *(m+1)T*, *(m+n)T* и позволяют вычислить размер шага, который обеспечивает неравенство

$$L_{m+n} < |\varepsilon_{rel} y_{m+n} + \varepsilon_{abs}|, \qquad (10)$$

Здесь L_{m+n} - оценка локальной погрешности шага, ε_{rel}, ε_{abs} - относительная и абсолютная допустимая погрешность.

Если текущее значение шага не удовлетворяет условию (10), то такой шаг отклоняется, вычисляется новое значение шага и вычисления повторяются.

Сокращение шага может привести к ситуации со стремлением величины шага к нулю. В этом случае желательным является переключение на процесс стандартного анализа переходного процесса. Приведенные выше формулы известных алгоритмов не обеспечивают такую возможность.

III. Адаптивный алгоритм

A. Описание адаптивного алгоритма

Здесь представлен адаптивный алгоритм, который позволяет проводить интегрирование огибающей, оценку шага и переход на анализ переходного процесса при условии значительного сокращения шага по огибающей.

Адаптивный алгоритм продолжения огибающих построен также по принципу прогноза-коррекции и использует методы с переменным шагом и порядком.

Адаптивный алгоритм.

1) Выполнить анализ переходного процесса на интервале [0, *T*]. Положить *m*=0, *n*=0, *H*=*T*.

2) Положить *m* = *m* + *n*. Если *mT* > *tstop,* закончить.

3) Положить *n* = *H/T*.

4) Если *H/T*<2 положить *H* = *T*, *n* = 1, выполнить анализ переходного процесса на интервале $[(m+n)T, (m+n+1)T]$ с начальным условием y_{m+1}. Вычислить новый шаг *H*. Перейти на шаг 2.

5) Вычислить прогнозируемые значения огибающей y^p_{m+n} с текущим шагом *H* и текущим порядком метода.

6) Выполнить анализ переходного процесса на интервале $[(m+n)T, (m+n+1)T]$ с начальным условием y^p_{m+n}.

7) В процессе анализа вычислить $\varphi(y_{m+n})$ и матрицу чувствительности $\frac{d\varphi}{dy_{m+n}}$.

8) Выполнить коррекцию значения огибающей с помощью решения уравнений (6)

9) Выполнить оценку локальной погрешности L_{m+n}.

10) Если локальная погрешность удовлетворяет условию (10), принять шаг. Вычислить размер нового шага *H*, порядок метода. Перейти на шаг 2.

11) Если локальная погрешность не удовлетворяет условию (10), отклонить шаг. Вычислить новое значение текущего шага *H*. Перейти на шаг 3.

Таким образом алгоритм позволяет автоматически переходить на анализ переходного процесса при сокращении шага по огибающей меньше двух периодов. Работу алгоритма иллюстрируют табл. 1 и рис. 1. На рис. 1 приведены графики переходного процесса, полученные с помощью предложенного алгоритма (EF) и анализа переходного процесса (TRAN) в схеме с внешним возбуждением в виде медленно меняющегося периодического сигнала с периодом *T*=1мкс. Интервал моделирования определяется *tstop*=100мкс, поэтому анализ переходного процесса требует моделирования 100 периодов. В алгоритме EF выполняется моделирование только 8 периодов. Периоды моделирования и шаги по огибающей приведены в табл. 1.

B. Формулы прогноза

Для вычисления прогнозируемых значений огибающей используются известные формулы [11], модифицированные с учетом полученных значений на границах периода. Для метода Эйлера

$$y^p_{m+n} = y_m + H\frac{\varphi(y_m) - y_m}{T}. \quad (11)$$

Для интегрирования методом трапеций

$$y^p_{m+n} = y_m + H\left(a\frac{\varphi(y_m) - y_m}{T} + b\frac{\varphi(y_{m-1}) - y_{m-1}}{T}\right) \quad (12)$$

где $a=1-b$, $b=-H/(2H_1)$ и H_1 - величина шага на предыдущей итерации алгоритма.

C. Оценка размера шага

Локальная погрешность определяется по разности между значениями переменных, полученных в результате прогноза и коррекции

$$L_{m+n} = \left|y_{m+n} - y^p_{m+n}\right|. \quad (13)$$

Для всех переменных схемы вычисляются отношения

$$\frac{L_{m+n}}{\varepsilon_{rel}\max(\left|y_{m+n}\right|, \left|y^p_{m+n}\right|) + \varepsilon_{abs}}, \quad (14)$$

из которых выбирается максимальное r_{max}

Коэффициент изменения (увеличения или уменьшения) шага рассчитывается по формуле

$$fact = r_{\max}^{-\frac{1}{k+1}}, \quad (15)$$

где *k* – порядок метода.

Коэффициент изменения шага на каждой итерации ограничивается снизу единицей и сверху параметром алгоритма, который регулирует увеличение шага от итерации к итерации.

На первом шаге алгоритма используется метод интегрирования первого порядка. На следующих шагах возможно использование метода первого или второго порядка. Для выбора порядка метода интегрирования вычисляется коэффициент изменения шага для первого и второго порядка. Порядок метода выбирается из условия максимального коэффициента.

Таблица 1

Периоды моделирования и шаг в алгоритме EF

№ шага	m	H/T	m+n
0	0	1	1
1	1	2	3
2	3	4	7
3	7	8	15
4	15	16	31
5	31	32	63
6	63	36	99

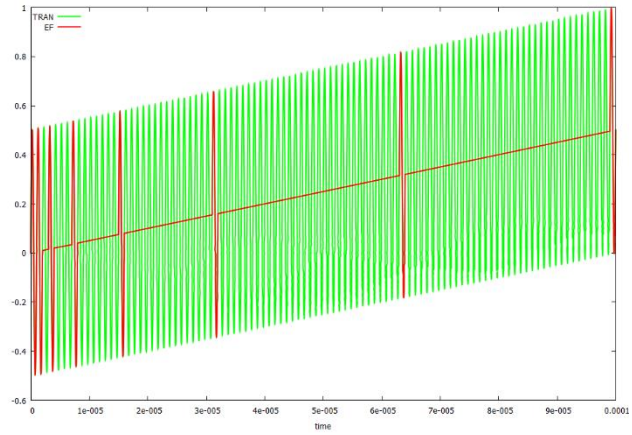


Рис. 1. Графики переходного процесса, полученные с помощью адаптивного алгоритма (EF) и анализа переходного процесса (TRAN). В алгоритме EF выполняется моделирование 8 периодов

IV. Численный эксперимент

Адаптивный алгоритм продолжения огибающих для анализа переходного процесса и периодического установившегося режима реализован в

экспериментальной программе схемотехнического моделирования. Кроме этого, в программе реализованы анализ переходных процессов (TRAN) и анализ периодического установившегося режима, использующие методы Эйлера и трапеций.

Тестовая RL схема [12]. Несмотря на простоту, моделирование этой схемы сталкивается с трудностями. В частности, как отмечено в [12], в программе Spectre RF алгоритм продолжения огибающей программы приводит к значительной погрешности при вычислении отклика на синусоидальное воздействие с частотой 1кГц. При этом, для реализации в этом алгоритме шагов по огибающей, допуск на относительную погрешность должен быть меньше 0.01.

На рис. 2 показан переходной процесс в схеме, полученный с помощью предложенного алгоритма (EF) и анализа переходного процесса (TRAN). В алгоритме EF допуск на относительную погрешность установлен 0.1. При меньших значениях допуска наблюдается увеличение числа шагов и аналогичные результаты. В табл. 2 приведена зависимость числа шагов алгоритма от допуска на относительную погрешность.

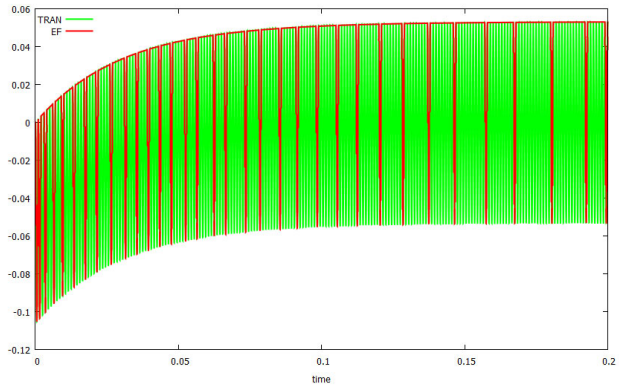


Рис. 2. Графики переходного процесса в RL схеме, полученные с помощью алгоритма EF и анализа переходного процесса (TRAN). Число периодов моделирования – 200 (TRAN), 33 (EF)

Таблица 2

Зависимость числа шагов алгоритма от допуска

допуск	#итераций	#шаги по огибающей
0.1	33	32
0.01	44	43
0.001	67	61

Схема умножителя [7]. Схема приведена на рис. 3.

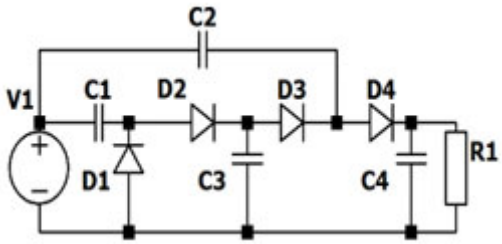


Рис. 3. Схема умножителя (C1 = C2 = C3 = 1 мкФ, C4 = 4.7 мкФ, R1 = 470 кОм)

На вход схемы подан синусоидальный сигнал с частотой 50 Гц и амплитудой 10 В.

Для этой схемы рассчитывался переходной процесс на интервале 10000 периодов для определения периодического установившегося режима. Расчет выполнялся с помощью предложенного алгоритма (EF) и анализа переходного процесса (TRAN). Результаты расчета сравнивались с результатами анализа периодического установившегося режима (PSS).

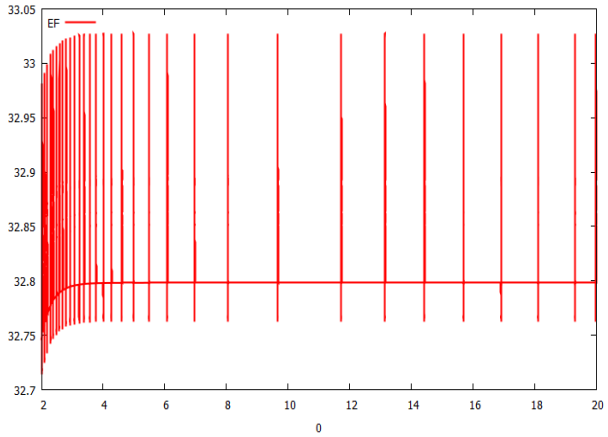


Рис. 4. График переходного процесса в схеме умножителя (алгоритм EF). Число периодов моделирования – 84

На рис. 4 приведен график переходного процесса в выходном узле схемы, полученный с помощью алгоритма EF. При этом потребовалось: число итераций алгоритма - 84, общее число шагов по огибающей – 78. Из них принято – 58. Таким образом, отношение числа рассчитанных периодов к их общему числу 84/10000.

На рис. 5 показан фрагмент графика переходного процесса, на рис. 6 – выходной сигнал в установившемся режиме. Здесь получено хорошее совпадение результатов расчетов с помощью алгоритмов EF и PSS.

Погрешность расчета зависит от допуска на относительную погрешность в алгоритме EF. В табл. 3 приведены значения погрешности, полученные при моделировании с различными значениями допуска.

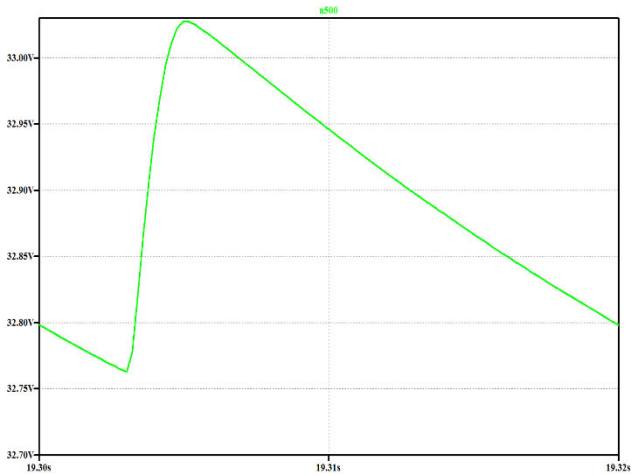


Рис. 5. Фрагмент графика переходного процесса в схеме умножителя. Выходной сигнал схемы

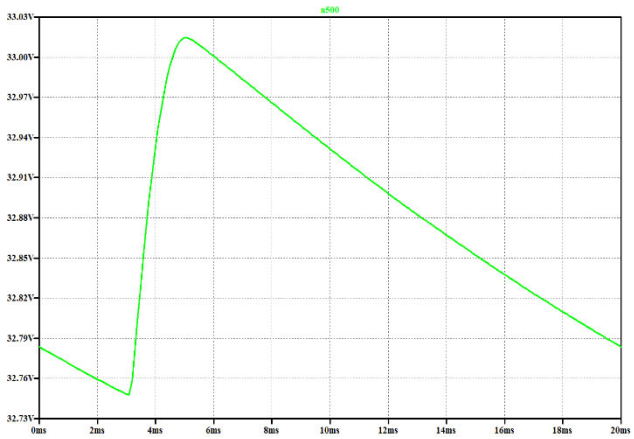


Рис. 6. Выходной сигнал в установившемся режиме (PSS)

Таблица 3

Зависимость погрешности моделирования от допуска

допуск	#итераций	#шагов по огибающей	Погрешность, %
0.1	25	23	2.4
0.01	60	54	0.6
0.001	84	58	0.05

V. Заключение

В работе предложен адаптивный алгоритм для моделирования аналоговых интегральных схем с колебательными режимами с медленно меняющимися параметрами. Адаптивный алгоритм позволяет эффективно выполнять анализ переходного процесса и установившегося периодического режима.

Поддержка

Работа выполнена при поддержке гранта РФФИ № № 19-07-00509.

Литература

[1] Актуальные проблемы моделирования в системах автоматизации схемотехнического проектирования/ под ред. А.Л. Стемпковского – М.: Наука, 2003.-430 С.

[2] Petzold L. R. An efficient numerical method for highly oscillatory ordinary differential equations // SIAM J. Numer. anal, 1981, vol. 18, No. 3, pp. 455-479.

[3] Петренко А.И., Власов А.И., Тимченко А.П. Табличные методы моделирования электронных схем на ЭЦВМ, Киев.: Вища школа, 1977. - 192 с.

[4] Норенков И. П., Евстифеев Ю. А., Маничев В. Б. Метод ускоренного анализа многопериодных электронных схем // Радиотехника. 1987. № 2. С. 71–74.

[5] Kundert K., White J., Sangiovanni-Vincentelli A., An envelope-following method for the efficient transient simulation of switching power and filter circuits // in Proc. Int. Conf. on CAD, 1988, pp. 446–449.

[6] Brambilla A., Maffezzoni P., Envelope following method for the transient analysis of electrical circuits // IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, 2000, vol. 47, No. 7, pp. 999–1008.

[7] Brambilla A., Maffezzoni P., Envelope-following method to compute steady-state solutions of electrical circuits // IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, 2003, vol. 50, No. 3, pp. 407 - 417.

[8] Maffezzoni P., A Versatile Time-Domain Approach to Simulate Oscillators in RF Circuits // IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, 2009, vol. 56, no. 3, pp. 594–603.

[9] Farhan M. A., Gad E., Nakhla M. S., Achar R., High order and A-stable envelope following method for transient simulations of oscillatory circuits // IEEE Trans. Microw. Theory Techn., 2014, vol. 62, no. 12, pp. 3309–3317.

[10] Farhan M. A., Nakhla M. S., Gad E., Achar R., Parallel High-Order Envelope-Following Method for Fast Transient Analysis of Highly Oscillatory Circuits // IEEE Trans. on very large scale integration (VLSI) systems, 2017, vol. 25, No. 1. pp. 261–270.

[11] Vlach J., Singhal K. Computer Methods for Circuit Analysis and Design. - New York: Van Nostrand Reinhold, 1983.

[12] Gheorghe A., Constantinescu F., Nitescu M. A New Algorithm for Envelope Following Analysis // Revue Roumaine des Sciences Techniques - Serie Électrotechnique et Énergétique. 2011, 56, P. 229-236.

The Adaptive Algorithm for the Analysis of Oscillatory Circuits

M.M. Gourary, M.M. Zharov, S.G. Rusakov, S.L. Ulyanov

Institute for design problems in microelectronics of RAS, Moscow, ippm@ippm.ru

***Abstract* — The paper presents the adaptive envelope following algorithm for the transient and periodic steady-state analysis of analog integrated circuits. For numerical integration of envelope equations, the variable order and variable time step integration algorithms are used. The adaptive algorithm performs the transient analysis in case of envelope integration failure. The numerical examples of transient and steady-state analysis are presented.**

***Keywords* — circuit simulation, transient response, periodic steady-state, integration methods, envelope following method.**

REFERENCES

[1] Aktualnye problemy modelirovania v systemah shemotehnicheskogo proektirovania (Actual simulation problems in computer-aided circuit design systems) - Moscow: Nauka, 2003(in Russian).

[2] Petzold, L. R. An efficient numerical method for highly oscillatory ordinary differential equations. SIAM J. Numer. anal, vol. 18, No. 3, pp. 455-479, June 1981.

[3] Petrenko A.I., Vlasov A.I., Timchenko A.P. Tablichnye metody modelirovania elektronnyh shem na ECVM (Table simulation methods of electronic circuits), Kiev: Visha shkola, 1977. - 192 p (in Russian).

[4] Norenkov I.P., Evstifeev Y.A., Manichev V.B. Metod uskorennogo analiza mnogoperiodnyh elektronnyh shem (Method for fast analysis of multiperiod electronic circuits). Radiotehnika. 1987. № 2. p. 71–74 (in Russian).

[5] Kundert K., White J., Sangiovanni-Vincentelli A., An envelope-following method for the efficient transient simulation of switching power and filter circuits, in Proc. Int. Conf. on CAD, pp. 446–449, 1988.

[6] Brambilla A., Maffezzoni P., Envelope following method for the transient analysis of electrical circuits, IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, vol. 47, No. 7, pp. 999–1008, 2000.

[7] Brambilla A., Maffezzoni P., Envelope-following method to compute steady-state solutions of electrical circuits, IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, vol. 50, No. 3, pp. 407 - 417, 2003.

[8] Maffezzoni P., A Versatile Time-Domain Approach to Simulate Oscillators in RF Circuits, IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, vol. 56, no. 3, pp. 594–603, 2009.

[9] Farhan M. A., Gad E., Nakhla M. S., Achar R., High order and A-stable envelope following method for transient simulations of oscillatory circuits IEEE Trans. Microw. Theory Techn., vol. 62, no. 12, pp. 3309–3317, 2014.

[10] Farhan M. A., Nakhla M. S., Gad E., Achar R., Parallel High-Order Envelope-Following Method for Fast Transient Analysis of Highly Oscillatory Circuits, IEEE Trans. on very large scale integration (VLSI) systems, vol. 25, No. 1, pp. 261–270, 2017.

[11] Vlach J., Singhal K. Computer Methods for Circuit Analysis and Design. - New York: Van Nostrand Reinhold, 1983.

[12] Gheorghe A., Constantinescu F., Nitescu M. A New Algorithm for Envelope Following Analysis. Revue Roumaine des Sciences Techniques - Serie Électrotechnique et Énergétique, 56, P. 229-236, 2011.

УДК 621.3.049.77.001.2 DOI: 10.31114/2078-7707-2020-3-35-40

Технология комплексной параметризации топологических проектов регулярных макроблоков СБИС

С.Э. Миронов, Л.Е. Андреев, К.М. Зибарев

Санкт-Петербургский государственный электротехнический университет “ЛЭТИ” им. В. И. Ульянова (Ленина), г. Санкт-Петербург, semironovspb@yandex.ru

***Аннотация* — Рассматриваются вопросы автоматизации разработки топологии крупных иерархических фрагментов СБИС на разных уровнях проектирования. Предлагается технология, обеспечивающая возможность оперативной генерации плотноупакованной топологии в проектных нормах выбранного изготовителя с ориентацией на конкретные требования заказчика по быстродействию и аппаратным затратам. Возможность адаптации к проектным нормам и электрическим параметрам обеспечивается средствами сжатия топологии на основе виртуальной сетки, высокая плотность упаковки – оригинальными средствами индивидуального итерационного согласования габаритов и положения выводов ячеек, схемотопологическая параметризация – средствами проектирования топологии ячеек СБИС по электрической схеме. Приводится описание структуры системы комплексной параметризации топологических проектов и методики проектирования иерархической топологии с ее помощью.**

***Ключевые слова* — комплексная параметризация топологии, сжатие топологии; плотноупакованное проектирование; согласование ячеек; генерация топологии.**

I. Введение

Характерной чертой современной микроэлектроники является постоянное усложнение проектов и ужесточение требований к срокам проектирования. Все это делает невозможным разработку микроэлектронных систем вручную. В связи с этим в проектировании БИС акценты сместились с разработки собственно топологии на разработку средств ее автоматической генерации.

Степень автоматизации проектирования постоянно увеличивалась. Очевидно, что в первую очередь это касалось операций, связанных с выполнением большого объема однообразных формальных операций, характерных для технологической и схемотопологической верификации и извлечения электрических параметров при характеризации.

Что же касается собственно разработки топологии, то макроблоки СБИС (крупные функционально законченные модули) с нерегулярной структурно-топологической организацией уже давно собираются методом размещения и трассировки из стандартных библиотечных ячеек.

Средства автоматизации постепенно приобретают все новые возможности и распространяются на все новые этапы процесса разработки, позволяя обеспечивать параметризацию на разных уровнях проектирования.

В практике проектирования применяются разные типы параметризации [1]-[3]. Наиболее известными являются матрицирование ячеек регулярных макроблоков (относящееся к структурному уровню) и сжатие топологии (относящееся к технологическому уровню).

Данный доклад посвящен параметризации проектирования топологии и продолжает работы авторов в области САПР СБИС [4]-[6]. Однако, если прежние работы были посвящены проблемам технологически инвариантного проектирования (в том числе и иерархических макроблоков [5]-[6]), то научно-техническая новизна этого доклада связана с предложенной авторами технологией комплексной параметризации топологических проектов. В нем описываются программные средства и методика, разработанные для системы проектирования топологии макроблоков «*Macroblock Layout Design*».

II. Топология макроблоков: этапы проектирования и типы параметризации

В процессе проектирования топологии макроблока СБИС (крупного функционально законченного фрагмента интегральной схемы), осуществляемом «сверху вниз», можно выделить ряд этапов, перечисленных ниже. (Обратим внимание на то, что в этот список не включен этап функционального проектирования, как не относящийся непосредственно к проектированию топологии.)

1. Структурно-топологическое проектирование – этап разработки структурно-топологического плана макроблока и топологических моделей (принципов топологической организации) его ячеек, обеспечивающих высокую плотность упаковки топологии.

2. Схемотехническое проектирование ячеек макроблока – разработка электрических схем с предварительным назначением параметров их элементов.

3. Предварительное проектирование топологии ячеек макроблока с учетом особенностей их включения в структурно-топологический план. Как правило, сначала разрабатываются не детальные топологические чертежи, а предварительные топологические эс-

кизы, называемые за рубежом «скелетными диаграммами». На них, исходя из определенных соотношений между размерами шин, контактов и транзисторов, устанавливается взаимное расположение элементов топологии – осуществляется предварительная компоновка ячейки без точной привязки к проектным нормам.

4. Электрическое моделирование работы ячеек, позволяющее с учетом разработанной эскизной топологии ячеек уточнить ширины каналов транзисторов, обеспечивающие требования по времени срабатывания.

5. Детальное топологическое проектирование ячеек макроблока с учетом конкретных проектных норм предприятия изготовителя.

Таким образом, по уровням проектирования параметризацию можно разделить на пять типов:

– структурная;

– схемотехническая;

– топологическая;

– электрическая;

– технологическая.

Большое число разных решений на каждом из уровней проектирования порождает широкий спектр возможных вариантов реализации разрабатываемого устройства. Для их систематизации, для упрощения и ускорения разработки макроблоков СБИС разработана система комплексной параметризации топологических проектов регулярных макроблоков СБИС *«Macroblock Layout Design»*.

III. Структура системы *«Macroblock Layout Design»* комплексной параметризации топологических проектов регулярных макроблоков СБИС

Обобщенная структура системы комплексной параметризации топологических проектов регулярных макроблоков СБИС *«Macroblock Layout Design»*, обобщенная структура которой приведена на рис. 1.

В состав системы входят четыре основных компонента:

– генератор топологии ячеек «*Cell Layout*»;

– система сжатия топологии ячеек «*TopDesign*»;

– система проектирования топологии макроблоков «*Matching of Cells*»;

– графический редактор структурно-топологических планов макроблоков СБИС «*Structural-Layout Design*».

Задачи технологической параметризации проектов решает система сжатия топологии ячеек «*TopDesign*» [4]. Она же используется для электрической параметризации элементов топологии. В качестве иллюстрации на рис. 2 приведено окно системы «*TopDesign*» с топологическим эскизом инвертора с параметризацией ширины канала транзистора n-типа *Tn* (задаваемой переменной *Wn*, с текущим значением *W*=1,3 шага сетки).

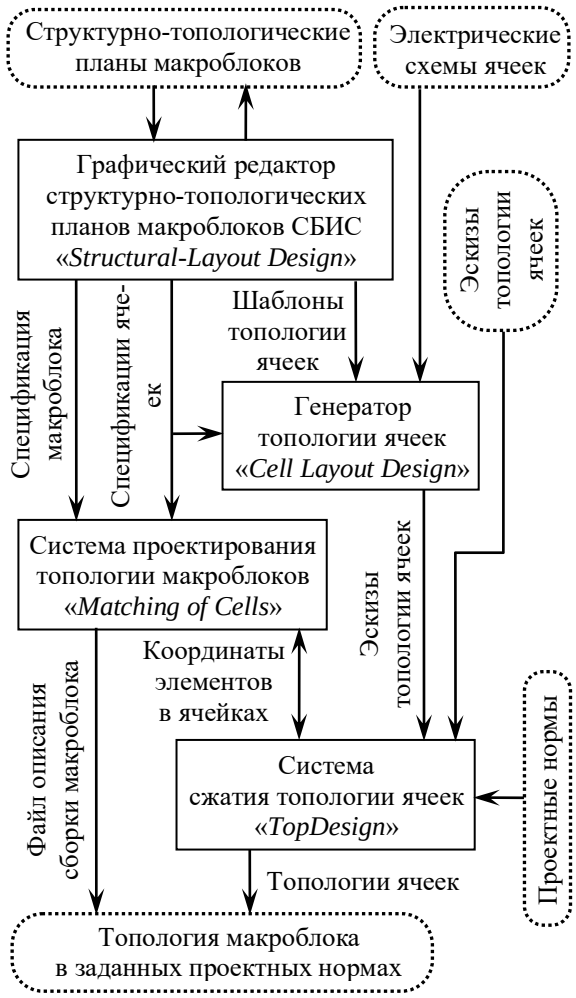


Рис. 1. Обобщенная структура системы комплексной параметризации топологических проектов регулярных макроблоков СБИС «*Macroblock Layout Design*»

В системе «*TopDesign*» реализовано поликоординатное описание топологии ячеек, которое позволяет избежать наложения частей топологии друг на друга при изменении размеров транзисторов (при настройке на новую разрядность данных или после уточнения их параметров по результатам электрического моделирования). Для этого помимо основной базовой системы координат (*BASE_CRD* на рис. 2) в параметризированное виртуальное описание топологического эскиза вводятся дополнительные системы координат. Они содержат описание частей топологии, которые должны смещаться при разрастании соседних с ними транзисторов.

В качестве компонента, реализующего топологическую параметризацию, выступает программа «*Cell Layout*» генерации топологии ячеек по электрической схеме. Параметры топологии (расположение маги-

стральных шин, выводов, конкретных элементов разводки и транзисторов) задаются шаблонами топологии ячеек. Причем в качестве одного из основных параметров выступает число рядов транзисторов в ячейке, позволяющее как изменять коэффициент формы ячеек, так и обеспечивать более высокую плотность их упаковки.

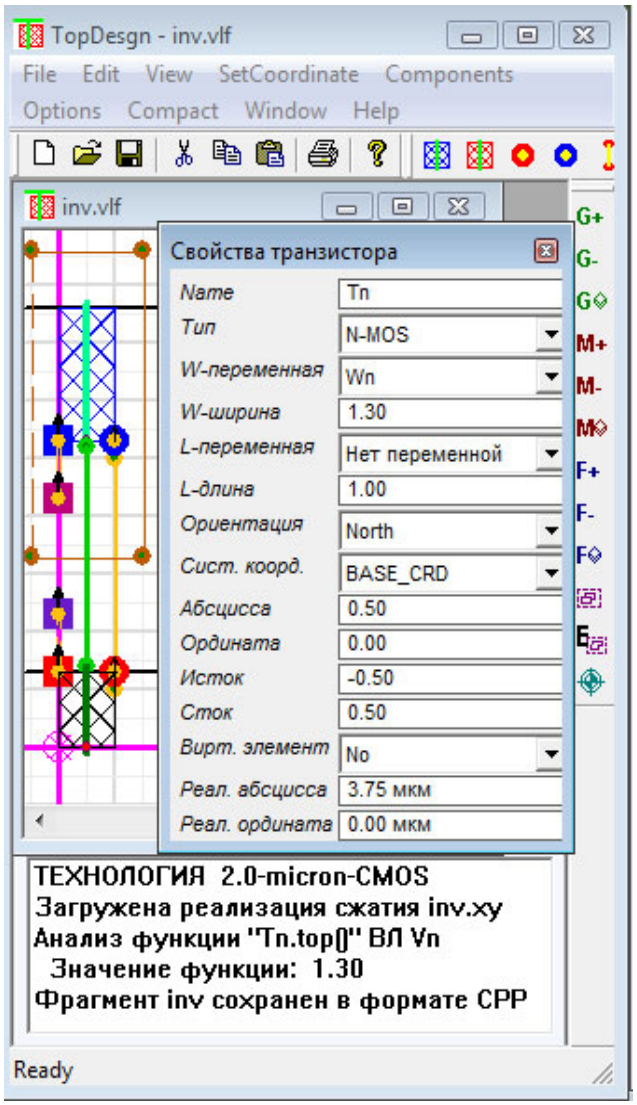


Рис. 2. Технологически инвариантный топологический эскиз инвертора с параметризацией ширин каналов транзисторов в системе «*TopDesign*»

Результатом работы программа «*Cell Layout*» являются технологически инвариантные эскизы топологии ячеек. В качестве примера на рис. 3 приведен результат размещения и трассировки элементов для топологии макроячейки на основе четырех рядов транзисторов.

Схемотехническая параметризация обеспечивается самой системой комплексной параметризации «*Macroblock Layout Design*»: электрическая схема выбирается из библиотеки ячеек, как значение переменной перечисляемого типа.

За структурно-топологическую параметризацию ячеек отвечают два компонента системы: графический редактор структурно-топологических планов макроблоков СБИС «*Structural-Layout Design*» и система проектирования топологии макроблоков «*Matching of Cells*».

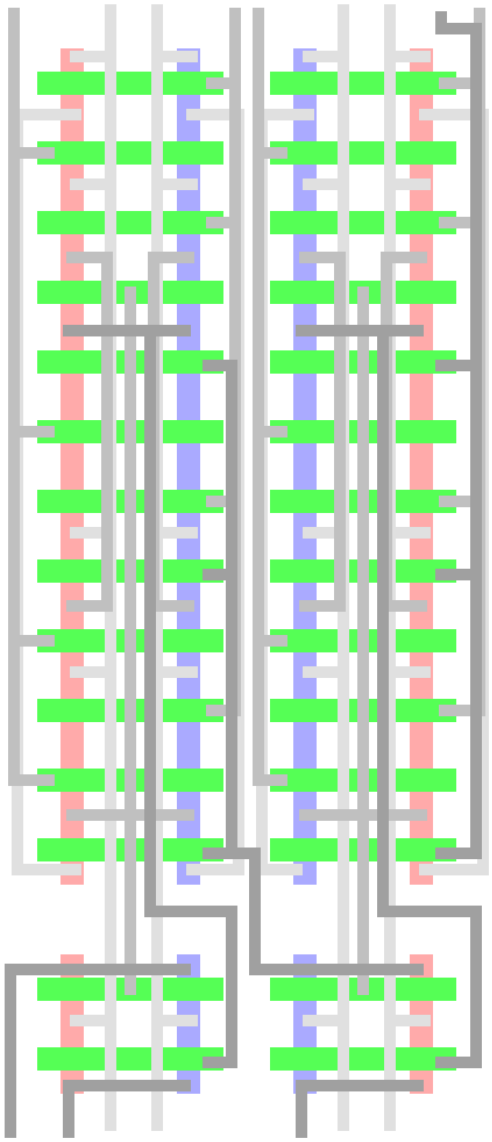


Рис. 3. Результат размещения и трассировки элементов программой «*Cell Layout*» для топологии макроячейки на основе четырех рядов транзисторов

Графический редактор структурно-топологических планов позволяет задавать различные значения разрядностей операндов, выполнять операции матрицирования ячеек и групп ячеек. С его помощью задаются коэффициенты формы ячеек и формируются технологически инвариантные топологические модели ячеек (принципы их топологической организации) и на их основе шаблоны топологии ячеек (топологически параметризированные «заготовки» для средств генерации топологии ячеек). Окно графического редактора приведено на рис. 4.

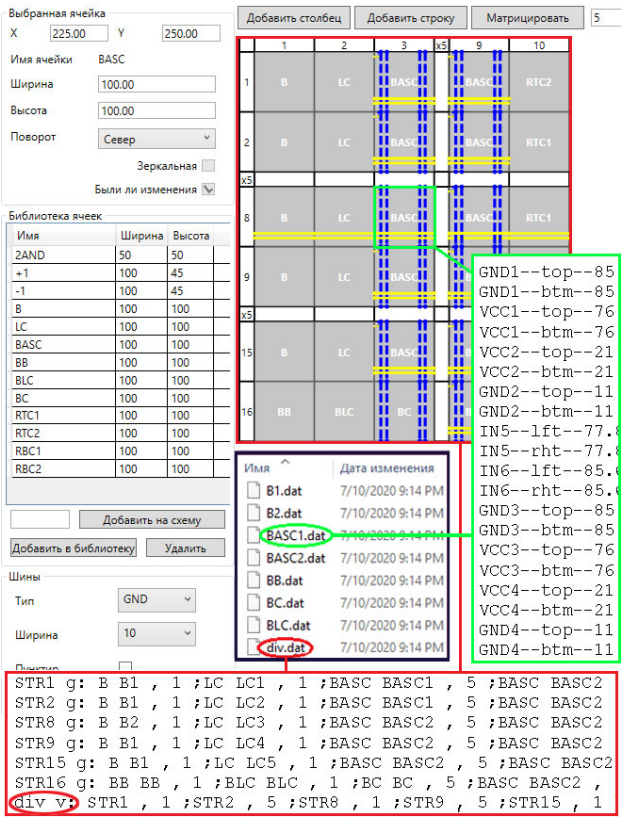


Рис. 4. Окно графического редактора структурно-топологических планов макроблоков СБИС «*Structural-Layout Design*»

Система «*Matching of Cells*» осуществляет согласование ячеек макроблока по габаритам и по расположению их выводов в процессе перехода от абстрактных топологических эскизов к топологическим чертежам в конкретных проектных нормах.

Следует отметить, что разработанный ранее для системы «*Matching of Cells*» графический редактор структурных планов макроблоков [6] предназначался только для описания связей между выводами уже разработанных ячеек в разработанном вручную структурно топологическом плане. А графический редактор системы «*Structural-Layout Design*» позволяет разрабатывать как сами структурно-топологические планы, так и необходимые для согласования ячеек и для сборки иерархического описания топологии спецификации (текстовые описания) макроблоков (в красной рамке на рис. 4) и их компонентов: строк, столбцов, ячеек (в зеленой рамке на рис. 4). А это существенно упрощает и ускоряет процесс проектирования.

IV. Методика проектирования топологии макроблоков СБИС в системе «Macroblock Layout Design»

Разработка топологии регулярных макроблоков СБИС в системе «*Macroblock Layout Design*» может быть осуществлена в соответствии с приведенной ниже методикой.

1. Разработка в графическом редакторе «*Structural-Layout Design*» структурно-топологического плана макроблока СБИС с учетом магистральных шин и отдельных шин межсоединений и внутренней разводки ячеек.

2. Разбиение структурно-топологического плана макроблока (и магистральных шин) на части по границам ячеек с включением в ячейки расположенных в их поле элементов топологии.

3. Программная генерация трех типов текстовых файлов:

– спецификаций ячеек (включающих необходимое для согласования ячеек описание их границ и их выводов);

– шаблонов топологии ячеек (необходимое для генерации топологии ячеек описание внесенных разработчиком в ячейку шин, контактов и транзисторов);

– спецификации макроблока (структурированного иерархического описания топологии).

4. Разработка программой «*Cell Layout*» по электрическим схемам ячеек (в формате *Spice-netlist*) библиотеки технологически инвариантных эскизов топологии ячеек макроблока для системы сжатия «*TopDesign*».

5. Генерация топологической библиотеки согласованных по габаритам и выводам ячеек макроблока в требуемых проектных нормах средствами системы «*Matching of Cells*».

V. Направления дальнейшего развития системы «*Macroblock Layout Design*»

На основании проведенных авторами исследований предлагаются следующие три направления развития средств системы «*Macroblock Layout Design*».

1. Разработка средств графического описания структурно-топологических планов нерегулярных иерархических фрагментов СБИС.

2. Разработка средств сжатия топологии на основе более эффективных алгоритмов сжатия с изменением формы транзисторов.

Исследования авторов показали, что применение таких алгоритмов и соответствующих топологических моделей транзисторов [7] может привести к значительному сокращению площади схем на кристалле.

В качестве примера на рис. 5 и 6 приведены топология одноразрядного двоичного сумматора, полученная с применением алгоритмов сжатия, используемых в системе «*TopDesign*», и топология сумматора после сжатия с изменением формы транзисторов. Выигрыш по площади во втором случае составляет примерно 15 %.

3. Реализация механизмов сжатия топологии ячеек, обеспечивающих ускорение процессов согласования ячеек.

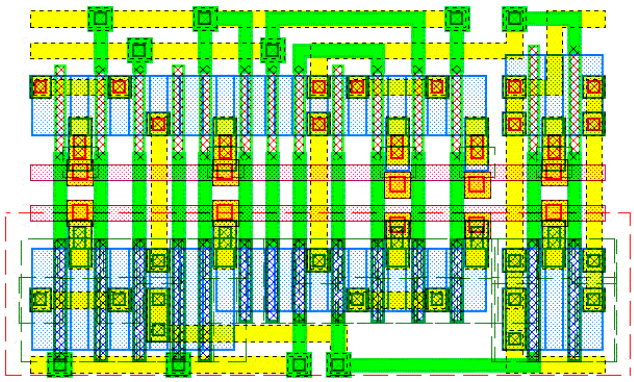


Рис. 5. Топологии сумматора после сжатия на основе виртуальной сетки

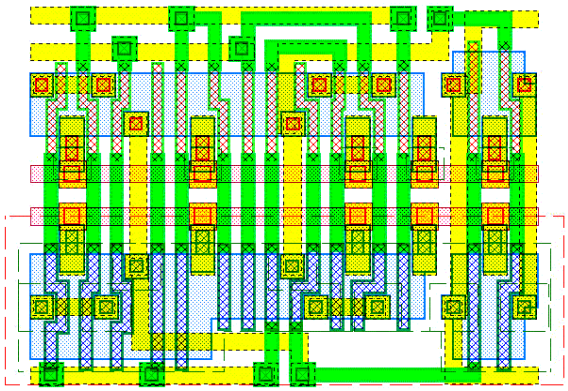


Рис. 6. Топологии сумматора после сжатия с изменением формы транзисторов

В [8] авторами был предложен способ реализация сжатия топологии, позволяющий получить без потерь по площади на кристалле существенный выигрыш во времени за счет исключения повторяющихся при согласовании процедур сжатия.

Заключение

Разработанная технология иерархического проектирования топологии макроблоков СБИС позволяет обеспечить возможность параметризации топологических проектов на структурном, схемотехническом, топологическом, электрическом и технологическом уровнях.

Основными полученными результатами являются:

– формализация процесса иерархического проектирования топологии макроблоков СБИС;

– разработка системы комплексной параметризации топологических проектов «*Macroblock Layout Design*»;

– разработка методики иерархического проектирования топологии макроблоков СБИС в системе «*Macroblock Layout Design*».

Литература

[1] Sherwani Naveed A. Algorithms for VLSI physical design automation. USA, Kluwer academic publishers, 3d edition, 2002. 572 p.

[2] Weste N. H. E., Harris D. CMOS VLSI Design. A Circuits and Systems Perspective. USA, Addison-Wesley, Fourth Edition, 2011. 840 p.

[3] Bamji C., Varadarajan R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec. 6, 2012 - Technology & Engineering. 161 p. DOI 10.1007/978-1-4615-6139-2.

[4] Зуев И.С., Миронов С.Э., Сафьянников Н.М., Максимов А.Б. Виртуальное символьное проектирование параметризованных фрагментов КМОП БИС. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2016. 236 с.

[5] Зуев И.С., Миронов С.Э., Сафьянников Н.М. Проектирование специализированных кремниевых компиляторов в САПР параметризованных фрагментов КМОП БИС TopDesign. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2017. 226 с.

[6] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Problems of advanced micro- and nanoelectronic systems development. Moscow.: – FSFIS Institute for Design Problems in Microelectronics RAS. 2019. Pages 7-13.

[7] Mironov S.E., Monko A.O. Geometric models of complex layout objects of microelectronic systems in advanced information technologies // Proceedings of 2017 20th IEEE International Conference on Soft Computing and Measurements, SCM 2017. 24 May - 26 May 2017. – St. Petersburg, Russian Federation. Pages 135-138. DOI: 10.1109/SCM.2017.7970518.

[8] Mironov S.E., Zibarev K.M. Management of Layout Matching of Objects of Complex Microelectronic Systems with Uncertainty of Design Rules // Proceedings of 2019 3rd International Conference on Control in Technical Systems, CTS 2019. 30 Oct.-1 Nov. 2019 – St. Petersburg, Russia. – Pages. 69-73. DOI: 10.1109/CTS48763.2019.8973275.

Complex Parameterization Technology for Topological Projects of Regular VLSI Macroblocks

S.E. Mironov, L.E. Andreev, K.M. Zibarev

Saint Petersburg Electrotechnical University "LETI", St. Petersburg, semironovspb@yandex.ru

***Abstract.* — Software and methods to parameterize the process of designing a layout of hierarchical VLSI fragments at all design levels have been developed.**

Purpose. To develop methods and tools of the system of complex parameterization for designing a hierarchical VLSI layout with high packing density.

Methods. Technological and electric parameterization is provided by the algorithm of one-dimensional layout compaction based on the virtual grid. Layout parameterization is provided by combinatorial and graphs methods of placement and tracing. Schematic parameterization is implemented based on the principles of working with variables of an enumerated type. Structural parameterization and high density of packing are achieved by an original method of matching cells in terms of outputs size and location.

The obtained results. Development of a system and technology of complex parameterization of the layout projects of regular hierarchical fragments of the VLSI. The modular principle of organization of the developed system and the autonomy of its components ensure the convenience and simplicity of its development towards the improvement of methods of parameterization.

Discussion. Main directions of further development:

– Conversion of the compression system of the layout to more efficient in terms of packing density compaction algorithms with changing the shape of transistors;

– Development of interface tools for a graphical description of structural and layout plans of irregular hierarchical fragments of VLSI;

– Realization of the compaction mechanisms providing essential acceleration of processes of cells matching without losses in the density of packing.

***Keywords* — complex layout parameterization, layout compaction, close-packed design, cells matching, layout generation.**

REFERENCES

[1] Sherwani Naveed A. Algorithms for VLSI physical design automation. USA, Kluwer academic publishers, 3d edition, 2002. 572 p.

[2] Weste N. H. E., Harris D. CMOS VLSI Design. A Circuits and Systems Perspective. USA, Addison-Wesley, Fourth Edition, 2011. 840 p.

[3] Bamji C., Varadarajan R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec. 6, 2012 - Technology & Engineering. 161 p. DOI 10.1007/978-1-4615-6139-2.

[4] Zuev I.S., Mironov S.E., Saf'yannikov N.M., Maksimov A.B. Virtual'noe simvol'noe proektirovanie parametrizovannyh fragmentov KMOP BIS (Virtual symbolic design of parameterized CMOS LSI fragments). SPb: SPbGETU «LETI» Publ., 2016. 236 p. (In Russian).

[5] Zuev I.S., Mironov S.E., Saf'yannikov N.M. Proektirovanie specializirovannyh kremnievyh kompilyatorov v SAPR parametrizovannyh fragmentov KMOP BIS TopDesign Designing specialized silicon compilers in CAD of parameterized CMOS LSI fragments TopDesign). SPb: SPbGETU «LETI» Publ., 2017. 226 p. (In Russian).

[6] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Problems of advanced micro- and nanoelectronic systems development. Moscow.: – FSFIS Institute for Design Problems in Microelectronics RAS. 2019. Pages 7-13.

[7] Mironov S.E., Monko A.O. Geometric models of complex layout objects of microelectronic systems in advanced information technologies // Proceedings of 2017 20th IEEE International Conference on Soft Computing and Measurements, SCM 2017. 24 May - 26 May 2017. – St. Petersburg, Russian Federation. Pages 135-138. DOI: 10.1109/SCM.2017.7970518.

[8] Mironov S.E., Zibarev K.M. Management of Layout Matching of Objects of Complex Microelectronic Systems with Uncertainty of Design Rules // Proceedings of 2019 3rd International Conference on Control in Technical Systems, CTS 2019. 30 Oct.-1 Nov. 2019 – St. Petersburg, Russia. – Pages. 69-73. DOI: 10.1109/CTS48763.2019.8973275.

УДК 621.382: 621.3.049.77.001.2 DOI: 10.31114/2078-7707-2020-3-41-48

Ускорение решения задачи обнаружения близости полигонов в задачах технологии двойного шаблона

Д.А. Булах, А.В. Коршунов

Национальный исследовательский университет МИЭТ, г. Москва

dima@pkims.ru, korshun@gmail.com

***Аннотация* — Формирование топологических структур с размерами 22нм и ниже с использованием современного литографического оборудования требует применения ряда техник предварительной подготовки топологической информации, наиболее популярной из которых является технология двойного шаблона. При алгоритмической реализации этой технологии основной вычислительной проблемой является необходимость выполнять большое число сравнений расстояний между различными участками большого числа полигонов. В данной работе предлагается алгоритм сокращения вычислительных затрат, позволяющий обнаруживать только геометрические примитивы, находящиеся в заданной близости.**

***Ключевые слова* — СБИС, топология, двойной шаблон, двойное экспонирование, разреженные матрицы.**

I. Введение

Основным технологическим подходом для физического производства СБИС на данный момент всё ещё является оптическая литография. Несмотря на существование других подходов, таких как, например, электронно-лучевая литография, по ряду причин по-прежнему использование именно оптической литографии является наиболее выгодным [1], [2].

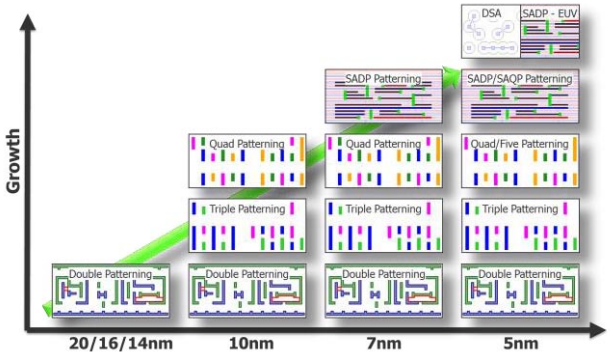


Рис. 1. Кратность применяемых технологий мультиплицирования шаблона в зависимости от технологических норм проектирования

По причинам, связанным с физикой протекания литографического процесса [2], [3], для формирования на поверхности кремниевой пластины изображений требуемого размера при использовании суб-32нм технологий приходится применять ряд дополнительных проектных процедур, наиболее часто используемой из которых является технология мультиплицирования шаблона [4]. В [1] приводится классификация применимости технологий мультиплицирования шаблона в зависимости от техпроцесса, показанная на рис. 1.

Из рис. 1 видно, что наиболее часто применяемой технологией является технология литографии, предполагающая применение нескольких процессов экспонирования и нескольких шаблонов для формирования одного слоя на поверхности кристалла. Различают несколько разновидностей такой технологии [5], [6]:

- двойное экспонирование (англ. Double Exposure Lithography, DEL), также встречающееся под названием LFLE (Litho-Freeze-Litho-Etch), при этом виде технологии выполняется два этапа экспонирования и один этап травления;
- двойной шаблон (англ. Double Patterning Lithography, DPL), также встречающаяся под названием LELE (Litho-Etch-Litho-Etch), при использовании этой технологии травление выполняется два раза.

С точки зрения технологического процесса встречается также подход под названием SADP (Self-Aligned Double Patterning), заключающийся в размещении дополнительного слоя, на котором, в отличие от предыдущих вариантов, формируются не основные изображения геометрических фигур, а формируются фигуры для «прерывания» нанесённых ранее [6].

Поскольку все описанные технологии подразумевают использование двух шаблонов, применяющихся с различными технологическим процедурами, в дальнейшем в этой статье для обозначения подобной технологии будет использоваться термин «двойной шаблон».

Основной задачей технологии двойного шаблона (и в общем случае мультиплицирования шаблона с большей кратностью) является разделение геометрических примитивов топологии, принадлежащих одному слою, на несколько слоёв в случае, если расстояние между этими примитивами меньше некоторого критического размера, определяемого разрешающей способностью литографического оборудования (рис. 2).

Здесь CD – критический размер (англ. Critical Dimension), минимальный размер, который может быть воспроизведён литографическим оборудованием. На рис. 2 слева видно, что имеется 4 конфликта: расстояния межу геометрическими примитивами A и B, A и C, B и

D и C и D меньше критического размера. После разделения топологии на несколько слоёв (рис. 2 справа) все геометрические примитивы в пределах своего слоя расположены на расстоянии, которое может быть воспроизведено.

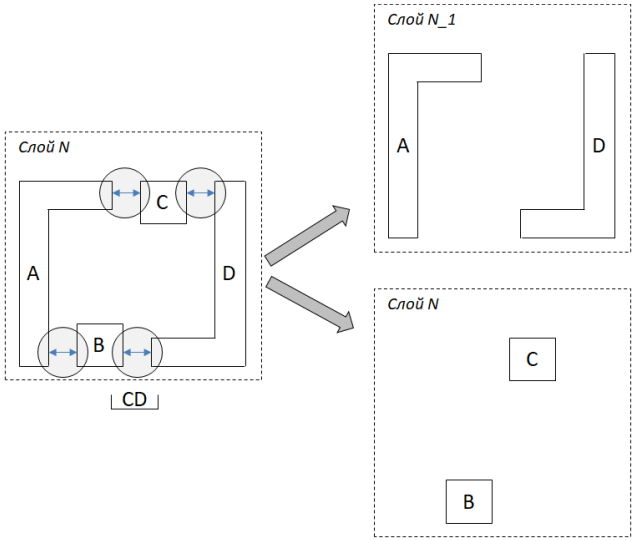


Рис. 2. Разделение топологии на два слоя для компенсации плотности заполнения

В результате выполнения этой операции получаются два слоя, содержащие геометрические примитивы с одного исходного слоя так, что расстояние между примитивами, оказавшимися на одном слое, окажутся больше критического размера и при последовательной смене фотошаблонов изображение сможет быть воспроизведено с требуемой точностью.

Наибольшей проблемой при программной реализации разделения слоя является алгоритмическая сложность решаемой задачи, связанная с большими объёмами данных, требующими обработки.

II. Алгоритмы технологии двойного шаблона

A. *Алгоритмы разделения геометрических примитивов на различные слои*

Базовым алгоритмом, на основании которого принимается решение о разнесении геометрических фигур на различные слои, является алгоритм раскраски графов [4], [7], [8]. Суть работы алгоритма в следующем. На основании информации о расположенных рядом графических примитивах в пределах одного топологического слоя формируется граф противоречий. Узлы графа ставятся в соответствие примитивам, а рёбра графа показывают необходимость разделения примитивов на разные слои. Другими словами, если два узла графа связаны ребром, это значит, что соответствующие графические примитивы в топологии конфликтуют между собой, так как расположены друг к другу ближе критического размера, и их необходимо разместить в разных слоях. С точки зрения алгоритма, для выполнения этой операции два узла графа, связанные ребром, должны быть раскрашены в разные цвета.

Поскольку при использовании технологии двойного шаблона считается, что для раскраски вершин графа доступны только два цвета, топология может содержать такую конфигурацию, при которой выполнение этой задачи невозможно. Такой пример показан на рис. 3.

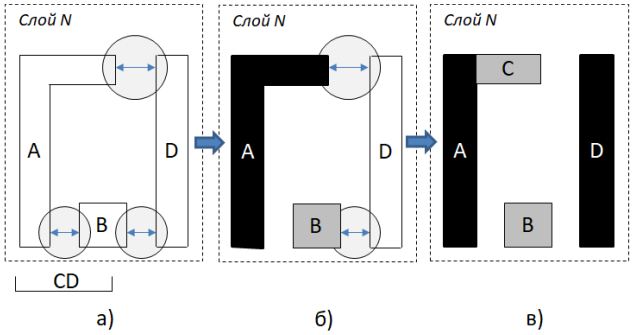


Рис. 3. Иллюстрация необходимости разбиения топологических элементов для успешной раскраски графа противоречий

Для разрешения этого конфликта используется дробление геометрического примитива на части и формирование из одного примитива двух узлов графа противоречий с последующей раскраской в разные цвета. Это приводит к физическому разделению частей одного примитива в разные слои. В этом при формировании фигуры в кремнии выполняется операция межслойной сшивки [6], [9].

На рис. 3-а приведён исходный вариант топологии и показаны три конфликта. Рис. 3-б показывает, что при раскраске примитивов в два цвета (чёрный и серый) одна фигура (D) не может быть окрашена, так как она находится рядом как с фигурой A, покрашенной в чёрный цвет, так и рядом с фигурой B, покрашенной в серый цвет. И только разбиение фигуры A на две (рис. 3-в) позволяет успешно покрасить граф противоречий и разнести топологические элементы на различные слои.

В работах [10], [11] показано, что для 14нм технологии и ниже уже не имеет смысла применять технологию двойного шаблона, а следует применять технологии тройного и четверного шаблона, что алгоритмически вытекает в необходимость раскраски графа противоречий в три и четыре цвета, соответственно.

Однако сам по себе процесс раскраски вершин графа интереса не представляет, поскольку многократно описан и имеет как однопоточные, так и многопоточные реализации, в том числе и с применением технологии распределённых вычислений и вычислений на графических сопроцессорах [12]-[14]. В силу своей большой вычислительной сложности наибольший интерес представляет не алгоритм раскраски графа противоречий, а алгоритм его подготовки, иными словами, алгоритм определения взаимной близости элементов топологии.

B. *Алгоритмы формирования графа противоречий*

Задача формирования графа противоречий состоит в последовательном обходе всех геометрических фигур топологического слоя с целью выяснения расстояния

между ними. Очевидно, что это – колоссальная по своим вычислительным затратам задача, для реализации которой необходимо вычислить расстояния между всеми участками геометрии всех элементов слоя топологии.

Определить взаимное расположение абсолютно всех геометрических примитивов можно только с помощью полного перебора. Очевидно, что полный перебор – слишком ресурсоёмкая задача, поэтому для сокращения вычислительных затрат применяются различные подходы и алгоритмы.

В работе [15] описан подход, позволяющий существенно сократить объём вычислений при обходе элементов топологии с манхэттенской геометрией, основанный на кодировании линий. Авторами предложен подход, при котором расстояния между различными геометрическими фигурами кодируется целочисленным трёхзначным кодом, однозначно определяющим положение отрезка расстояния в пространстве, а также их взаимное расположение друг относительно друга. Такой подход позволяет хранить информацию о взаимном расположении фигур и на её основе быстро формировать граф противоречий, однако вычисление кодов по прежнему требует обхода всех составляющих всех геометрических примитивов слоя топологии.

В [16] авторы реализуют алгоритм, основывающийся на наложении слоя топологии на сетку с шагом, кратным размерам элементов топологии. Такой подход позволяет легко определить близость различных геометрических фигур, основываясь на обходе ячеек сетки в непосредственной близости от рассматриваемой фигуры. Стоит отметить, что такой метод эффективен, однако требует больших затрат памяти для хранения матрицы и информации о размещении элементов в её ячейках.

Частично эту проблему решают работы [17], [18]. Они посвящены алгоритму для ускорения вычисления расстояний между полигонами а также сокращения затрат памяти на их хранение, который основан на формирования лишь списка горизонтальных отрезков, обрамляющих топологические примитивы слоя. Вычисление расстояний между полигонами осуществляется с применением модифицированного метода сканирующей прямой. Отмечается, что такой подход позволяет эффективно применять средства распараллеливания вычислений. При этом в [17] заявляется возможность приведения неманхэттенской геометрии к манхэттенской с последующим применением описанного выше алгоритма. Тем не менее, в работах отмечается, что для определения горизонтального расстояния между полигонами необходимо проводить дополнительные вычисления на основании точек, составляющих горизонтальные отрезки. Кроме того, в отличие от алгоритма [16] отсутствует возможность для некоторого полигона определить его ближайших соседей иными способами, кроме запуска сканирующей прямой через все полигоны слоя.

В данной работе предлагается структура данных, позволяющая компактно хранить информацию о взаимном размещении полигонов и получить оценку расстояния между любыми произвольными полигонами, а также алгоритмы её заполнения.

III. Предлагаемое решение

Описание разработанного решения в этом параграфе разделено на три подраздела: описание предлагаемого подхода к представлению топологических примитивов, структура данных и алгоритмы для сокращения затрат оперативной памяти, оценка алгоритмической сложности.

A. *Структура данных для компактного хранения информации о взаимном расположении полигонов*

В качестве отправной точки для разработки структуры данных для хранения информации о полигонах была выбрана сеточная модель по типу рассмотренной в работе [15]. С целью ответа на вопрос об эффективности использования памяти рассмотрим тестовый рисунок топологии, представленный на рис. 4.

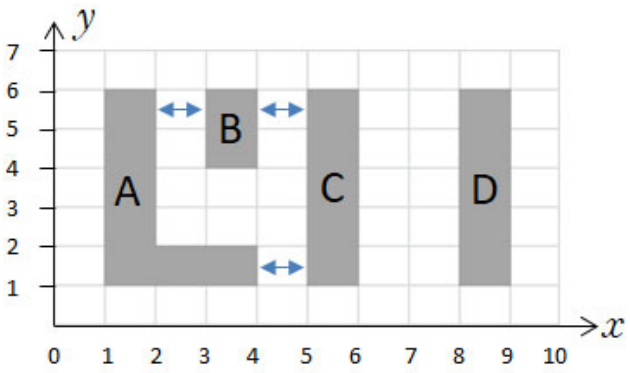


Рис. 4. Тестовый рисунок с тремя обозначенными конфликтами расстояний

Строя классическую сеточную модель для этого примера легко увидеть, что будет выделена память под 70 ячеек, из которых реально занятыми окажутся только 19. Очевидно, что такой подход крайне неэффективен.

Для решения задачи более экономного расходования памяти нами предлагается следующий подход. Каждая фигура F_k определяется следующим кортежем:

$$F_k = \langle M_k, S_k, ref_k \rangle \quad (1)$$

где:

- M_k – условный центр координат k-той фигуры, имеющий элементы $\{m_k^x, m_k^y\}$;
- S_k- метрика оценки её геометрических размеров;
- ref_k – ссылка на топологическое представление самой фигуры.

Для реализации возможны несколько вариантов расчётов условного центра координат M_k и метрики оценки размеров S_k. В настоящей работе центр координат фигуры вычисляется как центр ограничивающего прямоугольника топологической фигуры, а в качестве

метрики оценки геометрических размеров в простейшем случае можно использовать максимальный размер ортогональной проекции на оси системы координат топологии.

Для исходного изображения топологии, приведённого на рис. 4, координаты условных центров координат фигур приведены на рис. 5 (для простоты дальнейших вычислений считается, что все координаты имеют целочисленные значения, для них проводилось округление к ближайшему большему целому).

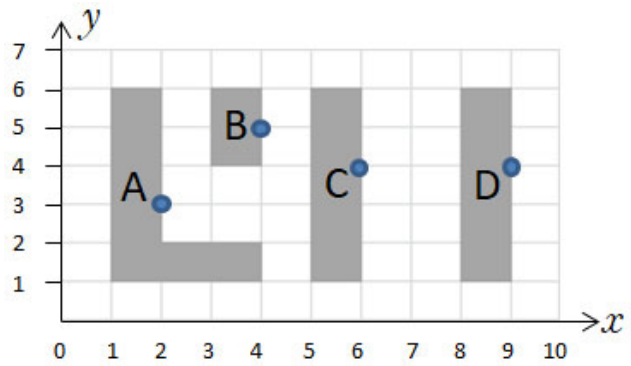


Рис. 5. Координатная сетка с проставленными центрами на целочисленной сетке

Учитывая полученные результаты, для хранения информации об объектах слоя с применением сеточной модели можно получить представление сетки, показанной на рис. 6 (считается, что ячейка занята, если в координаты ячейки попадают координаты условного центра координат фигуры).

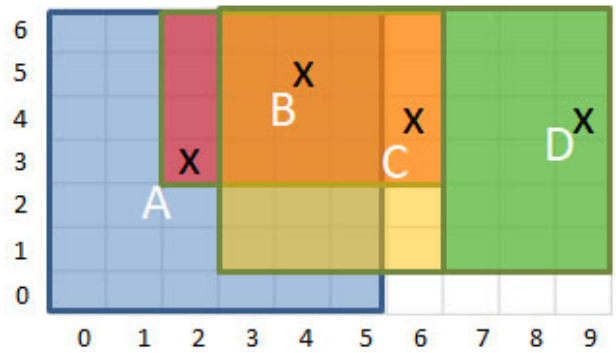


Рис. 6. Сеточная модель топологии с занятыми ячейками (X)

На рис. 6 различными цветами показаны области возможной занимаемой площади, определяемой исходя из выбранной метрики оценки геометрических размеров фигуры. Даже грубая, выбранная ранее метрика (размер максимальный ортогональной проекции), на таком рисунке даёт понять, что фигура D (зелёная область) находится на достаточном расстоянии от фигур A (синяя область) и B (красная область), поэтому при формировании графа противоречий взаимное расположение этих фигур можно не рассматривать.

Введение же в качестве метрики оценки геометрических линейных размеров по каждой из осей по отдельности существенно меняет картину в лучшую сторону (рис. 7).

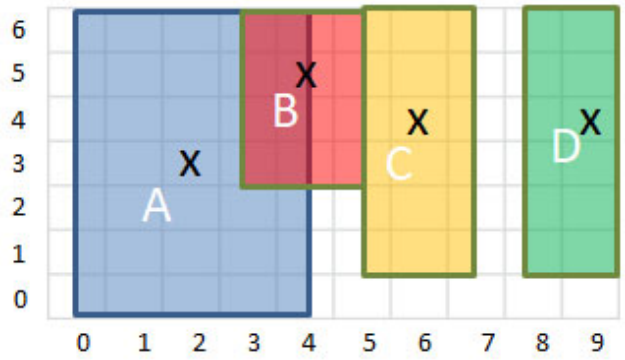


Рис. 7. Вид сеточной модели после переоценки метрики размеров

На данном этапе предложенный вариант реализации сеточной модели пока не даёт выигрыша по занимаемой памяти. Для устранения этого недостатка мы предлагаем обратить внимание на тот факт, что разработанная сеточная модель хранит лишь условные центры координат геометрических фигур, а не занимает фигурой все ячейки пространства топологии, как, например, это делают фигуры на рис. 4. Следовательно, для более компактного хранения такого описания сетки можно воспользоваться технологией хранения разреженных матриц.

B. Структуры данных и алгоритмы для сокращения затрат оперативной памяти

Одним из самых простых форматов хранения разреженных матриц является так называемый Йельский формат. В данной работе применяется Йельский формат хранения «по строкам», также известный как CSR (Compressed Sparse Row) [19].

При использовании этого формата данные о занятых (непустых) ячейках матрицы распределяются между тремя массивами:

- AN – массив данных, его размер равен числу хранимых ненулевых элементов;
- AJ – массив номеров элементов из массива AN, располагающихся на новой строке, его размер равен числу занятых строк разреженной матрицы;
- AI – массив номеров строк для каждого из элементов массива AJ, его размер в точности равен размеру массива AJ.

В терминах разрабатываемого подхода предлагается хранить информацию о фигурах, представленных кортежами вида (1), в следующем виде:

- массив AN хранит координаты x_i условных центров координат каждой из фигур;
- массив AJ хранит информацию, начиная с какого из элементов массива AN произошёл переход на новый ряд;

- массив AI хранит номер ряда (фактически – координата y_i), на котором расположен элемент AN[AJ[i]].

В терминах принятых обозначений матрица, представляющая топологию кристалла, изображённая на рис. 6, будет представлена в формате CSR следующим образом:

AN = {4, 6, 9, 2};

AJ = {0, 1, 3};

AI = {5, 4, 3}.

Добавление элемента в подобную структуру данных представлено в общем виде псевдокодом в листинге 1.

Листинг 1. Код метода Insert_at_XY

```
На входе: M – условный центр координат фигуры
          S – метрика оценки площади
          ref – ссылка на фигуру
 1:  if ∃i: M_y == AI[i]:
 2:      foreach (aj in AJ[i] → AJ[i+1]):
 4:          if M.x < AN[aj].x:
 5:              AN.insert(AN.begin+aj, <M.x, S, ref>
 6:      foreach (aj in AJ[i+1] → AJ.last):
 7:          inc(aj)
 8:  else:
 9:      i = SelectRowByY(M.y)
10 :     AI.insert(AI.begin+i+1)
11:      AJ.insert(AJ.begin+i+1, AJ[i+1])
12:      AN.insert(A.begin+1+1, <M.x, S, ref>)
```

Как видно из листинга, каждому элементу в векторе AN соответствует не только номер столбца матрицы (координата условного центра координат по оси абсцисс), но кортеж вида:

$$AN[i] = \langle M[i].x, S_i, ref_i \rangle \quad (2)$$

Это позволяет, получив доступ к хранимому элементу, получить информацию и о метрике оценки геометрии полигона, и к полному полигону для более точного вычисления координат.

Получение информации о близости полигонов к заданному полигону легко определяется исходя из информации, хранящейся в векторах AN, AJ, AI и (2).

Имея некоторую фигуру топологического слоя F_k, определяемую в оговоренных структурах данных триплетом индексов {k, j, i} (положение фигуры F_kопределяется как AN[k], AJ[j], AI[i]) можно легко определить соседние с ней фигуры. Для этого нужно обратиться к массиву AI с индексами большими и меньшими i до тех пор, пока, значение AI[i] не выйдет за пределы S_k. Для проверки соседей необходимо сдвинуться по индексу k влево и вправо до тех пор, пока AN[k±Δ].x не превышает S_k.

C. Оценка сложности алгоритма

Для оценки сложности алгоритма стоит разобрать наиболее ресурсоёмкие операции, которыми являются:

1. вычисление центров покрывающих полигоны прямоугольников;
2. вычисление высот и ширин прямоугольников, покрывающих полигон;

Для выполнения этих операций определяются минимумы и максимумы среди всех N точек составляющих геометрию фигуры по всем осям.

Имея информацию обо всех углах покрывающего прямоугольника, не представляется сложным нахождение его ширины и высоты, так и получить координаты его центра. Таким образом, сложность вычисления центров покрывающих прямоугольников составляет $O(N)$, сложность вычисления размеров фигур (высоты и ширины) можно не учитывать в силу своей простоты.

Вычисление параметров всех полигонов строится на основе вычисления центров K полигонов, следовательно, сложность вычисления параметров всех полигонов слоя топологии можно оценить как $O(M \cdot K)$, где K – число полигонов, M – среднее число вершин каждого из полигонов.

По сравнению с этими операциями, все остальные операции будут выполняться практически за линейное время.

Таким образом, в среднем время работы предложенных алгоритмов формирования и хранения структуры топологий для последующего формирования графа противоречий можно аппроксимировать как $O(N \cdot K)$, где N – среднее число вершин полигонов на слое, K – число геометрических фигур на слое.

IV. Пример

В качестве примера был обработан топологический слой элемента NAND2. Исходная топология слоя показана на рис. 7-а. На рис. 7-б и 7-в показаны слои после обработки алгоритмом. Рис. 7-б показывает расположение условного центра координат объектов (для наглядности они представлены прямоугольниками достаточно большого размера, чтобы быть заметными на топологии слоя, отмечены синим цветом). На рис. 7-в показан слой с нанесённой областью, показывающей область покрытия фигуры.

В табл.1 приведён пример разреженной матрицы, хранящей информацию об изображении слоя топологии, представленной на рис. 7. Для удобства представления информации вектора расположены вертикально.

На основании представленных в таблице данных можно показать, как для конкретного элемента определить, какие элементы расположены к нему в пределах некоторого значения ε (в случае технологии двойного шаблона – критический размер разрешающей способности). Допустим, требуется установить, какие полигоны расположены в непосредственной близости от полигона P_{11} с точностью в 3.0 мкм. Из таблицы видно, что координаты центра этого полигона в микронах – (19.0, 59.0).

Таблица 1

Сформированная разреженная матрица координат

P#	AN			AJ	AI
	x, мкм	S		index	Y, мкм
		w, мкм	h, мкм		
1	16.5	34.0	11.0	1	11.5
2	16.5	5.0	5.0	2	11.4
3	8.5	4.0	17.5	3	10.825
4	24.5	4.0	18.5	4	10.775
5	8.5	5.0	20.0	5	93.5
6	16.5	5.0	20.0	8	64.0
7	24.5	5.0	20.0	10	61.5
8	11.0	5.0	5.0	11	59.0
9	19.0	5.0	5.0	12	57.25
10	23.25	17.5	52.0	13	36.0
11	19.0	5.0	20.0	14	26.0
12	8.25	4.0	14.0	16	11.5
13	21.5	9.5	7.0	17	6.0
14	8.5	4.0	11.0	18	5.0
15	21.5	5.0	20.0	19	0.0
16	8.5	5.0	5.0		
17	16.5	4.0	17.0		
18	15.0	31.0	11.0		
19	0.0	5.0	5.0		

Для определения ближайших соседей требуется выполнить два шага.

Шаг 1. Определение области интереса по оси ординат. Она составит 59.0 ± (3.0 + ½ · h) мкм, где h – высота рассматриваемого полигона. Таким образом, нас будут интересовать все полигоны, координаты Y которых лежат в диапазоне [46.0 .. 72.0] мкм. Из таблицы видно (последний столбец, хранящий значения по оси ординат, и четвёртый столбец, хранящий высоты полигонов), что центры ограничивающих прямоугольников с поправкой на собственную высоту в этом диапазоне имеют полигоны с индексами от 8 до 12, (P_{11} не учитываем, это рассматриваемый полигон).

Шаг 2. Для выбранных полигонов P_8, P_9, P_{10} и P_{12} требуется проверить координаты по оси абсцисс. Область интереса по оси абсцисс составляет 19.0 ± (3.0 + ½ · w) мкм, где w – ширина покрывающего прямоугольника рассматриваемого полигона, то есть необходимо найти полигоны из указанного списка, координаты которых по оси абсцисс лежат в диапазоне [13.5 .. 24.5] мкм. Из таблицы видно (второй столбец, хранящий значения по оси абсцисс, и третий столбец, хранящий ширины полигонов), что координат с поправкой на собственную ширину в этом диапазоне имеют все перечисленные полигоны, кроме P_{12}, что подтверждается визуально на рис. 8.

Таким образом, при формировании графа противоречий в задаче подготовки двойного шаблона при рассмотрении полигона P_{11} необходимо провести более точные вычисления для проверки близости его граней только с гранями пяти полигонов P_8, P_9 и P_{10}, а не перебирать все грани всех полигонов слоя.

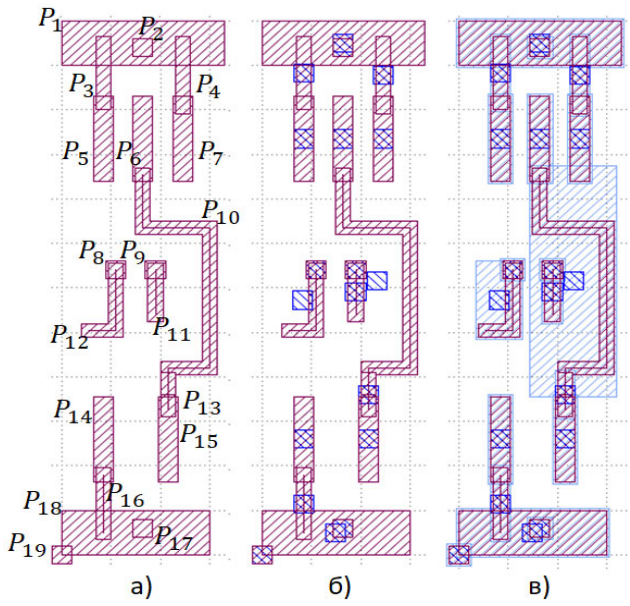


Рис. 8. Тестовый слой топологии элемента NAND2

V. Выводы

В работе представлены разработанный подход, позволяющий в компактном виде представлять информацию о взаимном расположении геометрических элементов для последующего выполнения задачи формирования графа противоречий и применения технологии двойного шаблона, а также описан алгоритм работы с предложенной структурой данных.

Показано, что предлагаемый формат хранения топологии для формирования графа противоречий является более компактным с точки зрения затрат оперативной памяти по сравнению с применяемыми в других рассмотренных алгоритмах.

Считая, что M – среднее число вершин в полигонах слоя, K – число полигонов в слое, большинство рассмотренных в литературных источниках алгоритмов определяют близость в среднем за время $O(M^2 \cdot K)$. Разработанный алгоритм позволяет обойти все полигоны в среднем за время $O(M \cdot K)$, при этом позволяет сэкономить память на хранение информации о расположении полигонов.

Поддержка

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 20-07-00556.

Литература

[1] Adapted from A. Raley et al. “A spacer-on-spacer scheme for self-aligned multiple patterning and integration,” Proc. SPIE 9782, 97820F (2016), URL: https://www.researchgate.net/publication/306088534_A_spacer-on-spacer_scheme_for_self-aligned_multiple_patterning_and_integration (дата обращения 02.04.2020).

[2] David Abercrombie. Will EUV Kill Multi-Patterning? Mentor Graphics Blog, 25.01.2017, URL:

https://blogs.mentor.com/calibre/blog/2017/01/25/will-euv-kill-multi-patterning/ (дата обращения 02.04.2020).
[3] Thiago Rosa Figueiro. Process modeling for proximity effect correction in electron beam lithography. Micro and nanotechnologies/Microelectronics. Université Grenoble Alpes, 2015. English. ffNNT : 2015GREAT011ff. URL: https://tel.archives-ouvertes.fr/tel-01206934/document (дата обращения 02.04.2020).
[4] Y. Ma, X. Zeng and B. Yu, "Methodologies for layout decomposition and mask optimization: A systematic review," 2017 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Abu Dhabi, 2017, pp. 1-6, doi: 10.1109/VLSI-SoC.2017.8203477.
[5] Lee S, Byers J, Jen K, Zimmerman P, Rice B, et al. 2008. An analysis of double exposure lithography options. Proc. SPIE 6924(Pt. 2):69242A.
[6] D. Z. Pan, J. Yang, K. Yuan, M. Cho and Y. Ban, "Layout optimizations for double patterning lithography," 2009 IEEE 8th International Conference on ASIC, Changsha, Hunan, 2009, pp. 726-729, doi: 10.1109/ASICON.2009.5351308.
[7] Andrew B. Kahng, Chul-Hong Park, Xu Xu and Hailong Yao. Layout Decomposition Approaches for Double Patterning Lithography. IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 29, NO. 6, JUNE 2010.
[8] M. Lin, Y. Li and K. Lin, "Color balancing aware double patterning," 2017 International Conference on Applied System Innovation (ICASI), Sapporo, 2017, pp. 284-287, doi: 10.1109/ICASI.2017.7988407.
[9] Minsik Cho, Yongchan Ban and D. Z. Pan, "Double patterning technology friendly detailed routing," 2008 IEEE/ACM International Conference on Computer-Aided Design, San Jose, CA, 2008, pp. 506-511, doi: 10.1109/ICCAD.2008.4681622.
[10] B. Yu, K. Yuan, D. Ding and D. Z. Pan, "Layout Decomposition for Triple Patterning Lithography," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 34, no. 3, pp. 433-446, March 2015, doi: 10.1109/TCAD.2014.2387840.
[11] A. Lvov, G.E. Téllez, G. Nam. On Coloring and Colorability Analysis of Integrated Circuits with Triple and Quadruple Patterning Techniques. ISPD '18: Proceedings of the 2018 International Symposium on Physical DesignMarch, 2018, pp 152–159.
[12] J. R. Allwright and R. Bordawekar and P. D. Coddington and K. Dincer and C. L. Martin. A Comparison of Parallel Graph Coloring Algorithms. Technical report, Syracuse University, 1995. URL: http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.45.4650 (дата обращения: 15.06.2020).
[13] P. Li et al., "High Performance Parallel Graph Coloring on GPGPUs," 2016 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW), Chicago, IL, 2016, pp. 845-854, doi: 10.1109/IPDPSW.2016.11.
[14] A. E. Sariyüce, E. Saule and Ü. V. Çatalyürek, "Scalable Hybrid Implementation of Graph Coloring Using MPI and OpenMP," 2012 IEEE 26th International Parallel and Distributed Processing Symposium Workshops & PhD Forum, Shanghai, 2012, pp. 1744-1753, doi: 10.1109/IPDPSW.2012.216.
[15] Khaled M. Soradi Nevin M. Darwish. Enhanced double patterning decomposition using lines encoding. Journal of Electrical Systems and Information Technology, Vol. 3, Issue 2, September 2016, pp. 210-216.
[16] K. Yuan, J.-S. Yang, and D. Z. Pan, Double patterning layout decom-position for simultaneous conflict and stitch minimization, inProc. Int.Symp. on Physical Design, March 2009.
[17] Верстов В.А. Высокопроизводительный алгоритм восстановления графовых моделей представления топологии сбис для технологии двойного шаблона. Молодёжный научно-технический вестник – Москва.: Издательство МГТУ им. Н.Э. Баумана, - Эл. журнал, № 10, сентябрь 2012. URL: http://ainsnt.ru/doc/482845.html (дата обращения: 115.06.2020).
[18] Верстов В.А. Параллельный алгоритм трансформации топологического слоя цифровой схемы при наличии ограничений технологии двойного шаблона: Автореф… дис. кан. техн. наук. – М.: 2016. – 16 с.
[19] F. Smailbegovic, G. Gaydadjiev, S. Vassiliadis, Sparse matrix storage format, in: Proceedings of the 16th Annual Workshop on Circuits, Systems and Signal Processing, 2005, pp. 445–448.

Speeding up Evaluation of Polygons Mutual Placement Task for Double Pattern Technology

D.A. Bulakh, A.V. Korshunov

National Research University of Electronic Technology, Moscow

dima@pkims.ru, korshun@gmail.com

***Abstract* — Manufacturing ICs with scale less than 22 nm using optical lithography requires the use of a number of special techniques for preliminary preprocessing layout information and the most used in nowadays is double patterning technology (DPT). Implementation of this technique requires to solve the main problem: how to compare all the distances between all the polygons within given layout. In this paper we propose an algorithm which is intended to reduce computations and allowing to detect only polygons that are in a required proximity.** **Funding: The reported study was funded by RFBR, project number 20-07-00556**

***Keywords* — VLSI, layout, double patterning, double exposure, sparse matrices**

REFERENCES

[1] Adapted from A. Raley et al. “A spacer-on-spacer scheme for self-aligned multiple patterning and integration,” Proc. SPIE

9782, 97820F (2016), URL: https://www.researchgate.net/publication/306088534_A_spacer-on-spacer_scheme_for_self-aligned_multiple_patterning_and_integration (access date 02.04.2020).
[2] David Abercrombie. Will EUV Kill Multi-Patterning? Mentor Graphics Blog, 25.01.2017, URL: https://blogs.mentor.com/calibre/blog/2017/01/25/will-euv-kill-multi-patterning/ (access date 02.04.2020).
[3] Thiago Rosa Figueiro. Process modeling for proximity effect correction in electron beam lithography. Micro and nanotechnologies/Microelectronics. Université Grenoble Alpes, 2015. English. ffNNT : 2015GREAT011ff. URL: https://tel.archives-ouvertes.fr/tel-01206934/document (access date 02.04.2020).
[4] Y. Ma, X. Zeng and B. Yu, "Methodologies for layout decomposition and mask optimization: A systematic review," 2017 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Abu Dhabi, 2017, pp. 1-6, doi: 10.1109/VLSI-SoC.2017.8203477.
[5] Lee S, Byers J, Jen K, Zimmerman P, Rice B, et al. 2008. An analysis of double exposure lithography options. Proc. SPIE 6924(Pt. 2):69242A.
[6] D. Z. Pan, J. Yang, K. Yuan, M. Cho and Y. Ban, "Layout optimizations for double patterning lithography," 2009 IEEE 8th International Conference on ASIC, Changsha, Hunan, 2009, pp. 726-729, doi: 10.1109/ASICON.2009.5351308.
[7] Andrew B. Kahng, Chul-Hong Park, Xu Xu and Hailong Yao. Layout Decomposition Approaches for Double Patterning Lithography. IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 29, NO. 6, JUNE 2010.
[8] M. Lin, Y. Li and K. Lin, "Color balancing aware double patterning," 2017 International Conference on Applied System Innovation (ICASI), Sapporo, 2017, pp. 284-287, doi: 10.1109/ICASI.2017.7988407.
[9] Minsik Cho, Yongchan Ban and D. Z. Pan, "Double patterning technology friendly detailed routing," 2008 IEEE/ACM International Conference on Computer-Aided Design, San Jose, CA, 2008, pp. 506-511, doi: 10.1109/ICCAD.2008.4681622.
[10] B. Yu, K. Yuan, D. Ding and D. Z. Pan, "Layout Decomposition for Triple Patterning Lithography," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 34, no. 3, pp. 433-446, March 2015, doi: 10.1109/TCAD.2014.2387840.
[11] A. Lvov, G.E. Téllez, G. Nam. On Coloring and Colorability Analysis of Integrated Circuits with Triple and Quadruple Patterning Techniques. ISPD '18: Proceedings of the 2018 International Symposium on Physical DesignMarch, 2018, pp 152–159.
[12] J. R. Allwright and R. Bordawekar and P. D. Coddington and K. Dincer and C. L. Martin. A Comparison of Parallel Graph Coloring Algorithms. Technical report, Syracuse University, 1995. URL: http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.45.4650 (access date: 15.06.2020).
[13] P. Li et al., "High Performance Parallel Graph Coloring on GPGPUs," 2016 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW), Chicago, IL, 2016, pp. 845-854, doi: 10.1109/IPDPSW.2016.11.
[14] A. E. Sariyüce, E. Saule and Ü. V. Çatalyürek, "Scalable Hybrid Implementation of Graph Coloring Using MPI and OpenMP," 2012 IEEE 26th International Parallel and Distributed Processing Symposium Workshops & PhD Forum, Shanghai, 2012, pp. 1744-1753, doi: 10.1109/IPDPSW.2012.216.
[15] Khaled M. Soradi Nevin M. Darwish. Enhanced double patterning decomposition using lines encoding. Journal of Electrical Systems and Information Technology, Vol. 3, Issue 2, September 2016, pp. 210-216.
[16] K. Yuan, J.-S. Yang, and D. Z. Pan, Double patterning layout decom-position for simultaneous conflict and stitch minimization, inProc. Int.Symp. on Physical Design, March 2009.
[17] Verstov V.A. Visokoproizvodutel'niy algoritm vosstanovlenija grafovykh modeley predstavleniya topologii SBIS dla tekhnologii dvoynogo shablona (High-performance algorithm for graph models reconstructing of the VLSIs layout representation for double patterning technology) // Molodezhniy nauchno-tekhnicheskiy vestnik – Moskva.: Izdatel'stvo MGTU im. Baumana, - El. zhurnal, № 10, sentjabr' 2012. URL: http://ainsnt.ru/doc/482845.html (access date: 15.06.2020).
[18] Verstov V.A. Parallel'niy algoritm transformacii topologicheskogo sloya cifrovoy shemi pri nalichii ogranicheniy tekhnologii dvoynogo shablona (Parallel algorithm for digital circuit layout transformation with the presence of double patterning technoology limitations) // Avtoref. dis. kan. tehn. nauk. – M.: 2016. – 16 p.
[19] F. Smailbegovic, G. Gaydadjiev, S. Vassiliadis, Sparse matrix storage format, in: Proceedings of the 16th Annual Workshop on Circuits, Systems and Signal Processing, 2005, pp. 445–448.

УДК 621.382.3 DOI: 10.31114/2078-7707-2020-3-49-56

Улучшенная процедура электротеплового моделирования силовых ДМОП каскадов ИС

К.О. Петросянц[1,2], И.А. Харитонов[1]

[1]Национальный исследовательский университет «Высшая школа экономики» (Московский институт электроники и математики), г. Москва, ikharitonov@hse.ru

[2]Институт проблем проектирования в микроэлектронике РАН, г. Москва, kpetrosyants@hse.ru

***Аннотация* — Описана улучшенная, с точки зрения времени расчета и точности, процедура многоуровневого (квази-3D анализ кристалла – SPICE моделирование) электротеплового моделирования характеристик выходных ДМОП каскадов силовых ИС с учетом влияния параметров корпуса микросхемы и печатной платы. Описаны внесенные в маршрут электро-теплового моделирования мощных ИС улучшения (улучшенная интеграция средств квази 3D и SPICE моделирования и модификация эквивалентной тепловой схемы), позволившие повысить точность квази 3D теплового моделирования кристалла микросхемы и существенно сократить время электро-теплового расчета характеристик мощных ИС. Приведен пример электро-теплового моделирования характеристик выходных ДМОП каскадов силовой ИС.**

***Ключевые слова* — интеллектуальные силовые интегральные схемы; БиКМОП/ДМОП-технология, электро-тепловое моделирование, квази-3D тепловое моделирование, электро-тепловые SPICE-модели, эквивалентные тепловые схемы, печатные платы.**

I. Введение

Одним из перспективных направлений развития силовой полупроводниковой электроники являются интеллектуальные (разумные) силовые интегральные схемы (ИСИС), включающие в себя как цифро-аналоговые схемы управления, так и мощные выходные каскады для управления нагрузкой. Они широко используются в устройствах промышленной (industrial), автомобильной (automotive), авиационной и ракетно-космической электроники, регуляторах мощности (drivers), устройствах освещения (lamps) и сигнализации, периферийных устройствах ЭВМ, и других областях.

Чаще всего такие схемы изготавливаются на основе комбинированной Би-КМОП-ДМОП технологии. Эта технология является наиболее перспективной, т.к. она позволяет реализовать на одной п/п подложке различные блоки современных субмикронных цифровых БИС, высокую линейность и широкие функциональные возможности аналоговых ИС среднего уровня интеграции, большую потребляемую мощность и высоковольтную изоляцию силовых элементов.

Спецификой ИСИС является работа выходных каскадов в «жестких» режимах при высоких уровнях тока (до 10-20 А), напряжения (до 1000 В), температуры нагрева элементов до 125-150 °С, скачков тока и напряжения в реактивных элементах нагрузочных устройств. Все эти факторы негативным образом влияют на надежность и срок службы микросхемы [1 - 4]. Поэтому обязательным этапом при проектировании мощных ИС является анализ электро-тепловых режимов работы отдельных мощных элементов и микросхемы в целом [3, 4, 6], с учетом особенностей топологии мощных транзисторов [3, 4], а также конструктивных решений улучшающих отвод избыточного тепла от кристалла микросхемы и условий размещения ИСИС на печатной плате [2, 3].

Электро-тепловое моделирование таких объектов является достаточно сложной многоуровневой задачей [3, 6, 7 и др.], т.к. необходимо проводить взаимоувязанные электро-тепловые расчеты на нескольких уровнях: на уровне полупроводникового кристалла, на уровне схемотехнического анализа работы мощного компонента и схемы с учетом нагрузки, температур активных компонентов, на уровне печатной плате с учетом корпуса микросхемы, условий ее размещения на печатной плате, условий охлаждения платы [1, 2, 3].

Подробный анализ методов моделирования и анализа электро-тепловых режимов интегральных схем различной степени интеграции приведен в книге [3]. Следует отметить, что работы в этой области посвящены следующим аспектам:

- подробному изучению электротепловых процессов в структуре мощного полупроводникового прибора (например, [4] и др.), недостаточно подробно учитывая при этом особенности крепления корпуса микросхемы на печатной плате и параметры печатной платы, или

- составлению эквивалентных электротепловых схем (различной степени сложности и подробности) для компонентов ИС с учетом электротепловых свойств как самих компонентов, так и корпуса микросхемы [4, 6, 7 и др.].

Близкие по сути задачи электротеплового моделирования возникают при исследовании тепловых режимов электронных компонентов для силовых схем

управления, чаще всего, мощных ДМОПТ и IGBT модулей, в гибридном или дискретном исполнении, с учетом конструкции корпуса компонента. Эта область электротеплового моделирования исследована лучше. Авторы чаще всего используют следующие основные маршруты моделирования:

1) использование средств численного 3D-моделирования конструкции мощного компонента, таких как ANSYS, Flotherm [7] и др. с последующим определением матриц тепловых сопротивлений для компонентов схем и последующим расчетом полученной тепловой схемы с добавлением тепловых сопротивлений элементов печатной платы или:

2) аналитические расчеты величин тепловых сопротивлений и емкостей элементов и частей кристалла, а также последующий расчет полученной суммарной тепловой схемы [5, 7] и др.

Первый маршрут дает достаточно подробные результаты электро-теплового режима силового компонента, но требует использования сложных и ресурсо-затратных средств 3D моделирования. Кроме того, для корректного расчета тепловых режимов электронных компонентов в упомянутых пакетах анализа ANSYS, Flotherm и др. требуется задание температуры корпуса интегральной схемы в виде граничного условия, которое существенно зависит от особенностей крепления ИС на печатной плате, параметров самой платы и условий ее охлаждения, что требует итерационного процесса электро-теплового моделирования с передачей информации между уровнями теплового моделирования: корпус компонента - печатная плата или блок.

Второй маршрут требует непростого разбиения структуры силового прибора на области и описания этих областей с помощью распределенной электро-тепловой схемы, включающей и тепловые параметры корпуса силового компонента. В результате получается сложная электро-тепловая схема включающая как микрообъекты (части полупроводниковой структуры), так и крупные объекты (корпус компонента, части печатной платы).

Одним из примеров многоуровневого электро-теплового моделирования тепловых режимов мощных электронных компонентов, начиная от температуры p-n-перехода и заканчивая температурами компонентов в составе электронного блока, является работа [7]. Для определения реальной температуры активной области кристалла (*Tjunct*) силового компонента авторы используют эквивалентную многозвенную тепловую RC-цепь, полученную путем объединения тепловой схемы активной области внутри корпуса микросхемы (рассчитанное с помощью пакета численного моделирования Flotherm) и тепловой схемы корпуса компонента, размещенного на печатной плате (используется кривая теплового импеданса в зависимости от времени импульса, полученная от изготовителя корпуса компонента) (см. рис. 1).

При отмеченной выше детализации, эквивалентная тепловая схема компонента от активной области кристалла компонента до окружающей среды имеет тепловые емкости от тысяч микроФарад (для активной области элемента) до единиц и десятков Фарад (для больших компонентов на печатной плат). При этом возникает хорошо известная проблема скорости расчета схемы при больших разбросах в постоянных времени схемы. Требуется нахождение установившегося значения температуры корпуса компонента на плате, т.е. расчета работы схемы до нескольких минут с шагом в доли микросекунд.

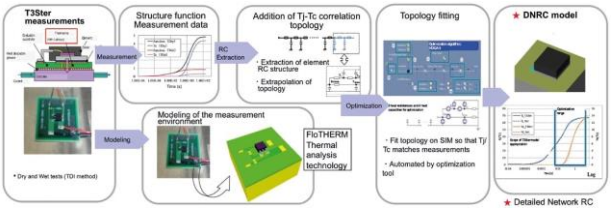


Рис. 1. Получение эквивалентной многозвенной тепловой RC- цепи мощного компонента путем объединения тепловой схемы активной области внутри корпуса микросхемы (из Flotherm) и тепловой схемы корпуса компонента, размещенного на печатной плате (из кривой теплового импеданса в зависимости от времени импульса, от изготовителя корпуса компонента) [9]

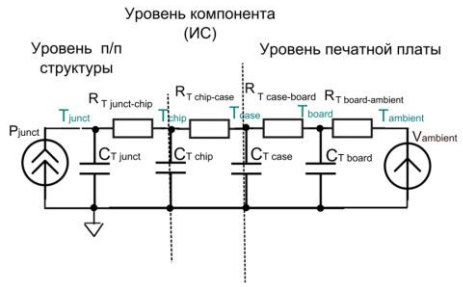


Рис. 2. Эквивалентная тепловая схема от активной области транзистора (силового компонента) *(Tjunct)* до окружающей среды

В качестве вариантов решения этой задачи предложено несколько методов [10], в частности:

- использование моделирования с различными постоянными времени для различных участков эквивалентной тепловой цепи [11] и др. При этом температура корпуса микросхемы *Tcase* принимается постоянной при расчетах процессов внутри кристалла и производится взаимоувязка результатов моделирования с разными постоянными времени;
- моделирование работы кристаллов отдельных компонентов с использованием данных о тепловых режимах компонентов на уровне платы, предварительно рассчитанных, сохраненных в виде наборов данных, и выбираемых в качестве граничных условий для моделирования тепловых режимов кристаллов [10, 12].

Подытоживая, можно отметить, что, несмотря на большое количество работ в области многоуровневого

электро-теплового моделирования характеристик мощных компонентов на платах, вопросы электро-теплового моделирования мощных каскадов силовых ИС с учетом влияния условий их размещения на печатных платах, рассмотрены недостаточно. Тем более, эти вопросы актуальны при имеющихся тенденциях к уменьшению размеров компонентов, блоков, возрастании удельных (на единицу объема) мощностей полупроводниковых компонентов.

II. Улучшенный маршрут электротеплового моделирования и анализа характеристик элементов силовых ИС

Ранее нами была отработана и описана подсистема многоуровневого электротеплового моделирования и тестирования элементов силовых ИС и мощных компонентов [13, 14] (от уровня полупроводниковых структур до печатных плат).

Использование в нашей подсистеме средств квазитрехмерного численного моделирования структуры полупроводникового кристалла (программа Overheat [13]) позволяет определить распределения температуры по топологии ИС, тепловые сопротивления, как мощных элементов интегральных схем, так и взаимные тепловые сопротивления между силовыми элементами, а также между силовыми элементами схемы и маломощными датчиками температуры для дальнейшего их использования при электротепловом SPICE-моделировании работы всей схемы. По сравнению с упомянутыми выше средствами полного теплового 3D-моделирования, наш вариант требует существенно меньших временных затрат как на подготовку данных, так и на сам процесс моделирования.

Поскольку точность тепловых расчетов с помощью программ 3D и квази 3D анализа кристалла ИС, существенно зависит от точности задания температуры корпуса микросхемы в качестве граничного условия, то в данной работе возможности подсистемы электротеплового моделирования силовых ИС расширены за счет улучшенной интеграции средств квази-трехмерного численного теплового моделирования кристалла и средств схемотехнического электротеплового анализа работы интегральной схемы и внесения коррекции в эквивалентную тепловую схему от активных элементов ИС до окружающей среды.

Аналогично упомянутой работе [11] и, исходя из нашего опыта моделирования, мы принимаем температуру корпуса микросхемы T_{case} постоянной при расчетах процессов внутри кристалла, выполняемых с помощью программы квази 3D теплового моделирования и (при необходимости) при схемотехническом анализе работы ИС с использованием электротепловых моделей компонентов ИС.

Кроме того, для ускорения процесса электротеплового SPICE-моделирования работы силовых ИС нами вносится описанная ниже коррекция в эквивалентную тепловую схему ИС.

Начальное значение температуры корпуса компонента T_{case} находится из схемотехнического моделирования электротеплового режима ИС с учетом печатной платы, используя разработанные ранее электро-тепловые модели мощных компонентов [13] и эквивалентную тепловую схему рис. 2, но с уменьшенными на 2-3 порядка значениями тепловых емкостей корпуса и печатной платы. При этом установившиеся значения температуры корпуса и платы достигаются быстрее (на 2-3 порядка), чем при расчете с реальными тепловыми емкостями, но обеспечивается корректный расчет быстрых электро-тепловых процессов в мощных компонентах ИС. После этого, рассчитанные мощности, выделяемые на силовых и др. компонентах ИС, усредняются по времени и вместе с температурой (T_{case}) передаются в пакет квази-трехмерного анализа теплового режима ИС.

Для определения реального времени выхода корпуса ИС на стационарный тепловой режим, суммарная мощность, выделяемая на мощных ДМОП каскадах ИС (P_{MOS_total}), усредняется по времени и задается в виде источника тока для укороченной тепловой цепи корпуса (см. рис. 3) микросхемы, его крепления и параметров печатной платы (с реальными значениями тепловых емкостей).

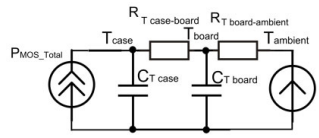


Рис. 3. Эквивалентная тепловая схема от кристалла микросхемы с суммарной мощностью микросхемы (P_{MOS_Total}) до среды при реальных тепловых емкостях корпуса микросхемы и области печатной платы

При этом определяются реальные постоянные времени нагрева корпуса компонента и области печатной платы в месте его крепления.

Параметры тепловой цепи (рис. 3) для корпуса ИС могут определяться или из кривых зависимостей теплового импеданса компонента от длительности импульса мощности, приводимых изготовителем компонентов, или из результатов теплового анализа компонента на плате, выполняемых с помощью пакетов моделирования тепловых режимов печатных плат, таких, как Асоника TM, HyperLynxThermal (Mentor Graphics) и др.

III. Пример электротеплового моделирования работы выходных ДМОП-каскадов силовой ИС

Рассмотрим пример электротеплового моделирования работы схемы интегрального БиКМОП-ДМОП драйвера для управления электроприводом и/или автомобильным двигателем (рис. 4), использующего мощные ДМОПТ в выходных каскадах микросхем. Данная схема разрабатывалась

как аналог микросхемы L6203 производства компании STMicroelectronic [15]. Мощные ДМОП-транзисторы, включённые в Н-мостовую схему, занимают около двух третей общей площади п/п кристалла. Размер кристалла 6,2x3,6 мм^2.

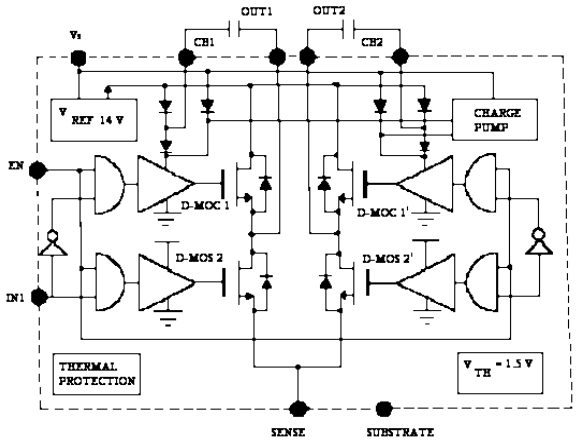


Рис. 4. Выводы и структурная схема микросхемы Би-КМОП/ДМОП-драйвера для управления электроприводом и/или автомобильным двигателем

Данная микросхема обеспечивает следующие технические характеристики:

- максимальный рабочий ток 12 А;
- максимальное коммутируемое напряжение 60 В;
- сопротивление ДМОП транзистора в открытом состоянии 0,3-1,3 Ом;
- максимальная рабочая температура 125 ºС в статическом и 150 ºС в динамическом режиме.
- корпус микросхемы - Multiwatt11 (рис. 5), имеющий медный фланец для крепления на теплоотвод.

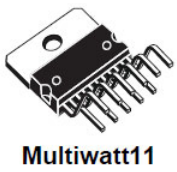
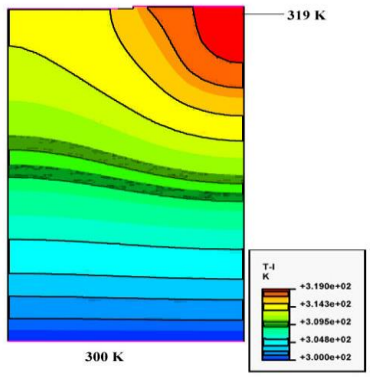
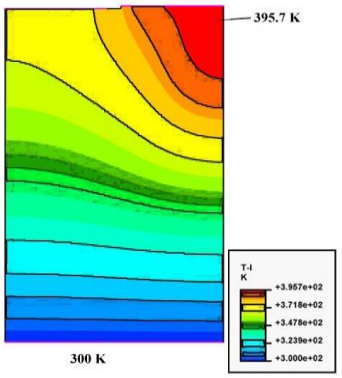


Рис. 5. Изображение корпуса multiwatt11 силовой ИС

На первом этапе проводилось *приборно-технологическое моделирование структуры мощного ДМОП транзистора* в системе Synopsys TCAD для выявления областей возможного перегрева внутри структуры мощного транзистора, определения степени проявления эффекта саморазогрева транзистора и определения параметров электротепловой модели мощного МОПТ. На рис. 6 приведены смоделированные в системе Synopsys TCAD двумерные распределения температуры в структуре ДМОП транзистора в режиме рассеивания небольшой мощности ($U_{СИ}$=12 В и $U_З$=10 В (рис. 6а) и в режиме рассеивания большой мощности ($U_{СИ}$=32 В и $U_З$=10 В (рис. 6б). На рис. 7 приведены смоделированные в системе Synopsys TCAD стоковые характеристики (плотность тока) структуры ДМОП транзистора без учета эффекта «саморазогрева» и с учетом эффекта «саморазогрева». Результаты расчетов позволили определить параметры схемотехнической макромодели мощного МОПТ, тепловой части и элементов учета эффектов саморазогрева.



(а)



(б)

Рис. 6. Смоделированное в системе Synopsys TCAD двумерные распределения температуры в структуре ДМОП транзистора в режиме рассеивания небольшой мощности ($U_{СИ}$=12 В и $U_З$=10 В) – (а) и в режиме большой мощности ($U_{СИ}$=32 В и $U_З$=10 В) - (б)

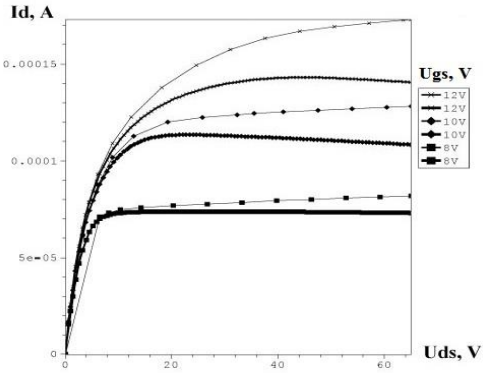


Рис. 7. Смоделированные в системе Synopsys TCAD стоковые характеристики (плотности тока стока) структуры ДМОП транзистора (рис.): тонкие линии - без учета эффекта «саморазогрева»; толстые линии - с учетом эффекта «саморазогрева»

Далее выполнялся *квази-трехмерный расчет кристалла микросхемы* драйвера с помощью программы Overheat и определялись тепловые параметры $R_{th\ j\text{-}case}$ и $C_{j\ 1}$ мощных ДМОП-транзисторов *(для единичных мощностей)*:

$R_{th\ j\text{-}case} = 5$ °/Вт (для одного ДМОПТ), $C_{j1} = 100$ мкФ.

При необходимости из программы Overheat определяются тепловые сопротивления как между мощными транзисторами, так и между мощными транзисторами и температурными датчиками схемы защиты (в данной статье не рассматриваются).

Затем выполнялся схемотехнический расчет всей схемы драйвера, в которой мощные элементы представлялись в виде разработанных ранее электротепловых моделей, учитывающих эффекты саморазогрева, и рассчитывались мощности и температуры мощных элементов схемы. На этом этапе использовались параметры тепловой подсхемы (рис. 2), найденные на этапах приборно-технологического моделирования струтуры ДМОП транзистора и квази-трехмерного теплового моделирования кристалла силовой ИС.

Для контроля корректности получаемых значений использовались тепловые параметры кристалла ИС из описания микросхемы- аналога [15].

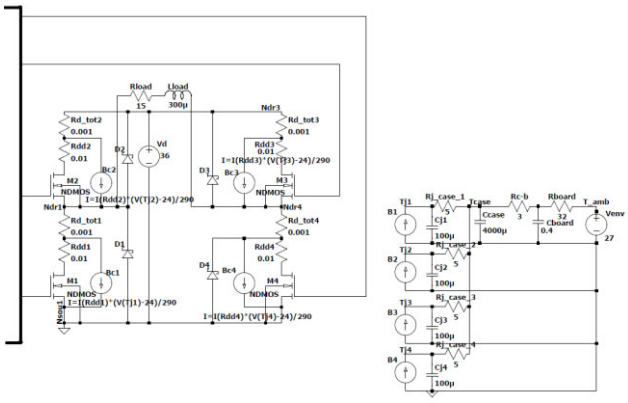


Рис. 8. Фрагмент схемы силовой ИС с выходным мостом на ДМОПТ, нагрузкой *Rload, Cload* (слева) и полной эквивалентной тепловой схемой (справа на рисунке) для корпуса Multiwatt11 и размещения микросхемы на печатной плате

В качестве иллюстрации на рис. 8 приведен фрагмент схемы силовой ИС с выходным мостом на ДМОПТ, нагрузкой *Rload, Cload* и полной эквивалентной тепловой схемой (справа на рисунке). Полная тепловая схема складывается из 2-х частей:

- внутри корпуса микросхемы (*Rj-case, Cj*): тепловых параметров ДМОПТ, параметров кристалла и особенностей крепления кристалла на корпус микросхемы (найденных с помощью квази-трехмерного теплового моделирования) и

- внешней части *(Rc-board, Ccase, R2, C2)* – от корпуса микросхемы до окружающей среды. Эти параметры определяются из тепловых параметров корпуса микросхемы с учетом его крепления на печатной плат [15], приводимых в технических данных на используемый корпус микросхемы.

На рис. 9 приведены результаты схемотехнического моделирования с помощью разработанных электротепловых моделей изменения температуры активной области ДМОП *(V(Tj1))*, корпуса микросхемы *(V(Tcase)) и* платы в месте установки ИС *(V(Tboard))* в процессе включения микросхемы на номинальный режим, при пиковом значении тока нагрузки 2 А и *уменьшенных тепловых емкостях* корпуса микросхемы и области печатной платы (от единиц Фарад до тысяч микрофарад) *для снижения времени расчета* до установления стационарного теплового режима.

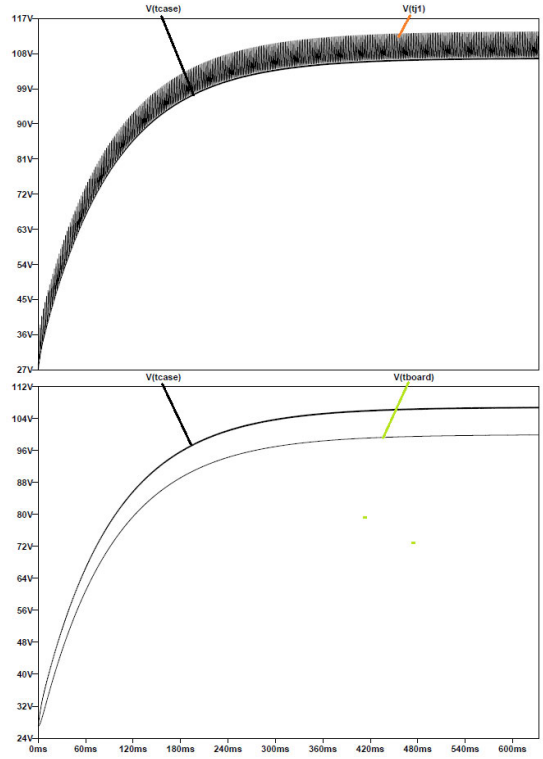


Рис. 9. Схемотехнически смоделированные с помощью электро-тепловых моделей изменения температуры платы в месте установки ИС (*V(Tboard)*), корпуса микросхемы *(V(Tcase))* и активной области ДМОП *(V(Tj1))* в процессе включения микросхемы, при пиковом значении тока нагрузки 2 А и уменьшенных тепловых емкостях корпуса микросхемы и области печатной платы

На рис. 10 приведены схемотехнически смоделированные изменения температуры корпуса микросхемы (*V(Tcase))* в процессе включения микросхемы, при задании суммарной мощности (меняющейся скачком) микросхемы в качестве источника тока для тепловой цепи (рис. 4) и *реальных тепловых емкостях* корпуса микросхемы и области печатной платы. Суммарная усредненная по времени мощность 4-х ДМОПТ составляет 2,2 Вт.

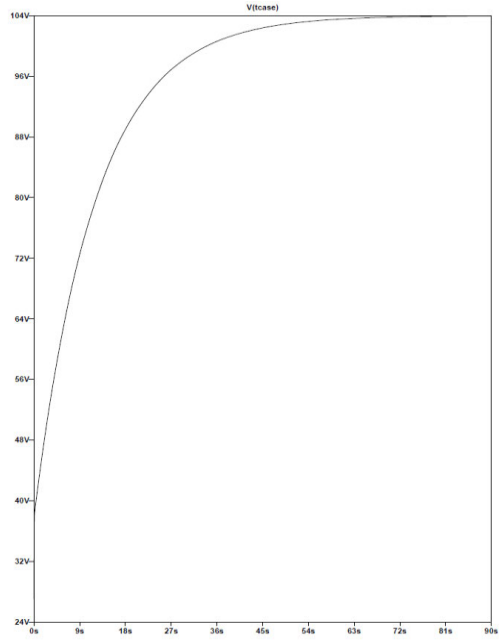


Рис. 10. Схемотехнически смоделированное изменение температуры корпуса микросхемы (V(Tcase)) в процессе включения микросхемы при задании суммарной мощности микросхемы в качестве источника тока для тепловой цепи и реальных тепловых емкостях корпуса микросхемы и области печатной платы

Характер изменения температуры активных областей ДМОПТ для *полной* тепловой схемы (рис. 3) получается посредством учета быстрых изменений температуры, полученных при расчете с уменьшенными тепловыми емкостями, и медленных изменений температуры корпуса ИС, полученных при реальных значениях тепловых емкостей эквивалентной тепловой схемы.

Сравнение затрат процессорного времени (CPU time) (Intel Core I5, 3.3 ГГц, 6 Гбайт):

- Детальный расчет всей схемы драйвера до 600 мс с полной тепловой схемой, но с уменьшенными до 1000 мкФ тепловыми емкостями *Ccase, Cboard* (рис. 9). - CPU time 280 с.

- Детальный расчет всей схемы драйвера до 90 с с полной тепловой схемой с реальными тепловыми емкостями *Ccase, Cboard* - CPU time 4 390 с.

- SPICE расчет только тепловой схемы (рис. 3) до 90 с, (времени установления стационарного теплового режима) с реальными тепловыми емкостями *Ccase, Cboard* и представлением суммарной мощности всех 4-х ДМОП в виде скачком включаемого генератора постоянной мощности - CPU time 0.32 с.

Видно существенное (около 15 раз) уменьшение затрат процессорного времени на электротепловой расчет характеристик схемы ИС с мощными элементами при уменьшенных емкостях корпуса и печатной платы в эквивалентной тепловой схеме.

На следующем шаге выполнялся уточненный *квазитрехмерный расчет кристалла микросхемы* драйвера с помощью программы Overheat с использованием *уточненных* значений мощностей мощных МОПТ и температуры корпуса микросхемы (*Tcase*), найденных на этапе схемотехнического моделирования с использованием электротепловых моделей, и выполнялся расчет распределения температуры по поверхности кристалла (см. рис. 11) и выявление возможного перегрева областей мощных ДМОПТ. Областей локального перегрева не было выявлено.

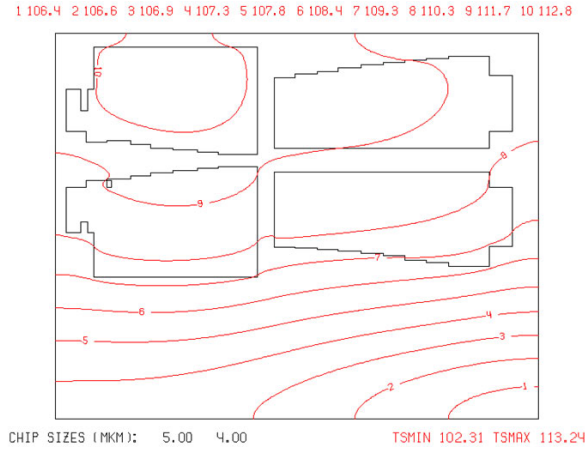


Рис. 11. Смоделированные с помощью программы Overheat изолинии температуры на поверхности силовой микросхемы управления и контроля работы электродвигателя с выходным мостом на мощных ДМОПТ (4 области мощных транзисторов вверху рисунка)

Из сравнения рисунков 9 и 11 видно, что расхождение значений температуры, рассчитанных с помощью электротепловых моделей мощных ДМОПТ и рассчитанных с помощью программы Overheat, составляет не более 3-5° (не более 4%). Полученные значения суммарных тепловых сопротивлений мощных ДМОПТ близки к значениям теплового сопротивления от активной области кристалла микросхемы до окружающей среды (*Rht_j_amb* ~ 35 °С/Вт) для использованной мощности и варианта размещения корпуса микросхемы L6203 на плате ([15]).

IV. Выводы

Улучшенное совместное использование средств квази-3D теплового анализа кристалла мощной ИС и электротеплового SPICE-моделирования работы выходных каскадов мощной ИС с учетом параметров ее корпуса и печатной платы, позволило повысить точность и скорость расчета температур мощных выходных элементов ИС. Это достигнуто за счет передачи температуры корпуса ИС из этапа ускоренного схемотехнического анализа работы ИС (с использованием электротепловых моделей мощных компонентов и с учетом тепловых параметров корпуса ИС и печатной платы) в этап квази-3D теплового анализа кристалла.

Модификация эквивалентной тепловой цепи от активной области силового компонента ИС до среды (уменьшение тепловых емкостей корпуса и печатной платы) позволила существенно сократить время схемотехнического моделирования работы ИС на этапе анализа электротепловых режимов мощных каскадов ИС.

Использование программы квази-3D теплового моделирования кристалла ИС/мощного компонента позволяет существенно упростить процесс моделирования и уменьшить временные затраты на тепловой расчет выходных каскадов силовых ИС по сравнению с пакетами полного 3D-моделирования ANSYS, FloTherm и др.

Поскольку часть эквивалентной тепловой цепи от корпуса микросхемы/компонента до окружающей среды одинакова как для ИС, так и для дискретного мощного компонента, доработанная процедура моделирования позволяет более эффективно анализировать электротепловые характеристики не только мощных компонентов ИС, но и силовых компонентов в гибридном или дискретном исполнении с учетом их размещения на печатной плате.

Поддержка

Данная работа выполнена при финансовой поддержке РФФИ в рамках грантов №18-07-00898-а и №20-57-53004.

Литература

[1] A.Kleinitz Effecient Thermal Management of Power MOSFETs, Vital to Improve The Reability of Your Power Conversion Application. URL:http://www.onsemi/site/pdf/Efficient_Thermal_Management_of_Power_MOSFETs.pdf (дата обращения 05.04.2019).

[2] Wang, M. Liserre, and F. Blaabjerg Toward reliable power electronics - challenges, design tools and opportunities // IEEE Industrial Electronics Magazine, 2013, vol. 7, no. 2, P. 17-26.

[3] A. Vassighi, M. Sachdev. Thermal and Power Management of Integrated Circuits // Springer. 2006. 189 pages.

[4] Pfost, J. Joos, M. Stecher. Measurement and Simulation of Self-Heating in DMOS Transistors up to Very High Temperatures // Proc. of 20-th International symp. on power semicomd. devices & ICs. 2008, pp. 209-212.

[5] Maxim, A., Andreu, D., & Boucher, J. SPICE electrothermal modeling of power integrated circuits // Proc. 21st International Conference on Microelectronics. 1997. P. 1-4.

[6] M. Rencz, V. Szekely, A. Pahi, A. Poppe. Algorithmic and practical questions of electrothermal circuit simulation // Proc. SPIE 3893. Design, Characterization, and Packaging for MEMS and Microelectronics. 1999. P. 176-187.

[7] C. Lin, W. Wong, and B. Liu Current density and hot spot prediction using electrical-thermal co-simulation for multi-layer IC packages // Proc. of the 8th Electronics Packaging Technology Conference (EPTC'06). 2006. P. 849-852.

[8] V.A. Koval ; D.V. Fedasyuk Multilevel thermal simulation of MCM's by system 'MONSTR-M' // Proc. the European Design and Test Conference. ED&TC. 1995. P. 544-548.

[9] Shinoda T. Three-thermal-simulation-test-innovations-for-electronics-equipment-design // Articles, Electronics Cooling Blog, Featured, Technologies, Test & Measurement June 26, 2019, Thermal Simulation. https://www.electronics-cooling.com/2019/06/three-thermal-simulation-test-innovations-for-electronics-equipment-design/ (дата обращения 10.04.2019).

[10] Ceccarelli L., Kotecha R. M., Bahman A. S., Iannuzzo F., Alan H. Mission-Profile-Based Lifetime Prediction for a SiC MOSFET Power Module Using a Multi-Step Condition-Mapping Simulation Strategy // IEEE Transactions on Power Electronics. 2019. Vol. 34. P. 9698-9708.

[11] Ma K.and Blaabjerg F. Multi-timescale modelling for the loading behaviours of power electronics converter // Proc. of IEEE Energy Conversion Congress and Exposition (ECCE). 2015. P. 5749–5756.

[12] Lorenzo Ceccarelli, Advanced Modeling of SiC Power MOSFETs aimed to the Reliability Evaluation of Power Modules // Dissertation, Aalborg Universitet. 2019.

[13] Petrosyants K.O., Kharitonov I.A., Ryabov N.I., Kozynko P.A. Multilevel System for Thermal Design, Control and Management of Electronic Components // Proc. of the Intl. Conf. on Advances in Computer Science and Electronics Engineering – CSEE. 2014. P. 15-155.

[14] Petrosyants K.O., Kharitonov I.A., Ryabov N.I. Electro-Thermal Design of Smart Power Devices and Integrated Circuits // Advanced Materials Research. 2014. P. 191-194.

[15] L6201, L6202 - L6203, DMOS FULL BRIDGE DRIVER. Data sheet. STMicroelectronics. 2003.

An Improved Procedure for Electro-Thermal Simulation of the Characteristics of Bi-CMOS-DMOS IC Output Stages

K.O. Petrosyants[1,2], I.A. Kharitonov[1]

[1]National Research University “Higher School of Economics” (Moscow Institute of Electronics and Mathematics), E-mail: kpetrosyants@hse.ru, ikharitonov@hse.ru

[2]Institute for Design Problems in Microelectronics, Russian Academy of Sciences, Moscow

***Abstract* — An improved procedure of multilevel (quasi-3D thermal analysis of IC chip - SPICE simulation of power IC circuit) electro-thermal simulation of the characteristics of the output stages of Bi-CMOS-DMOS IC is described with account for the IC layout, package and the printed circuit board parameters. The following improvements were introduced to the electro-thermal simulation flow: 1) enhanced interaction between quasi-3D thermal analysis of IC chip and electro-thermal SPICE simulation of power IC circuit - IC package temperature calculated by SPICE electro-**

thermal simulation were transferred to quasi-3D thermal analysis tool that allowed to reduce error in IC chip thermal simulation. 2) IC component thermal network modification – reduction (2…3 orders of value) of IC package and PCB parts thermal capacitances that allowed to substantially reduce time of SPICE electro-thermal simulation of DMOS FETs temperature variations. Example of electro-thermal simulation of the characteristics of DMOS output stages is presented. The improvements make it possible to increase the accuracy of the quasi 3D thermal simulation of IC chip and to reduce the simulation time of the combined electro-thermal simulation of the power IC output stages characteristics.

Keywords **— smart power integrated circuits; Bi-CMOS--DMOS, electro-thermal simulation, quasy 3D thermal simulation, electro-thermal SPICE models, thermal network, printed circuit board.**

REFERENCES

[1] A.Kleinitz Effecient Thermal Management of Power MOSFETs, Vital to Improve The Reability of Your Power Conversion Application . URL:http://www.onsemi/site/pdf/Efficient_Thermal_Management_of_Power_MOSFETs.pdf (accessed 05.04.2019)

[2] Wang, M. Liserre, and F. Blaabjerg Toward reliable power electronics - challenges, design tools and opportunities // IEEE Industrial Electronics Magazine, 2013, vol. 7, no. 2, P. 17-26.

[3] A. Vassighi, M. Sachdev. Thermal and Power Management of Integrated Circuits // Springer. 2006. 189 pages.

[4] Pfost, J. Joos, M. Stecher. Measurement and Simulation of Self-Heating in DMOS Transistors up to Very High Temperatures // Proc. of 20-th International symp. on power semicomd. devices & ICs. 2008, pp. 209-212.

[5] Maxim, A., Andreu, D., & Boucher, J. SPICE electrothermal modeling of power integrated circuits // Proc. 21st International Conference on Microelectronics. 1997. P. 1-4.

[6] M. Rencz, V. Szekely, A. Pahi, A. Poppe. Algorithmic and practical questions of electrothermal circuit simulation // Proc. SPIE 3893. Design, Characterization, and Packaging for MEMS and Microelectronics. 1999. P. 176-187.

[7] C. Lin, W. Wong, and B. Liu Current density and hot spot prediction using electrical-thermal co-simulation for multi-layer IC packages // Proc. of the 8th Electronics Packaging Technology Conference (EPTC'06). 2006. P. 849-852.

[8] V.A. Koval ; D.V. Fedasyuk Multilevel thermal simulation of MCM's by system 'MONSTR-M' // Proc. the European Design and Test Conference. ED&TC. 1995. P. 544-548.

[9] Shinoda T. Three-thermal-simulation-test-innovations-for-electronics-equipment-design // Articles, Electronics Cooling Blog, Featured, Technologies, Test & Measurement June 26, 2019, Thermal Simulation. https://www.electronics-cooling.com/2019/06/three-thermal-simulation-test-innovations-for-electronics-equipment-design/ (accessed 10.04.2019).

[10] Ceccarelli L., Kotecha R. M., Bahman A. S., Iannuzzo F., Alan H. Mission-Profile-Based Lifetime Prediction for a SiC MOSFET Power Module Using a Multi-Step Condition-Mapping Simulation Strategy // IEEE Transactions on Power Electronics. 2019. Vol. 34. P. 9698-9708.

[11].Ma K.and Blaabjerg F. Multi-timescale modelling for the loading behaviours of power electronics converter // Proc. of IEEE Energy Conversion Congress and Exposition (ECCE). 2015. P. 5749–5756.

[12] Lorenzo Ceccarelli, Advanced Modeling of SiC Power MOSFETs aimed to the Reliability Evaluation of Power Modules // Dissertation, Aalborg Universitet. 2019.

[13] Petrosyants K.O., Kharitonov I.A., Ryabov N.I., Kozynko P.A. Multilevel System for Thermal Design, Control and Management of Electronic Components // Proc. of the Intl. Conf. on Advances in Computer Science and Electronics Engineering – CSEE. 2014. P. 15-155.

[14] Petrosyants K. O., Kharitonov I. A., Ryabov N. I. Electro-Thermal Design of Smart Power Devices and Integrated Circuits // Advanced Materials Research. 2014. P. 191-194.

[15] L6201, L6202 - L6203, DMOS FULL BRIDGE DRIVER. Data sheet. STMicroelectronics. 2003.

УДК 004.052.42 DOI: 10.31114/2078-7707-2020-3-57-64

Функциональная верификация атомарных операций с использованием анализа конфликтов блокировок

Н.А. Гревцев, П.А. Чибисов

ФГУ ФНЦ НИИСИ РАН, г. Москва

ngrevcev@cs.niisi.ras.ru, chibisov@niisi.ras.ru

***Аннотация* — Известно, что симметричный мультипроцессор (SMP) должен использовать набор механизмов синхронизации для достижения результатов, свободных от состояния гонки, а также для корректного распределения ресурсов. Было доказано, что использование атомарных операций для доступа к разделяемым областям памяти в SMP-системах является основным методом предотвращения потери данных при реализации в программном обеспечении таких примитивов, как mutual exclusion, spinlock, thread execution barrier. Современные микропроцессорные архитектуры предоставляют различные виды атомарных операций, например, инструкции LL и SC на микропроцессорах с архитектурой MIPS используются в связке, чтобы гарантировать атомарность доступа к общей памяти для операций чтения и записи.**

Механизмы синхронизации, такие как критические секции и барьеры, используемые для обеспечения исключительного доступа к разделяемым ресурсам, являются потенциальным узким местом производительности в многопоточных приложениях. Существует множество подходов, предлагающих различные методы для анализа и уменьшения влияния этой проблемы в программном или аппаратном обеспечении. Описанные подходы количественно измеряют накладные расходы на механизмы синхронизации, а также оценивают влияние данных примитивов синхронизации на общее время выполнения многопоточных приложений.

Все упомянутые исследования и описанный в литературе опыт могут быть использованы для расширения покрытия функциональной верификации атомарных операций. Функциональная верификация атомарных операций является достаточно трудоемким процессом, поскольку корректность работы атомарных операций не может быть проверена с помощью стохастических методов генерации тестов в силу непредсказуемости их поведения. Об этом свидетельствует отсутствие достаточной информации по данной теме, что с одной стороны могло бы означать, что атомарные операции были успешно проверены традиционными методами. Однако можно найти по крайней мере две ссылки на задокументированные ошибки известных процессоров, в которых перечислены проблемы, связанные с неправильным поведением атомарных операций.

Представленный в статье анализ механизмов синхронизации является методом, который фокусируется не на вопросах производительности, а на функциональной верификации инструкций атомарных операций, которые обеспечивают основу механизмов синхронизации.

***Ключевые слова* — lock contention, cache contention, атомарные инструкции, функциональная верификация, псевдослучайная направленная генерация тестов, тесты производительности, PARSEC, lock torture, тестовое покрытие.**

I. Введение

Функциональная верификация атомарных операций является довольно длительным и трудоемким процессом, поскольку атомарные операции не могут быть проверены с помощью стохастических методов генерации тестов из-за непредсказуемого результата выполнения атомарных операций. В следствии чего, эталонный эмулятор, используемый в традиционном маршруте верификации для сравнения результатов выполнения тестов, не применим при тестировании данной области микроархитектуры. Для создания новой методики тестирования атомарных инструкций были использованы методы анализа и прогнозирования конфликтов блокировки. Представленная статья является продолжением исследования, посвященного верификации атомарных операций [28].

Обычно принято избегать совместного использования данных при написании многопоточных программ [1]. Например, ложное разделение данных - это широко известная проблема в многопоточных приложениях, которая может значительно уменьшить как производительность, так и масштабируемость [2], [3], [4]. Тем не менее, различные виды синхронизации между потоками, такие как барьеры или критические секции необходимы, следовательно, нельзя избежать конфликтов при получении исключительного доступа к разделяемым ресурсам (это называется истинным совместным использованием). Использование атомарных операций для доступа к областям общей памяти в SMP-системах является основным методом предотвращения повреждения данных. Атомарные операции – это примитивы синхронизации самого низкого уровня. Они используются в качестве строительных блоков для конструкций более высокого уровня, таких как, например, барьеры, *mutual exclusion*, *spinlock* (рис. 1).

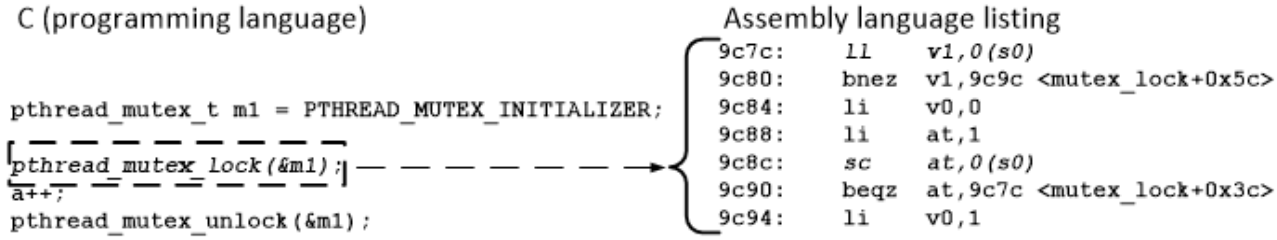


Рис. 1. Пример атомарных операций в программном коде

Известно, что механизмы синхронизации, такие как критические секции, также подвержены влиянию конфликтов когерентности данных [5].

Существует множество подходов, предлагающих различные методы для анализа и уменьшения этих проблем в программном или аппаратном обеспечении. Эти подходы количественно определяют накладные расходы на выполнение механизмов синхронизации или оценивают влияние, которое эти примитивы оказывают на время выполнения многопоточных приложений [6–15]. Тем не менее, разумно создавать тестовые ситуации с совместным использованием областей данных всеми потоками, если требуется проверить взаимодействие между ядрами. Ключевым аспектом представленной статьи является то, что все предыдущие исследования и опыт могут быть использованы для увеличения охвата функциональной верификации атомарных операций.

II. АТОМАРНЫЕ ОПЕРАЦИИ НА ПРОГРАММНО-АППАРАТНОМ УРОВНЕ

Согласно документации MIPS Architecture [16], связка инструкций LL (*Load Linked*) и SC (*Store Conditional*) предоставляет примитив для реализации атомарных операций чтение-модификация-запись (RMW) для областей памяти. Когда инструкция LL выполняется, она запускает активную RMW последовательность, заменяя любую другую последовательность, которая была активной. Последовательность RMW завершается последующей инструкцией SC, которая либо завершает последовательность RMW атомарно и успешно, либо завершается неудачно. Разрыв последовательности при выполнении LL и SC происходит при любом из следующих событий: когерентная запись другим ядром процессора в совпадающий блок физической памяти или выполнение команды «eret» (exception return). LL и SC используются для атомарного обновления областей памяти, как показано ниже:

L1: LL T1, (T0)	# Load Linked — считать счетчик
ADDI T2, T1, 1	# операция инкремента
SC T2, (T0)	#Store Conditional – попытка сохранения, с проверкой на атомарность
BEQ T2, 0, L1	# если операция не атомарна (0), повтор попытки
NOP	# слот задержки

Приведенный программный код является базовым примером, который используется для конструирования таких примитивов, как барьеры, mutual exclusion, spinlock.

Процесс тестирования начинается с создания простых рукописных тестов на языке ассемблера, направленных на проверку основных аспектов выполнения атомарных инструкций. Даже простой пример рукописного теста должен учитывать все соответствующие факторы, которые могут привести к ошибкам и несоответствиям. Конечно, невозможно провести исчерпывающий поиск по всем возможным комбинациям тестов вручную. Поэтому первый вопрос - как провести эвристический поиск и создать автоматизированную или частично автоматизированную систему генерации тестов. Второй вопрос еще более значим: атомарные операции не могут быть проверены с помощью стохастических методов генерации тестов из-за их непредсказуемой природы. Это означает, что эталонный эмулятор (ISS), который обычно используется для получения ожидаемых результатов выполняемого теста, неприменим. Поэтому было предложено использовать один из подходов самопроверки.

На ранних этапах цикла разработки RTL-модели были использованы простые рукописные тесты на языке ассемблера с внутренней самопроверкой. Простейшими примерами параллельных программных алгоритмов с гонками данных, которые могут быть реализованы без поддержки библиотек операционной системы, являются операции с массивами и связанные списки [1]. Эти алгоритмы были выбраны по следующим причинам: 1) они представляют собой фрагменты реальных вычислительных задач; 2) их можно вручную разделить на произвольное число параллельных потоков; 3) можно легко назначить критические секции кода для защиты переменных данных, которые связаны и не могут делиться между потоками; 4) адреса блокировок (рассматриваемых атомарных инструкций) могут быть намеренно смешаны с переменными структур данных, чтобы увеличить число конфликтов блокировок. Кроме того, обнаружено, что генерация тестов таких тестов должна быть частично или полностью автоматизирована для успешной функциональной проверки пары команд LL и SC. Ситуации истинного и ложного разделения данных могут также быть упомянуты среди соответствующих факторов, которые оказывают сильное влияние на выполнение инструкций LL и SC.

Для увеличения покрытия тестирования атомарных операций в течении функциональной верификации RTL-модели требуется расширить имеющиеся подходы многоядерного направленного стохастического тестирования. Решение в значительной степени основывается на результатах предыдущих исследований [7], [9], посвященных вопросам конкуренции за распределенные ресурсы (например, кэш-память и память), конкуренции за программные ресурсы (для блокировок и барьеров потоков), издержек распараллеливания и дисбаланса рабочей нагрузки [17]. Главным образом, требуется сосредоточиться на понимании конфликтов блокировок. В параллельной программе использование общих данных обычно защищено блокировками, чтобы гарантировать исключительный доступ. Если несколько потоков пытаются получить доступ к совпадающим данным, только один поток может получить доступ в один момент времени, остальные вынуждены ждать вместо выполнения полезной работы [7]. Это называют конфликтом блокировки [7], [8].

Механизмы синхронизации, такие как критические секции, используемые для обеспечения исключительного доступа к критическим ресурсам и структурам данных, являются хорошо известными потенциальными узкими местами производительности в многопоточных приложениях [10]. Было изучено множество подходов, предлагающих различные методы, позволяющие обнаружить и сократить влияние примитивов синхронизации в программном или аппаратном обеспечении. Эти подходы позволяют количественно оценить накладные расходы на выполнение механизмов синхронизации или оценить влияние, которое эти примитивы оказывают на время выполнения многопоточных приложений. В отличие от этих подходов, вместо стремления к увеличению производительности в статье рассматривается концепция состязания за блокировку (аналогичные термины «конкуренция за потоки» или «конкуренция за кэш-память») в контексте создания нового метода повышения качества функциональной верификации атомарных операций.

Следует подчеркнуть, что концепция конкуренции за блокировку напрямую связана с атомарными инструкциями (рис. 2). Однако, с точки зрения программиста, конфликт блокировок – это условие, которое: а) ограничивает степень параллелизма путем сериализации доступа к защищенным общим данным или б) связано с бездействием в выполнении потока. Обычно эти условия упоминаются как причины снижения производительности, и считается важным минимизировать суммарное количество атомарных операций, которые требуются во время критических секций [9].

Несмотря на то, что при написании параллельных программ и драйверов ядра ОС рекомендуется избегать конфликтов данных, предлагаемый в статье подход, напротив, заключается в создании случайных тестовых ситуаций с разделяемыми областями данных между потоками, для намеренного повышения интенсивности взаимодействия между атомарными инструкциями в более короткий период времени.

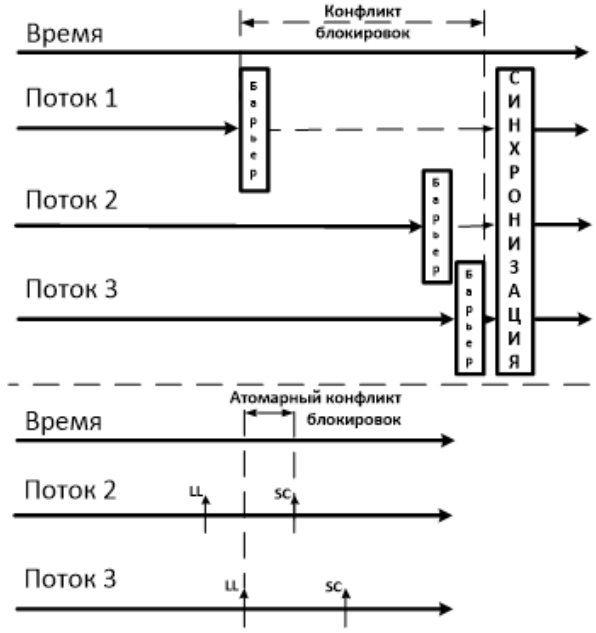


Рис. 2. Конфликт блокировки и атомарный конфликт блокировки на примере барьера

Предлагаемое определение конфликтов отличается от общепринятого. Необходимо создать конфликты атомарных операций таким образом, чтобы полностью проверить их функциональность. Определим этот тип конкуренции (для простоты возьмем только два ядра) как совпадение двух одновременно выполняемых пар инструкций Load Linked и Store Conditional на разных ядрах процессора, если они используют один и тот же физический адрес и одна из инструкций Store Conditional прерывает выполнение.

Результаты исследований показывают, что вероятность конфликта LL-SC на несколько порядков меньше, чем вероятность возникновения общего конфликта кэш-памяти или блокировки. Это может быть объяснено тем фактом, что конфликт LL-SC возникает как следствие конфликта кэш-памяти (рис. 3), но вероятность разрыва связки LL-SC значительно меньше. Также стоит отметить, что число уникальных обращений к памяти, сделанных между двумя атомарными обращениями к одной и той же ячейке памяти, представляет особый интерес для исследования [18]. Этот метод, называемый анализом расстояний повторного использования (reuse distance), может быть эффективен для измерения локальности данных атомарных операций [19].

III. Экспериментальная оценка существующих нагрузочных тестов с точки зрения возникновения конфликтов блокировок

Этот раздел отвечает на следующие вопросы:

1) Какова связь между конфликтом блокировок и конфликтом атомарных операций с точки зрения времени выполнения?

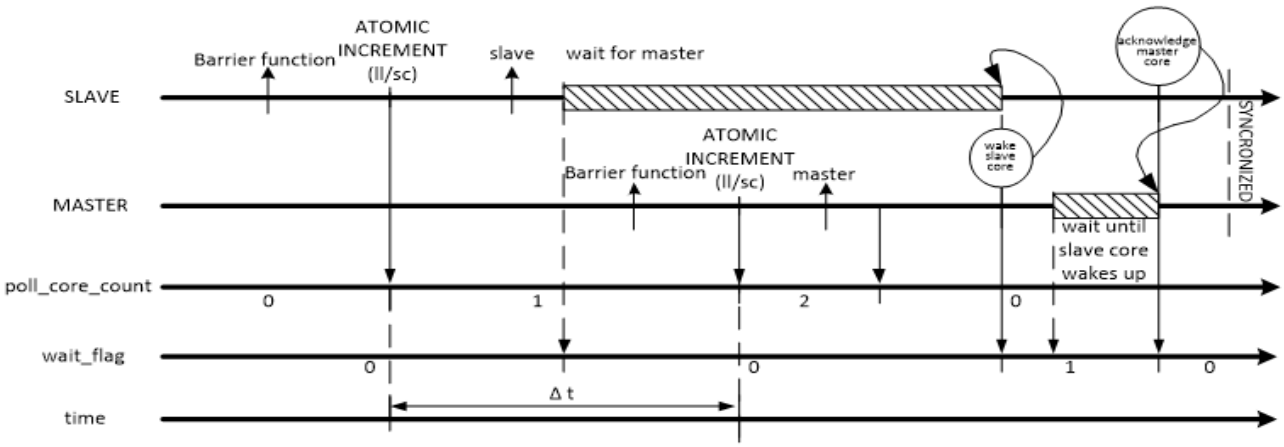


Рис. 3. Общий вид барьерной функции

2) Какова вероятность выполнения атомарных операций при выполнении группы репрезентативных тестов?

3) Как оценить частоту возникновения разрыва связки Load Linked - Store Conditional?

4) Как использовать полученную информацию для улучшения качества функциональной верификации инструкций Load Linked и Store Conditional?

Чтобы ответить на эти вопросы, используются реальные приложения из современного набора многопоточных программных тестов PARSEC 2.1 [20]. Репрезентативная часть каждого теста выполняется в MIPS Instruction Set Simulator, чтобы получить трассировку инструкций достаточной длинны. Было принято во внимание, что для каждого бенчмарка существует так называемая область интереса (region of interest, ROI) [21], которая указывает, какая часть бенчмарка выполняется параллельно. Параметр ROI также важен для гарантии того, что результаты, полученные при моделировании, отражали реальное поведение программы.

Выполняя моделирование только области ROI с набором входов simmedium (который подходит для микроархитектурных исследований на симуляторах [22]), удалось существенно сократить время моделирования.

Представленная далее стратегия измерения частоты разрывов LL-SC была оценена на пакете тестов Linux Kernel Lock Torture Test [23], который можно запустить как часть Linux Test Project (LTP) [24]. Этот стресс-тест состоит из нескольких потоков ядра, которые получают блокировку и удерживают ее в течение определенного времени, таким образом моделируя различное поведение критической секции. Степень конкуренции за блокировку может быть смоделирована путем увеличения времени удержания этой критической области и / или путем создания большего количества kthreads [23].

Во-первых, были последовательно изучены ключевые характеристики тестов PARSEC, особенно разнообразие примитивов синхронизации. Во-вторых, выбраны 5 эталонных тестов и некоторые другие пользовательские приложения, известные как наиболее высоко нагруженные с точки зрения количества блокировок [20]. В-третьих, было проведено моделирование и получены результаты тестов с точки зрения поведения инструкций LL и SC (Таблица 1), а также рассмотрена вариативность структур примитивов синхронизации. Полученные знания о конфликтах блокировок могут помочь понять, как расширить методы генерации случайных тестов для проверки атомарных инструкций.

Эксперименты были проведены на 2-ядерном симуляторе архитектуры MIPS под управлением Debian GNU / Linux 9 «stretch». Был применен gcc-6.3.0 с оптимизацией «-O3» с ядром Linux 4.15. Во всех экспериментах с тестами PARSEC используются входные наборы simmedium. В ходе эксперимента моделируются только ROI каждого теста и используется трассировка инструкций длиной 10^8 инструкций процессора для каждого ядра, которая содержит всю необходимую информацию. Было получено соотношение команд загрузки и сохранения, количество атомарных инструкций (LL и SC), уникальные атомарные инструкции, выполняемые только на одном ядре (их программные счетчики, PC), общие и частные адреса для атомарных команд, а также были рассмотрены события, приводящие к разрыву связки LL-SC. Результаты оценки поведения команд LL и SC показаны в табл. 1.

Важно изучить все типичные блоки программного кода, содержащие атомарные инструкции, и типы операций, которые вызвали сбой SC. Однако вероятность сбоя инструкций SC, наблюдаемых в сложных реальных приложениях, запускаемых на симуляторе, показывает, что условия гонки и сбои SC крайне редки для такой корреляции общих адресов.

Таблица 1

Оценка результатов тестов с точки зрения поведения инструкций LL и SC

Название теста		Total Reads (M)	Total Writes (M)	Total LL executed	Total SC executed	Unique PCs of LLs	LL unique access addresses	Private/ Shared LL addresses	SC Failed (LL-SC Broken)
PARSEC	streamcluster	55.08	0.65	6,695	6,033	18	17	13/4	122
	fluidanimate	54.83	10.46	219,779	219,770	37	3449	1,914/1,535	4
	bodytrack	38.49	12.28	129,893	129,866	123	187	141/46	0
	blackscholes	3.51	1.46	91,452	91,450	53	82	82/0	0
	ferret	47.80	15.96	23,677	23,515	23,666	637	549/66	5
LTP: locktorture	spin_lock	40.17	17.20	1,563,381	1,559,146	54	82	44/38	591
	spin_lock_irq	39.12	17.05	1,493,647	1,489,073	19	42	23/19	483
	rw_lock	17.99	3.10	478,720	476,367	30	40	23/17	2
	rw_lock_irq	15.31	4.76	865,469	864,679	28	40	32/8	0
	mutex_lock	8.78	2.67	530,696	530,688	30	54	42/12	0
	rwsem_lock	7.60	2.31	459,437	459,437	18	36	32/4	0
	rtmutex_lock	34.29	17.05	2,028,869	1,886,839	13	21	18/3	0
	ww_mutex_lock	14.75	4.47	892,719	892,717	24	35	34/1	0
	percpu_rwsemlock	12.12	3.68	732,757	732,756	23	45	26/19	0

Предлагаемая стратегия, напротив, предназначена для преднамеренного увеличения конфликтов LL-SC при создании и запуске случайных проверочных тестов для RTL-модели многоядерного процессора.

IV. Метод повышения содержания атомарных операций в случайных тестах

После анализа поведения тестов авторы пришли к выводу, что для эффективной проверки этой области проектирования микропроцессоров, необходимо решить три основные задачи:

- значительное уменьшение расстояния повторного использования (временная локализация) [18];
- увеличение процента общих адресов (пространственная локализация);
- диверсификация циклов LL-SC.

Все эти задачи могут быть решены с помощью направленной генерации случайных тестов. Важно понимать, что ошибки в поведении RTL-модели обычно связаны с сочетанием многих факторов, таких как попадания или промахи в кэш-памяти всех уровней, типы зависимости регистров, поведение блока предсказания ветвлений и т. д. Поэтому один из показателей тестового покрытия связан с вариативностью циклов LL-SC. Тем не менее, следует отметить, что полностью случайно (произвольно) сгенерированный цикл LL-SC может быть либо по своей природе невыполнимым (может вызвать динамическую блокировку), либо результат его выполнения будет непредсказуем.

Полученные уникальные комбинации циклов LL-SC (см. табл. 1) могут быть использованы для дальнейшего процесса тестирования. Предполагается, что набор тестов, представленных выше, охватывает большинство способов использования атомарных операций. Все полученные комбинации могут быть классифицированы в соответствии с их структурой (с точки зрения типов инструкций и их зависимостей).

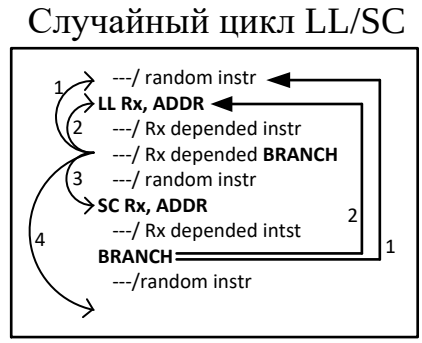


Рис. 4. Формализованный LL-CS цикл

Чтобы охватить все оставшиеся возможные ситуации, результирующий набор тестовых ситуаций может быть формализован и представлен в виде псевдокода, показанного на рис. 4.

Цикл всегда состоит из инструкций LL и SC, обращающихся к одному и тому же адресу, и инструкции перехода в зависимости от результата выполнения инструкции SC. Пространство между LL и SC может быть

заполнено произвольным количеством случайных инструкций с некоторыми ограничениями.

Чтобы направить генератор к интересным событиям (определенным областям в дизайне или некоторому конкретному сценарию выполнения атомарных инструкций), в генератор вносится интеллект, то есть экспертное знание инженера-верификатора (*testing knowledge*) [25]. Создаваемые генератором ситуации могут быть бессмысленны с точки зрения программиста, потому что они не могут возникнуть в реальных приложениях. В то же время они позволяют найти ошибки архитектуры, увеличивая сложность и разнообразие тестовых ситуаций. Комбинации всех циклов LL-SC, генерируемых по предлагаемым моделям, обеспечивают 100% покрытия сценариев использования LL-SC.

Чтобы обеспечить правильное функционирование атомарных операций, необходимо проверить, является ли сбой SC корректным в зависимости от различных типов когерентных записей в любой момент времени. Поскольку эту проблему невозможно решить с помощью комбинаторных тестов, направленный генератор псевдослучайных тестов с достаточно большой рандомизацией может служить инструментом для создания случайных сбоев атомарности LL-SC. Текущий тестовый генератор Ristretto [26] был расширен для создания тестовых случаев со случайными комбинациями загрузки / сохранения и атомарных инструкций для генерации необходимых входных воздействий. Кроме того, потоки, созданные генератором, могут одновременно использовать совместные ресурсы памяти для инициирования взаимодействий и когерентных транзакций на системной шине. Также есть возможность направлять процесс тестирования, изменяя вероятность ложного совместного использования данных, минимальные и максимальные размеры областей памяти и частоту появления макросов в тесте.

Псевдослучайные пары LL-SC, полученные на предыдущем шаге, добавляются в шаблон теста в виде макросов и имеют такое же распределение памяти, что и обычные инструкции загрузки / сохранения. Поскольку каждый поток имеет доступ к своим собственным байтам в строке кэш-памяти (и в области памяти) во время выполнения подтеста, конечное состояние сегмента памяти после выполнения цикла LL-SC является детерминированным [27]. В то же время обращения к памяти из разных потоков могут принадлежать совпадающим строкам кэш-памяти, а тестовые последовательности обращений к памяти имеют случайный характер. Это приводит к тому, что вероятность сбоя SC зависит от временной локализации и пространственной локализации, которые задаются в шаблоне случайного теста. Следовательно, общая частота конфликтов LL-SC зависит от качества генератора псевдослучайных тестов и от распределения памяти между потоками.

Пример теста, полученного представленным способом, а также распределение памяти между потоками показан на рис. 5. Очевидно, что каждый атомарный макрос в таком случае имеет очень маленькое расстояние повторного использования (т.е. высокую частоту появления в трассе теста) из-за большого количества запросов от другого ядра к совпадающей строке кэш-памяти. Гарантируется, что любой тип цикла LL-SC из наиболее высоконагруженных с точки зрения конфликтов кэш-памяти приложений пользователя охватывается сгенерированными тестовыми примерами в разных контекстах выполнения.

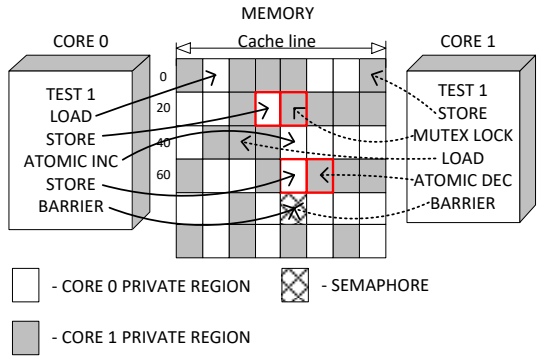


Рис. 5. Распределение памяти между потоками

Все критические ошибки, найденные этим методом, можно разделить по нескольким группам:

- инструкция SC сообщила об успехе, но не записала значение в память;
- инструкция SC сообщила об отмене исполнения, но записала значение в память;
- инструкция SC не распознала когерентную запись от другого ядра и записала значение в память.

V. Заключение

В статье изучаются причины и вероятность возникновения конфликтов блокировок в многопоточных приложениях пользователя. Результаты исследования временной локальности и пространственной локальности атомарных операций позволяют увеличить вероятность конфликта блокировок в создаваемых тестовых сценариях. Представленная стратегия, в отличии от многих предыдущих исследований, основана на намеренном увеличении числа конфликтов атомарных пар инструкций LL-SC при создании случайных тестов для RTL-модели многоядерного процессора. В статье доказывается, что предложенная новая методика будет охватывать все возможные сценарии использования атомарных инструкций, которые можно найти в реальных приложениях.

Предложенный подход был успешно применен для верификации RTL-модели двухъядерного микропроцессора с архитектурой SMP, разработанной в НИИСИ РАН. Этот метод позволил обнаружить большинство ошибок согласованности памяти, остановок конвейера, взаимоблокировок и других случаев ошибочного поведения атомарных операций. Преимущество метода заключается в отсутствии необходимости изменять стратегию и процесс верификации для адаптации к новому проекту. Кроме того, возможно нахождение ошибки автоматически из-за стохастической природы генератора.

Литература

[1] M. Herlihy and N. Shavit. The Art of Multiprocessor Programming, Revised Reprint. Elsevier, 2012.

[2] T. Liu et al., "PREDATOR: Predictive false sharing detection", PPoPP 2014.

[3] Tongping Liu , Xu Liu, Cheetah: detecting false sharing efficiently and effectively, Proceedings of the 2016 International Symposium on Code Generation and Optimization, March 12-18, 2016.

[4] Zhao, Q., Koh, D., Raza, S., Bruening, D., Wong,W.-F., Amarasinghe, S. Dynamic Cache Contention Detection in Multi-threaded Applications. In Proceedings of the international conference on Virtual Execution Environments, VEE'11, pages 27–38, 2011.

[5] A. Starke. Locking in os kernels for smp systems. Citeseer, 2006.

[6] Xu, C., Chen, X., Dick, R.P., Mao, Z.M.: Cache Contention and Application Performance Prediction for Multi-Core Systems. In: Proceedings of the 2010 IEEE International Symposium on Performance Analysis of Systems and Softwares IEEE ISPASS 2010, White Plains NY, USA, pp. 76–86.

[7] X Pan, J Lindén, B Jonsson Predicting the Cost of Lock Contention in Parallel Applications on Multicores using Analytic Modeling - MCC12, 2012.

[8] R. Gu, G. Gin, L. Song, L. Zhu, and S. Lu, "What change history tells us about thread synchronization", in FSE, August 2015.

[9] N. R. Tallent, J. M. Mellor-Crummey, and A. Porterfield, "Analyzing lock contention in multithreaded applications," in PPoPP, February 2010.

[10] G. Chen, P. Stenstrom Critical lock analysis: Diagnosing critical section bottlenecks in multithreaded applications. In Proceedings of Supercomputing: the International Conference on High Performance Computing, Networking, Storage and Analysis (SC), pages 71:171:11, Nov. 2012.

[11] H. Ding, X. Liao ; H. Jin ; X. Lv ; R. Guo Reducing lock contention on multi-core platforms. In Proceedings of 20th IEEE International Conference on Parallel and Distributed Systems (ICPADS), 2014.

[12] Gramoli, V. More than you ever wanted to know about synchronization: synchrobench, measuring the impact of the synchronization on concurrent algorithms. In Proceedings of 20th ACM SIGPLAN Symposium on Principles and Practice of Parallel Programming, PPoPP 2015, pp. 1–10.

[13] Kempf S., Veldema R., Philippsen M. (2013) Compiler-Guided Identification of Critical Sections in Parallel Code. In: Jhala R., De Bosschere K. (eds) Compiler Construction. CC 2013. Lecture Notes in Computer Science, vol 7791. Springer, Berlin, Heidelberg.

[14] S. Dutta, S. Manakkadu, and D. Kagaris, "Classifying performance bottlenecks in multi-threaded applications," in MCSoc 2014, September 2014.

[15] Sahelices B., Ibáñez P., Viñals V., Llabería J.M. (2009) A Methodology to Characterize Critical Section Bottlenecks in DSM Multiprocessors. In: Sips H., Epema D., Lin HX. (eds) Euro-Par 2009 Parallel Processing. Euro-Par 2009. Lecture Notes in Computer Science, vol 5704. Springer, Berlin, Heidelberg.

[16] MIPS64™Architecture For Programmers, V.2:The MIPS64™ Instruction Set Reference Manual, Revision 6.04, MIPS Technologies Inc., 2015, 551 pp.

[17] Jungju Oh, Christopher J. Hughes, Guru Venkataramani, and MilosPrvulovic. 2011. LIME: A Framework for Debugging Load Imbalancein Multi-threaded Execution. InProceedings of the 33rd InternationalConference on Software Engineering (ICSE). 201–210.

[18] K. Beyls, E. D'Hollander Reuse Distance as a Metric for Cache Behavior. In Proceedings of the IASTED International Conference on Parallel and Distributed Computing and Systems, IASTED, 2001. p.617-622.

[19] R. Hemani, S. Banerjee, A. Guha, "Accord: An analytical cache contention model using reuse distances for modern multiprocessors", 21st Annual International Conference on High Performance Computing Student Research Symposium (HiPC SRS), December 2014.

[20] Bienia, S. Kumar, J. P. Singh, K. Li, The parsec benchmark suite: Characterization and architectural implications, in: Proceedings of the17th International Conference on Parallel Architectures and Compilation Techniques, 2008.

[21] G. Southern and J. Renau. Analysis of PARSEC workload scalability. In 2016 IEEE International Symposium on Performance Analysis ofSystems and Software (ISPASS), pages 133–142, April 2016.

[22] A Memo on Exploration of SPLASH-2 Input Sets PARSEC Group Princeton University, 2011.

[23] Kernel Lock Torture Test Operation[Electronic resource] https://www.kernel.org/doc/Documentation/locking/locktorture.txt

[24] Modak, Singh, YAMATO Putting LTP to Test - validating the Linux Kernel and test cases. Proceedings of the 2009 Montreal Linux Symposium, July 2009, Montreal, Canada.

[25] IBM: Katz, Yoav, Rimon, Michal, Ziv, Avi and Shaked, Gai. "Learning microarchitectural behaviors to improve stimuli generation quality." Paper presented at the meeting of the DAC, 2011.

[26] Ristretto: random test generator for multicore microprocessor cache coherence verification A.V. Smirnov, P.A. Chibisov SELECTED ARTICLES of the VIII All-Russia Science&Technology Conference MES-2018 Part 1

[27] Multicore Processor Models Verification in the Early Stages N.A. Grevtsev, P.A. Chibisov SELECTED ARTICLES of the VIII All-Russia Science&Technology Conference MES-2018 Part1

[28] N.A. Grevtsev, P.A. Chibisov, "A novel technique for atomic instructions functional verification using lock contention analysis," 2019 IEEE East-West Design & Test Symposium (EWDTS).

Atomic Instructions Random Tests Generation Using Lock Contention Analysis

N.A. Grevtsev, P.A. Chibisov

SRISA RAS, Moscow

ngrevcev@cs.niisi.ras.ru, chibisov@niisi.ras.ru

***Abstract* — Atomic operations functional verification is known to be a rather labour-intensive process because atomic operations cannot be tested with the help of stochastic test generation methods due to their unpredictable nature.**

Atomic operations are synchronization primitives used as building blocks for mutual exclusions, spinlocks, and thread execution barriers.

There are numerous approaches proposing a variety of methods to analyze and reduce lock contention problems in software or in hardware. These approaches quantify the synchronization mechanisms execution overhead or assess the impact these primitives have on the completion time of multithreaded application.

However, it is reasonable to create test cases with forced shared data areas between threads intentionally to test the interaction between cores. In the paper, we propose to apply all previous researches to increase the coverage of atomic operations functional verification.

According to the mentioned methods, we run PARSEC benchmarks and Linux Kernel Lock Torture Test to estimate and find the most contented segments of code in these applications. The obtained knowledge has been applied for extension of our current test generator Ristretto to create test cases with random load/store and atomic instructions combinations to generate necessary stimulus.

The discussed approach was successfully tried out in practice on the verification process of the RTL-model of dual-core microprocessor with SMP developed in SRISA RAS. The advantage of the technique is that there is no need to change verification strategy and process to adjust to a new project design.

***Keywords* — lock contention, cache contention, atomic instructions, functional verification, random test generation, PARSEC benchmark, lock torture, test coverage, simulator.**

REFERENCES

[1] M. Herlihy and N. Shavit. The Art of Multiprocessor Programming, Revised Reprint. Elsevier, 2012.

[2] T. Liu et al., "PREDATOR: Predictive false sharing detection", PPoPP 2014.

[3] Tongping Liu , Xu Liu, Cheetah: detecting false sharing efficiently and effectively, Proceedings of the 2016 International Symposium on Code Generation and Optimization, March 12-18, 2016.

[4] Zhao, Q., Koh, D., Raza, S., Bruening, D., Wong,W.-F., Amarasinghe, S. Dynamic Cache Contention Detection in Multi-threaded Applications. In Proceedings of the international conference on Virtual Execution Environments, VEE'11, pages 27–38, 2011.

[5] A. Starke. Locking in os kernels for smp systems. Citeseer, 2006.

[6] Xu, C., Chen, X., Dick, R.P., Mao, Z.M.: Cache Contention and Application Performance Prediction for Multi-Core Systems. In: Proceedings of the 2010 IEEE International Symposium on Performance Analysis of Systems and Softwares IEEE ISPASS 2010, White Plains NY, USA, pp. 76–86.

[7] X Pan, J Lindén, B Jonsson Predicting the Cost of Lock Contention in Parallel Applications on Multicores using Analytic Modeling - MCC12, 2012.

[8] R. Gu, G. Gin, L. Song, L. Zhu, and S. Lu, "What change history tells us about thread synchronization", in FSE, August 2015.

[9] N. R. Tallent, J. M. Mellor-Crummey, and A. Porterfield, "Analyzing lock contention in multithreaded applications," in PPoPP, February 2010.

[10] G. Chen, P. Stenstrom Critical lock analysis: Diagnosing critical section bottlenecks in multithreaded applications. In Proceedings of Supercomputing: the International Conference on High Performance Computing, Networking, Storage and Analysis (SC), pages 71:171:11, Nov. 2012.

[11] H. Ding, X. Liao ; H. Jin ; X. Lv ; R. Guo Reducing lock contention on multi-core platforms. In Proceedings of 20th IEEE International Conference on Parallel and Distributed Systems (ICPADS), 2014.

[12] Gramoli, V. More than you ever wanted to know about synchronization: synchrobench, measuring the impact of the synchronization on concurrent algorithms. In Proceedings of 20th ACM SIGPLAN Symposium on Principles and Practice of Parallel Programming, PPoPP 2015, pp. 1–10.

[13] Kempf S., Veldema R., Philippsen M. (2013) Compiler-Guided Identification of Critical Sections in Parallel Code. In: Jhala R., De Bosschere K. (eds) Compiler Construction. CC 2013. Lecture Notes in Computer Science, vol 7791. Springer, Berlin, Heidelberg.

[14] S. Dutta, S. Manakkadu, and D. Kagaris, "Classifying performance bottlenecks in multi-threaded applications," in MCSoc 2014, September 2014.

[15] Sahelices B., Ibáñez P., Viñals V., Llabería J.M. (2009) A Methodology to Characterize Critical Section Bottlenecks in DSM Multiprocessors. In: Sips H., Epema D., Lin HX. (eds) Euro-Par 2009 Parallel Processing. Euro-Par 2009. Lecture Notes in Computer Science, vol 5704. Springer, Berlin, Heidelberg.

[16] MIPS64™Architecture For Programmers, V.2:The MIPS64™ Instruction Set Reference Manual, Revision 6.04, MIPS Technologies Inc., 2015, 551 pp.

[17] Jungju Oh, Christopher J. Hughes, Guru Venkataramani, and MilosPrvulovic. 2011. LIME: A Framework for Debugging Load Imbalancein Multi-threaded Execution. InProceedings of the 33rd InternationalConference on Software Engineering (ICSE). 201–210.

[18] K. Beyls, E. D'Hollander Reuse Distance as a Metric for Cache Behavior. In Proceedings of the IASTED International Conference on Parallel and Distributed Computing and Systems, IASTED, 2001. p.617-622.

[19] R. Hemani, S. Banerjee, A. Guha, "Accord: An analytical cache contention model using reuse distances for modern multiprocessors", 21st Annual International Conference on High Performance Computing Student Research Symposium (HiPC SRS), December 2014.

[20] Bienia, S. Kumar, J. P. Singh, K. Li, The parsec benchmark suite: Characterization and architectural implications, in: Proceedings of the17th International Conference on Parallel Architectures and Compilation Techniques, 2008.

[21] G. Southern and J. Renau. Analysis of PARSEC workload scalability. In 2016 IEEE International Symposium on Performance Analysis ofSystems and Software (ISPASS), pages 133–142, April 2016.

[22] A Memo on Exploration of SPLASH-2 Input Sets PARSEC Group Princeton University, 2011.

[23] Kernel Lock Torture Test Operation[Electronic resource] https://www.kernel.org/doc/Documentation/locking/locktorture.txt

[24] Modak, Singh, YAMATO Putting LTP to Test - validating the Linux Kernel and test cases. Proceedings of the 2009 Montreal Linux Symposium, July 2009, Montreal, Canada..

[25] IBM: Katz, Yoav, Rimon, Michal, Ziv, Avi and Shaked, Gai. "Learning microarchitectural behaviors to improve stimuli generation quality." Paper presented at the meeting of the DAC, 2011.

[26] Ristretto: random test generator for multicore microprocessor cache coherence verification A.V. Smirnov, P.A. Chibisov SELECTED ARTICLES of the VIII All-Russia Science&Technology Conference MES-2018 Part 1

[27] Multicore Processor Models Verification in the Early Stages N.A. Grevtsev, P.A. Chibisov SELECTED ARTICLES of the VIII All-Russia Science&Technology Conference MES-2018 Part 1

[28] N.A. Grevtsev, P.A. Chibisov, "A novel technique for atomic instructions functional verification using lock contention analysis," 2019 IEEE East-West Design & Test Symposium (EWDTS).

УДК: 681.31 DOI: 10.31114/2078-7707-2020-3-65-72

Математическая модель функционирования специализированного микропроцессорного устройства как основа для составления его функциональной спецификации

А.К. Скуратов

ФГБНУ «Дирекция научно-технических программ», г. Москва, skuratov@fcntp.ru

***Аннотация* — В статье сформулированы требования к функциональной спецификации специализированного микропроцессорного устройства, отражающие особенности таких устройств и функциональной спецификации в целом. Эти требования формируют основу для выбора формализмов для описания работы специализированного микропроцессорного устройства. На основе изучения совокупности допустимых взаимодействий специализированного микропроцессорного устройства с внешней средой разработана математическая модель его функционирования с целью составления функциональной спецификации.**

***Ключевые слова* — специализированное микропроцессорное устройство, функциональная спецификация, математическая модель, моделирование микропроцессорных устройств.**

I. Введение

Целью настоящей статьи является разработка математической модели функционирования специализированного микропроцессорного устройства (далее СМУ) как формализма его функциональной спецификации. Такая математическая модель должна отражать особенности СМУ [1, 2, 3, 4, 5, 6, 7], а также различные аспекты функциональных спецификаций цифровых систем [8, 9, 10, 11, 12, 13, 14, 15, 16, 17]. Выбор математической модели СМУ предшествует выбору абстрактных средств спецификации функционирования, разрабатываемого СМУ, и собственно составлению функциональной спецификации на СМУ для разработки алгоритмов формирования тестовых заданий на ее основе в целях функционально-логического моделирования СМУ. Комплекс требований к функциональной спецификации на СМУ можно разделить на две части:

- требования, которые диктуются особенностями СМУ;

- требования, которые предъявляются к функциональным спецификациям в целом.

II. Выбор математической модели функционирования специализированного микропроцессорного устройства

Наиболее адекватной математической моделью его проекта, заданного принципиальной схемой технических средств и текстом программно-микропрограммного обеспечения, является семейство стационарных динамических систем с конечным множеством входных, выходных и внутренних состояний [18, 19, 20]. Анализ правильности проекта СМУ методом моделирования заключается в проведении экспериментов с его машинной моделью, которая представляет собой некоторым образом закодированные принципиальную схему и текст микропрограммы и с математической точки зрения является также семейством стационарных динамических систем. Цель экспериментов состоит в определении соответствия машинной модели СМУ его функциональной спецификации. Следовательно, целесообразно выбрать в качестве математической модели функционирования СМУ также семейство стационарных систем S. Определим совокупность математических объектов указанной математической модели и отношений между ними, отражающую интересующие нас свойства СМУ следующим образом.

а) Конечное множество переменных микропроцессорного устройства P, которое состоит из непересекающихся подмножеств: P^1 – множество входных переменных, соответствующих входным линиям СМУ; P^2 – множество выходных переменных, соответствующих выходным линиям СМУ; P^3 – множество переменных, соответствующих двунаправленным линиям СМУ; P^4 – множество внутренних переменных, соответствующих регистрам и триггерам СМУ. Указанные множества целесообразно разделить на подмножества, соответствующие информационным и управляющим переменным СМУ: $P^1=P^1_у \bigcup P^1_и$; $P^2=P^2_у \bigcup P^2_и$; $P^3=P^3_у \bigcup P^3_и$;

$$P^4=P^4_у \bigcup P^4_и.$$

б) Множество элементов времени T - множество действительных неотрицательных чисел:

$$T = \{t \mid t \geq 0\}.$$

в) Множество внутренних состояний X. Множество внутренних состояний семейства S определяется количеством и значениями внутренних переменных множества P^4.

г) Множество мгновенных значений входных воздействий U. Множество U семейства S определяется

количеством и значениями входных P1 и двунаправленных P3 переменных.

д) Множество мгновенных значений выходных величин Y. Множество Y семейства S определяется количеством и значениями выходных P2 и двунаправленных P3 переменных.

е) Множество мгновенных состояний Q семейства S определяется декартовым произведением: Q=X x U x Y.

ж) Множество Ψ допустимых взаимодействий с внешней средой впервые введено в [20] с целью более адекватного учета особенностей функционирования СМУ. В данной работе в множество Ψ введем взаимодействия, в которых участвуют и внутренние переменные СМУ. Тогда каждое $\psi \in \Psi$ есть отображение: $[0,t)\rightarrow Q$, $t \subseteq T$, и может быть представлено как конечное множество отображений Ψ_p: $[0,t)\rightarrow Z_p$, $p \subseteq P$, $t \subseteq T$, Z_p – область значений переменной p.

Событием по переменной p будем считать изменение ее значения $z_1 \subseteq Z_p$ на значение $z_2 \subseteq Z_p$ в момент времени t при $z_1 \neq z_2$. Обозначается такое событие Xt_p, z_1, z_2 - в соответствии с [21]. Заметим, что любое допустимое взаимодействие $\psi \in \Psi$ может быть представлено в виде конечной последовательности событий на некотором конечном интервале времени $[t_0,t_s]$:

$$\Psi=(Z^{н}_{p_1}, \dots Z^{н}_{p_k})^{t_0}, X^{t_1}_{p_{i_1} z_{j_1} z_{j_2}}, X^{t_2}_{p_{i_2} z_{j_3} z_{j_4}}, \dots, X^{t_s}_{p_{i_s} z_{j_{(2d-1)}} z_{j_{2d}}}, \quad (2.1),$$

где $(Z^{н}_{p_1}, \dots Z^{н}_{p_k})^{t_0}$ – вектор начальных значений переменных $p_{1\dots}p_k$ в начальный момент времени t_0 взаимодействия Ψ;

k – мощность множества P;

$t_0 \le t_1 \le t_2 \le \dots \le t_s$ – упорядоченная последовательность моментов времени;

$z_{j1}, z_{j3}, \dots z_{j(2d-1)}$ – значения переменных непосредственно перед событием;

$z_{j2}, z_{j4}, \dots z_{j2d}$ – значения переменных непосредственно после события.

Итак, поскольку любое взаимодействие СМУ с внешней средой с учетом изменения значений внутренних переменных соответствует элементу множества Ψ, то можно считать, что математическая модель функционирования СМУ задается шестеркой:

(P, T, X, U, Y, Ψ).

То, что указанная шестерка представляет собой семейство стационарных динамических систем S, будет показано ниже.

III. Исследование множества допустимых взаимодействий микропроцессорного устройства с внешней средой с учетом изменений значений его внутренних переменных

Проведем исследование множества допустимых взаимодействий микропроцессорного устройства с целью выделения в нем математических объектов и соотношений между ними, характеризующих стационарную динамическую систему.

а) Множество допустимых входных воздействий Ω. Каждое $\omega \subseteq \Omega$ есть отображение: $[0,t)\rightarrow U$, $t \subseteq T$. Множество Ω может быть выделено из множества Ψ последовательностей вида (2.1), как множество конечных подпоследовательностей событий, содержащих события только по переменным $p \in P^1 \bigcup P^3$ [20,22]:

$$\omega=(Z^{н}_{p_1}, \dots Z^{н}_{p_n})^{t_0}, X^{t_1}_{p_{i_1} z_{j_1} z_{j_2}}, X^{t_2}_{p_{i_2} z_{j_3} z_{j_4}}, \dots, X^{t_f}_{p_{i_f} z_{j_{(2m-1)}} z_{j_{2m}}} \quad (2.2),$$

где $(Z^{н}_{p_1}, \dots Z^{н}_{p_n})^{t_0}$ – вектор начальных значений входных переменных $p \subseteq P^1$ и двунаправленных переменных $p \subseteq P3$, которые в момент времени t_0 являются входными;

n – количества переменных множества $P^1 \bigcup P^3$; $X^{t_1}_{p_{i_1} z_{j_1} z_{j_2}}, X^{t_2}_{p_{i_2} z_{j_3} z_{j_4}}, \dots, X^{t_f}_{p_{i_f} z_{j_{(2m-1)}} z_{j_{2m}}}$ - события, соответствующие изменениям значений входных переменных $p \subseteq P^1$ и двунаправленных переменных $p \in P^3$, для которых начальное, конечное или оба значения являются входными;

$t_0 \le t_1 \le t_2 \le \dots \le t_f$ - упорядоченная последовательность времен входных событий.

б) Множество выходных величин Γ. Каждое $\gamma \subseteq \Gamma$ есть отображение: $[0,t)\rightarrow Y$, $t \subseteq T$. Множество Γ может быть выделено из множества Ψ последовательностей вида (2.1), как множество конечных подпоследовательностей событий, содержащих события только по переменным $P^2 \bigcup P^3$ [20,22]:

$$\gamma=(Z^{н}_{p_1}, \dots Z^{н}_{p_\upsilon})^{''t_0}, X^{''t_1}_{p_{i_1} z_{j_1} z_{j_2}}, X^{''t_2}_{p_{i_2} z_{j_3} z_{j_4}}, \dots, X^{''t_r}_{p_{i_r} z_{j_{(2b-1)}} z_{j_{2b}}} \quad (2.3),$$

где $(Z^{н}_{p_1}, \dots Z^{н}_{p\upsilon})^{''t_0}$ - начальные значения выходных переменных $p \subseteq P^2$ и двунаправленных переменных $p \in P^3$, которые в момент времени t_0 являются выходными; $X^{''t_1}_{p_{i_1} z_{j_1} z_{j_2}}, X^{''t_2}_{p_{i_2} z_{j_3} z_{j_4}}, \dots, X^{''t_r}_{p_{i_r} z_{j_{(2b-1)}} z_{j_{2b}}}$ - события, соответствующие изменениям значений выходных переменных $p \subseteq P^3$, для которых начальное, конечное или оба значения являются выходными;

$t_0 \le t_1 \le t_2 \le \dots \le t_r$ - упорядоченная последовательность времен выходных событий.

в) Переходная функция состояния φ для стационарной динамической системы, то есть системы, реакция которой на заданный отрезок входного

воздействия при условии, что системы находилась в заданном состоянии, не зависит от того, в каком промежутке времени осуществлялся этот опыт, принимает вид [20, 22]: φ: T x X x Ω → X. Значениями функции φ будем считать внутренние состояния x(t) = φ (t, x, ω). Где x – внутреннее состояние системы в некоторый начальный момент времени; ω – допустимый отрезок входного воздействия, поданный на систему, находившуюся в состоянии x; t – момент времени, в который определяется новое состояние системы. Момент окончания подачи допустимого входного воздействия в реальных микропроцессорных устройствах не совпадает с тем моментом времени, когда устройство оказывается в новом внутреннем состоянии. Задержку перехода в новое внутреннее состояние можно определить как разницу t – t′, где t′ - момент окончания отрезка входного воздействия.

Анализируя множество Ψ последовательностей вида (2.1), бесконечное в общем случае, можно определить значение переходной функции для произвольных $t \subseteq T$, $x \subseteq X$, $\omega \subseteq \Omega$. Действительно, рассмотрим некоторое $\varphi^* \in \Psi$ на временном интервале $[t_0, t^*]$:

$$\varphi^* = (Z^{н}_{p_1}, \ldots Z^{н}_{p_q})^{*t_0}, X^{*t_1}_{p_{i_1} z_{j_1} z_{j_2}}, X^{*t_2}_{p_{i_2} z_{j_3} z_{j_4}}, \ldots, X^{*t_h}_{p_{i_h} z_{j_{(2y-1)}} z_{j_{2y}}} \quad (2.4)$$

Момент времени подачи данного взаимодействия t_0 для стационарной динамической системы не существенен. Исходное состояние $x \subseteq X$ задается начальными значениями переменных $p \subseteq P4$: $(Z^{н}_{p^4_1}, \ldots Z^{н}_{p^4_{q_4}}) \subset (Z^{н}_{p_1}, \ldots Z^{н}_{p_q})$. Допустимое входное воздействие задается как конечная подпоследовательность ω* последовательности φ*, содержащая начальные значения входных переменных $p \subseteq P^1$ и двунаправленных переменных $p \subseteq P^3$, которые в момент времени t_0 являются входными, и события по входным и соответствующим двунаправленным переменным. Начало отрезка входного воздействия – t0, окончание – момент свершения последнего в подпоследовательности ω*события – tω. Новое внутреннее состояние системы x(tx) определяется как совокупность значений, полученных переменными $p \subseteq P4$ в результате свершения события над ними, содержащихся в φ*, а также значений неизменившихся внутренних переменных. Момент времени соответствует последнему в φ* событию по внутренней переменной. Тогда задержка перехода системы в новое внутреннее состояние при подаче допустимого входного воздействия ω* определяется как разность tx - t_n, причем $t_0 \le t_1 \le t_2 \le \ldots \le t_\omega \le \ldots \le t_x \le \ldots \le t_h$.

Исходя из вышеизложенного, на наш взгляд, целесообразнее представить переходную функцию (обозначим ее φ′) в виде: Ψ→ X. Значениями функции φ′ будем считать состояния x= φ′(Ψ), в которых оказывается система в момент окончания подачи отрезков допустимых взаимодействий из множества Ψ. Стационарность динамической системы обуславливает независимость функции φ′ от времени начала подачи взаимодействий.

г) Выходное отображение ŋ для стационарной динамической системы принимает вид

$$ŋ: X \rightarrow Y,$$

то есть каждому внутреннему состоянию x однозначно соответствует мгновенное значение выходной величины y. Однако, для учета специфики СМУ более удобным [20, 22] является использование выходного отображения в виде ŋ: X x Ω → Г, впервые предложенное в [23]. Анализируя множество Ψ , можно определить результат выходного отображения ŋ для произвольных $x \subseteq X$ и $\omega \subseteq \Omega$. Таким образом, учитывая зависимость подачи допустимого входного воздействия от выходной реакции, характерную для СМУ (в частности, наличие сигнала квитирования), предлагается использовать выходное отображение в виде: ŋ′ : Ψ → Г . Результатом отображения являются отрезки выходных величин $\gamma \in Г$, которые выработала система к моменту окончания подачи отрезков допустимых взаимодействий из множества Ψ.

IV. Математическая модель функционирования специализированного микропроцессорного устройства для целей составления его функциональной спецификации

Взяв за основу общую математическую модель функционирования СМУ в виде семейства стационарных систем, адаптируем ее для целей составления функциональной спецификации на СМУ. Для этого определим следующие математические объекты и соотношения. Множество входных взаимодействий M. В [20, 22] множество M определяется следующим образом:

- выделяется из последовательности событий взаимодействия Ψ (2.1) подпоследовательность выходных событий, которые обуславливают моменты времени появления входных событий;
- выделенную из (2.1) таким образом подпоследовательность событий вместе с начальными значениями переменных множеств $P^2_y \bigcup P^3_y$ называют в [20, 22] выходным воздействием управления обменом и обозначают γ_0 . Определим $Г_0$ как множество подпоследовательностей, выделенных указанным образом из элементов множества Ψ;
- объединение подпоследовательностей γ_0 и ω, выделенных из одной и той же последовательности ψ, называется в [20, 22] входным взаимодействием.

Однако особенностью СМУ, как уже отмечалось выше, является их программируемость (микропрограммируемость), поэтому возможность подачи того или иного входного воздействия определяется не только событиями, которые происходят по переменным управления обменом, но и внутренним состоянием системы в момент подачи ω. На

основании этого введем в определение входного взаимодействия μєM начальные значения внутренних переменных СМУ.

Множество реакций системы R. Определим множество R следующим образом:

- выделим из последовательности событий взаимодействия ψ (2.1) события по информационным выходным $P^2_и$ и двунаправленным $P^3_и$ переменным, которые в данном ψ являются выходными; обозначим эту подпоследовательность $\gamma_и$. Определим $\Gamma_и$ как множество подпоследовательностей, выделенных указанным образом из элементов множества Ψ;
- выделим из того же взаимодействия ψ события, определяющие внутреннее состояние системы в момент окончания ψ и обозначим эту последовательность событий через ν. Определим V как множество подпоследовательностей, выделенных указанным образом из элементов множества Ψ;
- объединение подпоследовательностей $\gamma_и$ и ν, выделенных из одной и той же подпоследовательности ψ, определяет элемент r множества R для данного ψ. Заметим, что в частных случаях в r может отсутствовать либо $\gamma_и$, либо ν.

Отношение причины λ. На M x R определим отношение λ (μ, r) и двухместный предикат $P_λ$, принимающий истинное значение в том и только том случае, если входное взаимодействие μ приводит к реакции системы r. Совокупность подпоследовательностей μ и r отличается от соответствующей последовательности ψ событиями по внутренним переменным, не вошедшими в подпоследовательность ν.

Таким образом, тройка (M, R, λ) задает множество взаимодействий с учетом изменений значений внутренних переменных микропроцессорного устройства. Обозначим через K множество взаимодействий, то есть пар (μ_i,r_i), $\mu_i \subseteq M$, $r_i \subseteq R$, для которых $P_λ(\mu_i,r_i)=1$.

Отображение следования ξ. Обозначим через L множество некоторых логических функций {l1, l2, … lnl}. Образуем множество F как множество логических выражений типа:

$$f_i=k^i_1,l^i_1, k^i_2,l^i_2, \dots ,l^i_{p_{i-1}}, k^i_p,$$

возможно, включающих скобки, где $k^i_j \subseteq K$, $l^i_j \subseteq L$.

Определим отношение следования ξ следующим образом: (K ⋃ F) → (K ⋃ F). Очевидно, что отображение ξ является частичным. Отображение ξ задает условие осуществления (определяемое логическим выражением) каждого взаимодействия kєK отдельно или в некоторой логической связи с другими взаимодействиями. Выделим некоторое подмножество $k_н \subset K$, содержащее те взаимодействия, которые могут иметь место в начале функционирования СМУ, то есть после включения питания или подачи общего сигнала «СБРОС». В простейшем частном случае $k_н$ может совпадать с K. Последовательность элементов множества F, полученную при выполнении отображения ξ первоначально над элементом $k^i_н \subseteq F$ и далее над элементами $\xi(k^i_н)$, $\zeta(\zeta(k^i_н))$ и т.д. до тех пор, пока результатом отображения ξ не станет любой из уже включенных в последовательность элементов множества F, назовем функцией микропроцессорного устройства. Множество функций микропроцессорного устройства – множество различных последовательностей элементов множества F, сформированных указанным способом, - обозначим как Ф. Множество Ф задается тройкой (F, $K_н$, ξ). Множество функций, имеющих одинаковое $k_н$ є $K_н$, назовем режимом работы СМУ.

Итак, стационарная динамическая система – элемент семейства S может быть представлен четверкой (P, T, K, Ф). Для определения всего семейства S необходимо дополнительное исследование множества K. Множество K. Каждый элемент $k_i \subseteq K$ – пара (μ_i,r_i), для которых $P_λ(\mu_i,r_i)=1$. Однако, в реальных микропроцессорных устройствах каждое взаимодействие связано со множеством пар из множества M x R, то есть μ_i, и r_i являются бесконечными множествами. Действительно, рассмотрим входное воздействие μ_i, определенное на некотором интервале $[t_0,t_к]$:

$$\mu=(\mathbf{Z}^н_{p_1}, \dots \mathbf{Z}^н_{p_s})^{t_0}, \bar{X}^{t_1}_{p_{i_1}z_{j1}z_{j2}}, \bar{X}^{t_0}_{p_{i_2}z_{j3}z_{j4}}, \dots, \bar{X}^{t_h}_{p_{i_k}z_{j(2\nu-1)}z_{j2\nu}} \quad (2.5)$$

где p_j є $P^1 \bigcup P^3 \bigcup P^4$, при j=1,2,…s , $i_1 \dots i_k$, является множеством, так как:

а) $\forall \mathbf{Z}^н_{p_j}$, j=1, 2, …, s – некоторое множество значений переменной p_j в частном случае, совпадающее с полным множеством значений, которые она может принимать. Таким образом, запись $(\mathbf{Z}^н_{p_1}, \dots \mathbf{Z}^н_{p_s})^{t_0}$ определяет не элемент, а некоторое подмножество множества Q (возможно совпадающее с ним). В практическом приложении это утверждение соответствует тому, что перед осуществлением взаимодействия k_j микропроцессорное устройство может находиться, в общем случае, в одном из нескольких мгновенных состояний;

б) различные элементы множества μ_i могут отличаться последовательностью событий по переменным p_{ij}, j=1, 2, …, k, которая несущественна для данного взаимодействия. На практике это означает, что при отработке микропроцессорным устройством взаимодействий с внешней средой возможен различный допустимый порядок следования входных и выходных сигналов;

в) различные элементы множества μ_i могут отличаться количеством событий; они могут содержать события по различным переменным: $\forall \mathbf{Z}^{н}_{j_{(2r-1)}}$, $\forall \mathbf{Z}^{н}_{j_{2r}}$ – являются некоторыми множествами значений соответствующей переменной. Эти ситуации отражают то, что при отработке одного взаимодействия возможны несущественные переключения входных, двунаправленных и выходных управляющих сигналов СМУ;

г) μ_i является континуальным множеством, так как на практике каждый из моментов свершения событий t_1, t_2, … t_k лежит в интервале действительных чисел. Поскольку мы рассматриваем семейство стационарных динамических систем, то существенным является не сами моменты, а разность между моментами свершения двух соседних событий. В [20, 22] на множестве моментов свершения событий: t_1, t_2, … t_k задаются временные ограничения вида:

$$t^{l_i \ m_i}_{i_{\min}} \le t_{m_i} - t_{l_k} \le t^{l_i \ m_i}_{l_{\max}} \qquad (2.6)$$

для двух произвольных событий последовательностей; $t^{l_i \ m_i}_{i_{\min}}$ и $t^{l_i \ m_i}_{l_{\max}}$ - минимально и максимально допустимые промежутки времени между l_i – м и m_i – м событиями.

Пусть область $D_{\mu i}$ описывает допустимые интервалы задержек для всех входных событий и выходных событий управления обменом взаимодействия μ_i. Объединим области $D_{\mu i}$ для всех μєM в единую область D:

$$D = \bigcup_{\mu \subseteq M} D_{\mu_i}.$$

Рассмотрим реакцию системы на некотором интервале $[\tau_1, \tau_x]$:

$$\bar{X}^{\tau_1}_{\mathrm{p_{i_1} z_{j_1} z_{j_2}}}, \bar{X}^{\tau_2}_{\mathrm{p_{i_2} z_{j_3} z_{j_4}}}, \ldots, \bar{X}^{\mathrm{t_x}}_{\mathrm{p_{i_g} z_{j(2g-1)} z_{j_{2g}}}}, \qquad (2.7)$$

где $\mathrm{p}_{\mathrm{i_b}} \subseteq \mathrm{P}^2_{\text{и}} \bigcup \mathrm{P}^3 \bigcup \mathrm{P}^4$, при b=i1,i2,…ig ;

д) различные элементы множества r_i могут отличаться последовательностью событий по переменным $\mathrm{p}_{\mathrm{i_b}}$, b=i1, i2, …, ig. На практике это соответствует тому, что результат взаимодействия микропроцессорного устройства с внешней средой представляется как сам факт получения выходными и внутренними переменными определенных значений, а не как последовательность их получения;

е) различные элементы множества r_i могут отличаться количеством событий по переменным. Однако, по определению, r_i не может содержать несущественных событий по переменным $\mathrm{p}_{\mathrm{i_b}} \subseteq \mathrm{P}^4$; $\forall \mathbf{Z}^{н}_{j_{(2g-1)}}$, $\forall \mathbf{Z}^{н}_{j_{2g}}$ - являются некоторыми множествами значений соответствующей переменной. В практическом приложении подобные ситуации соответствуют тому, что во взаимодействии микропроцессорного устройства с внешней средой могут содержаться несущественные переключения информационных выходных и двунаправленных переменных устройства;

ж) r_i является континуальным множеством, так как моменты свершения событий $\tau_1 \ldots \tau_x$ лежат в интервале действительных чисел. Аналогично вышеприведенным рассуждениям, на множестве моментов свершения событий $\tau_1 \ldots \tau_x$ для двух произвольных событий последовательности (2.6) зададим временные ограничения вида:

$$\tau^{b_i d_i}_{i\min} \le \tau_{b_i} - \tau_{d_i} \le \tau^{b_i d_i}_{i\max};$$

где $\tau^{b_i d_i}_{i\min}, \tau^{b_i d_i}_{i\max}$ - минимально и максимально допустимые промежутки времени между b_i – м и d_i – м событиями.

Пусть область E_{ri} описывает допустимые интервалы задержек для всех выходных событий реакции r_i и для всех событий по внутренним переменным, определяющим состояние микропроцессорного устройства по окончании реакции r_i. Объединим области Eri для всех r_i ϵ R в единую область E: $E = \bigcup_{r_i \in R} E_{r_i}$.

Все указанные замечания (а-ж) обусловлены возможностью различного проектного решения задачи построения микропроцессорного устройства, выполняющего заданный набор функций, а также допустимыми разбросами временных характеристик ИС и БИС его составляющих. Именно замечания а-ж и учитываются в определении математической модели функционирования СМУ в виде семейства стационарных динамических систем.

Итак, показано, что элементы множеств M и R, в свою очередь, также являются множествами. Отсюда следует, что $\forall Ki \subseteq K$ также представляет собой множество взаимодействий (назовем их эквивалентными) – результат декартового произведения множеств $\mu_i \subseteq M$ и $r_i \subseteq R$, для которых $P_\lambda(\mu_i, r_i)=1$. Кроме того, определены множества D и E, задающие временные ограничения взаимодействий микропроцессорного устройства с внешней средой.

V. Заключение

Таким образом, математической моделью функционирования СМУ является семейство стационарных динамических систем, которое для целей составления функциональной спецификации на СМУ представляется шестеркой:

$$\check{S} = (P, T, K, D, E, Ф),$$

где:

P – конечное множество переменных микропроцессорного устройства;

T – множество действительных чисел, совпадающее с временной полуосью;

D – конечное множество временных ограничений на входные взаимодействия;

E – конечное множество временных ограничений на выходные реакции;

K – множество взаимодействий микропроцессорного устройства с внешней средой с учетом изменений значений его внутренних переменных;

Ф – конечное множество функций микропроцессорного устройства.

Для дальнейшего построения функциональной спецификации СМУ потребуется провести анализ и выбор средств спецификаций для описания функционирования СМУ. Собственно, составление функциональной спецификации СМУ предполагает:

а) разработку способа представления множества функция СМУ;

б) разработку методику составления функциональной спецификации СМУ как: задание множества функций СМУ, задание алгоритмических взаимодействий, задание режимов работы и описания переменных СМУ;

в) разработку или выбор языка и структуры функциональной спецификации СМУ;

г) разработку методики анализ корректности функциональной спецификации СМУ.

Поддержка

Статья подготовлена при поддержке Минобрнауки России в рамках реализации Государственного задания ФГБНУ «Дирекция научно-технических программ» №075-01395-20-00.

Литература

[1] Лукьянов С.И., Швидченко Д.В., Суспицын Е.С., Пишнограев Р.С., Швидченко Н.В., Красильников С.С. Основы микропроцессорной техники. Монография, Изд-во Магнитогорский гос. тех. университет им. Г.И. Носова, 2012, С. 139.

[2] Александров Е.К., Грушвицкий Р.И., Куприянов М.С., Мартынов О.Е., Панфилов Д.И., Ремизевич Т.В., Татаринов Ю.С., Угрюмов Е.П., Шагурин И.И. Микропроцессорные системы. Учебное пособие для вузов / Изд-во: Политехника. Санкт-Петербург, 2016. С. 936.

[3] Кирпичников А.П., Васильев С.Н. Особенности современной микроэлектроники и вопросы построения систем управления высокой надежности и безопасности // Надежность. 2017. Т. 17. № 3 (62). С. 10-16.

[4] Дашкевич Е.А. Особенности архитектур и режимов работы современных микропроцессоров // Вестник науки и образования. 2018. Т. 2. № 5 (41). С. 37-39.

[5] Магомедов Ш.Г., Шамхалов Ф.И. Особенности использования микропроцессорных устройств в системах контроля доступа // Промышленные АСУ и контроллеры. 2018. №3. С. 16-19.

[6] Параскевов А.В., Лойко В.И. Микропроцессоры. Учебник. Изд-во ООО «Экоинвест». Краснодар, 2018. 159 с.

[7] Лавров А.С., Никифоров М.Б. Особенности современных микропроцессорных систем // Студенческий вестник. 2019. № 21-8(71). С. 6-8.

[8] Скрипниченко М.Н., Липатов И.А. Маршрут разработки и верификации цифровой части многостадийного Сигма-Дельта АЦП // Вопросы радиоэлектроники. 2018. № 8. С. 56-63 .

[9] Негода В.Н., Лылова А.В. Автоматизация процесса выбора проектных решений программных реализаций логических функций // Автоматизация процессов управления. 2019. № 4 (58). С. 45-50.

[10] Сохацкий А.А. Практические аспекты верификации проектов СБИС // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. № 2. С. 16-23.

[11] Никитин А.В., Ндайонгеже Д. Свойство-ориентированные языки функциональных спецификаций для концептуального этапа проектирования // Известия СПбГЭТУ ЛЭТИ. 2010. № 6. С. 25-30.

[12] Камкин А.С., Проценко А.С., Татарников А.Д. Генерация тестовых программ для микропроцессоров на основе спецификаций подсистем памяти. Известия высших учебных заведений. Физика. 2015. Т. 58. № 11-2. С. 70-74.

[13] Татарников А.Д. Комбинаторная генерация тестовых программ для микропроцессоров на основе формальных спецификаций систем команд // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. № 2. С. 38-45.

[14] Королев А.С., Егоров И.И. Формальная верификация технических решений при разработке программно-аппаратных комплексов // Информатизация и связь. 2019. № 5. С. 76-79.

[15] Камашев М.А. Специализированные модели для разработки програмных приложений на основе алгебраических спецификаций и средств функционального программирования // Системы управления и информационные технологии. 2010. № 4(42). С. 73-78.

[16] Поляков Г.А., Лысых В.В., Толстолужская В.В. Функциональный синтез параллельных неперестраиваемых спецпроцессоров с использованием аппарата структур семантико-числовой спецификации // Научные ведомости Белгородского государственного университета. Серия: Экономика. Информатика. 2012. № 13 (132). С. 142-149.

[17] Королев А.С., Егоров И.И. Формальная верификация технических решений при разработке программно-аппаратных комплексов // Информатизация и связь. 2019. № 5. С. 76-79.

[18] Мальцев А.И. Алгебраические системы. М.: Наука, 1970. 383 с.

[19] Калман Р. Фалб П., Арбиб М. Очерки по математической теории ситем: Пер с англ. / Под ред. Я.З. Цыпкина. М.: Мир, 1971. 400 с.

[20] Иванников А.Д., Стемпковский А.Л. Математическая модель отладки проектов сложных цифровых схем и микросистем на основе представления последних в виде семейства стационарных динамических систем // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2014. № 2. С. 123-128.

[21] Рогинский В.Н. Основы дискретной автоматики. Статистика и динамика дискретных автоматов. М.: Связь, 1975. 432 с.
[22] Иванников А.Д., Стемпковский А.Л. Формализация задачи отладки проектов цифровых систем // Информационные технологии. 2014. № 9. С. 3-10.
[23] Заде Л. Понятие состояния в теории систем // Общая теория систем. М.: Мир, 1966. С. 49-65.
[24] Иванников А.Д. Формирование отладочного набора тестов для проверки функций цифровых систем // Мехатроника, автоматизация, управление. 2017. Т. 18. № 12. С. 795-801.

Mathematical Model of a Specialized Microprocessor Device Functioning as a Basis for Compiling its Functional Specification

A.K. Skuratov

Directorate of State Scientific and Technical Programmes, Moscow, skuratov@fcntp.ru

Abstract — The article formulates the requirements for the functional specification of a specialized microprocessor device, reflecting the features of such devices and the functional specification as a whole. These requirements form the basis for choosing formalisms for describing the operation of a specialized microprocessor device. Based on the study of the set of permissible interactions of a specialized microprocessor device with the external environment, a mathematical model of its functioning is developed for the purpose of compiling a functional specification.

***Keywords* — specialized microprocessor device, functional specification, mathematical model, modeling of microprocessor devices.**

REFERENCES

[1] Luk'yanov S.I., SHvidchenko D.V., Suspicyn E.S., Pishnograev R.S., SHvidchenko N.V., Krasil'nikov S.S. Osnovy mikroprocessornoj tekhniki. (Fundamentals of microprocessor technology) Monografiya, Izd-vo Magnitogorskij gos. tekh. universitet im. G.I. Nosova, 2012. 139 p. (In Russian).
[2] Aleksandrov E.K., Grushvickij R.I., Kupriyanov M.S., Martynov O.E., Panfilov D.I., Remizevich T.V., Tatarinov YU.S., Ugryumov E.P., SHagurin I.I. Mikroprocessornye sistemy (Microprocessor systems). Uchebnoe posobie dlya vuzov/ Izd-vo: Politekhnika, Sankt-Peterburg, 2016, 936 p. (In Russian).
[3] Kirpichnikov A.P., Vasil'ev S.N. Osobennosti sovremennoj mikroelektroniki i voprosy postroeniya sistem upravleniya vysokoj nadezhnosti i bezopasnosti. (Features of modern microelectronics and issues of building control systems of high reliability and safety) // Nadezhnost'. 2017. Vol 17. № 3 (62). P. 10-16 (in Russian).
[4] Dashkevich E.A. Osobennosti arhitektur i rezhimov raboty sovremennyh mikroprocessorov (Features of architectures and operating modes of modern microprocessors) // Vestnik nauki i obrazovaniya. 2018. T. 2. № 5 (41). P. 37-39 (in Russian).
[5] Magomedov SH.G., SHamhalov F.I. Osobennosti ispol'zovaniya mikroprocessornyh ustrojstv v sistemah kontrolya dostupa(Features of the use of microprocessor devices in access control systems) // Promyshlennye ASU i kontrollery. 2018. №3. P. 16-19 (in Russian).
[6] Paraskevov A.V., Lojko V.I. Mikroprocessory (Microprocessors). Uchebnik. Izd-vo OOO «Ekoinvest». Krasnodar, 2018. 159 p. (In Russian).
[7] Lavrov A.S., Nikiforov M.B. Osobennosti sovremennyh mikroprocessornyh system (Features of modern microprocessor systems) // Studencheskij vestnik. 2019. № 21-8 (71). P. 6-8 (in Russian).
[8] Skripnichenko M.N., Lipatov I.A. Marshrut razrabotki i verifikacii cifrovoj chasti mnogostadijnogo Sigma-Del'ta ACP (The development and verification route of the digital part of the multi-stage Sigma-Delta ADC) // Voprosy radioelektroniki. 2018. № 8. P. 56-63 (in Russian).
[9] Negoda V.N., Lylova A.V. Avtomatizaciya processa vybora proektnyh reshenij programmnyh realizacij logicheskih funkcij (Automation of the process of choosing design solutions for software implementations of logical functions) // Avtomatizaciya processov upravleniya. 2019. № 4 (58). P. 45-50 (in Russian).
[10] Sohackij A.A. Prakticheskie aspekty verifikacii proektov SBIS (Practical aspects of VLSI project verification) // Problems of developing promising micro- and nanoelectronic systems (MES). 2016. № 2. P. 16-23 (in Russian).
[11] Nikitin A.V., Ndajongezhe D. Svojstvo-orientirovannye yazyki funkcional'nyh specifikacij dlya konceptual'nogo etapa proektirovaniya (Property-Oriented Functional Specification Languages for the Conceptual Design Phase) // Izvestiya SPbGETU LETI. 2010. № 6. P. 25-30 (in Russian).
[12] Kamkin A.S., Procenko A.S., Tatarnikov A.D. Generaciya testovyh programm dlya mikroprocessorov na osnove specifikacij podsistem pamyati (Generation of test programs for microprocessors based on specifications of memory subsystems) // Izvestiya vysshih uchebnyh zavedenij. Fizika. 2015. Vol. 58. № 11-2. P. 70-74 (in Russian).
[13] Tatarnikov A.D. Kombinatornaya generaciya testovyh programm dlya mikroprocessorov na osnove formal'nyh specifikacij sistem komand (Combinatorial generation of test programs for microprocessors based on formal specifications of command systems) // Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MES). 2016. № 2. P. 38-45 (in Russian).
[14] Korolev A.S., Egorov I.I. Formal'naya verifikaciya tekhnicheskih reshenij pri razrabotke programmno-apparatnyh kompleksov (Formal verification of technical solutions in the development of hardware and software systems) // Informatizaciya i svyaz'. 2019. № 5. P. 76-79 (in Russian).

[15] Kamashev M.A. Specializirovannye modeli dlya razrabotki programnyh prilozhenij na osnove algebraicheskih specifikacij i sredstv funkcional'nogo programmirovaniya (Specialized models for developing software applications based on algebraic specifications and functional programming tools) // Sistemy upravleniya i informacionnye tekhnologii. 2010. № 4 (42). S. 73-78 (in Russian).

[16] Polyakov G.A., Lysyh V.V., Tolstoluzhskaya V.V. Funkcional'nyj sintez parallel'nyh neperestraivaemyh specprocessorov s ispol'zovaniem apparata struktur semantiko-chislovoj specifikacii (Functional synthesis of parallel non-tunable special processors using the apparatus of semantic-numerical specification structures) // Nauchnye vedomosti Belgorodskogo gosudarstvennogo universiteta. Seriya: Ekonomika. Informatika. 2012. № 13 (132). S. 142-149 (in Russian).

[17] Korolev A.S., Egorov I.I. Formal'naya verifikaciya tekhnicheskih reshenij pri razrabotke programmno-apparatnyh kompleksov (Formal verification of technical solutions in the development of hardware and software systems) // Informatizaciya i svyaz'. 2019. № 5. S. 76-79 (in Russian).

[18] Mal'cev A.I. Algebraicheskie sistemy (Algebraic Systems). M.: Nauka, 1970. 383 s. (In Russian).

[19] Kalman R. Falb P., Arbib M. Ocherki po matematicheskoj teorii sitem (Essays on the mathematical theory of systems): Per s angl. / Pod red. YA.Z. Cypkina. M.: Mir 1971. 400 s. (In Russian).

[20] Ivannikov A.D., Stempkovskij A.L. Matematicheskaya model' otladki proektov slozhnyh cifrovyh skhem i mikrosistem na osnove predstavleniya poslednih v vide semejstva stacionarnyh dinamicheskih system (A mathematical model for debugging projects of complex digital circuits and microsystems based on the representation of the latter in the form of a family of stationary dynamic systems.) // Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MES). 2014. № 2. S. 123-128 (in Russian).

[21] Roginskij V.N. Osnovy diskretnoj avtomatiki. Statistika i dinamika diskretnyh avtomatov (The basics of discrete automation. Statistics and dynamics of discrete automata.). M.: Svyaz', 1975. 432 s. (In Russian).

[22] Ivannikov A.D., Stempkovskij A.L. Formalizaciya zadachi otladki proektov cifrovyh system (Formalization of the task of debugging projects of digital systems.) // Informacionnye tekhnologii. 2014. № 9. S. 3-10 (in Russian).

[23] Zade L. Ponyatie sostoyaniya v teorii sistem (The concept of state in systems theory) // Obshchaya teoriya sistem. M.: Mir, 1966. S. 49-65 (in Russian).

[24] Ivannikov A.D. Formirovanie otladochnogo nabora testov dlya proverki funkcij cifrovyh system (Formation of a debug set of tests for checking the functions of digital systems) // Mekhatronika, avtomatizaciya, upravlenie. 2017. T. 18. № 12. S. 795-801 (in Russian).

УДК 004.312: 004.052.42: 621.3.049.771.14 DOI: 10.31114/2078-7707-2020-3-73-78

Разработка моделей специальных логических элементов для анализа быстродействия реконфигурируемых систем на кристалле

А.С. Михмель, И.А. Мкртычан, Д.В. Тельпухов

Институт проблем проектирования в микроэлектронике РАН, г. Москва, artem@ippm.ru

***Аннотация* — В данной работе предложены методы временного анализа схем, реализованных в базе реконфигурируемых систем на кристалле (РСнК). Методы основаны на идее кластеризации и частичной характеризации с последующим использованием инструментов статического временного анализа. РСнК относится к новой архитектуре СБИС, которая содержит реконфигурируемые логические блоки на основе ПЛИС и IP-блоки, такие как ОЗУ, PLL, арифметические блоки и другие. Частичная характеризация одной ячейки занимает времени значительно меньше, чем время обычного моделирования всей схемы в электрическом симуляторе. В статье предложены методы автоматического распараллеливания вычислительного процесса для дальнейшего ускорения процесса временного анализа. Проведенные эксперименты демонстрируют высокую точность расчета временных задержек схемы за приемлемое расчетное время, что позволяет использовать методы в задаче поиска оптимального размещения и маршрутизации.**

***Ключевые слова* — реконфигурируемая система на кристалле, РСнК, программируемая логика, частичная характеризация, статический временной анализ, кластеризация.**

I. Введение

Современные коммерческие реконфигурируемые системы на кристалле (РСнК) в настоящее время стремятся занять большую часть рынка интегральных микросхем. Их архитектура содержит наряду с комбинационной и последовательной логикой программируемой логической интегральной схемы (ПЛИС): блоки памяти, умножители, блоки цифровой обработки сигналов и др. Каждое семейство РСнК имеет свою собственную уникальную архитектуру и технические особенности, что влечет за собой совершенно разные проблемы и требует применения индивидуального подхода к каждой из архитектур при автоматизации проектирования заказных интегральных схем на основе таких систем.

Конфигурирование ПЛИС в составе РСнК осуществляется загрузкой пользователем необходимой информации в конфигурационную память (конфигурационное ОЗУ), которое управляет коммутационными ресурсами ПЛИС. Коммутационные элементы распределены по всему устройству для обеспечения необходимых соединений между блоками РСнК и установки режимов их функционирования.

Но коммутационными ресурсами кристалла могут быть не только стандартные ключи, но и целый ряд дополнительных логических элементов для конфигурирования и трассировки, расположенных как снаружи, так и внутри логических элементов (ЛЭ) [1]. Также для дополнительных возможностей конфигурирования и трассировки межсоединений, ПЛИС обладают еще одной характерной особенностью – их сигнальные шины могут приходить на входы логических элементов с инверсией.

Наличие широкого спектра дополнительных элементов для конфигурирования, наличие инверсий и других архитектурных особенностей РСнК приводят к тому, что стандартные методы оценки быстродействия становятся неприменимыми [2]. В связи с этим появляется необходимость в разработке специальных методов временного анализа, учитывающих данные архитектурные особенности.

II. Разработанный алгоритм

Первым этапом классического маршрута проектирования схем в базисе ПЛИС является загрузка исходных данных проекта (архитектура ПЛИС, режим работы, описание схемы).

На основе входных данных выполняются логический синтез и трансляция проекта в базис ячеек логических блоков ПЛИС. На последующих этапах происходит размещение, трассировка и генерация конфигурационных данных для описания исходной схемы в базисе логических блоков ПЛИС (netlist) [3].

В дополнение к классическому маршруту проектирования коллективом авторов статьи были разработаны алгоритмы и программные средства для обеспечения высокой точности оценки быстродействия. Для схемы, размещенной на ПЛИС, генерируется файл в SPICE-формате с учетом информации о межсоединениях, элементах и логических блоках. На основе этого файла выполняется группировка в макроячейки. Каждая макроячейка является объединением групп элементов межсоединений, входных или логических блоков. На следующем этапе выполняется характеризация сформированных макроячеек посредством собственного программного

обеспечения (ПО) на базе какого-либо электрического симулятора [4]. Далее используется собственное ПО для проведения статического временного анализа схем.

На рис. 1 представлен маршрут работы программы статического временного анализа.

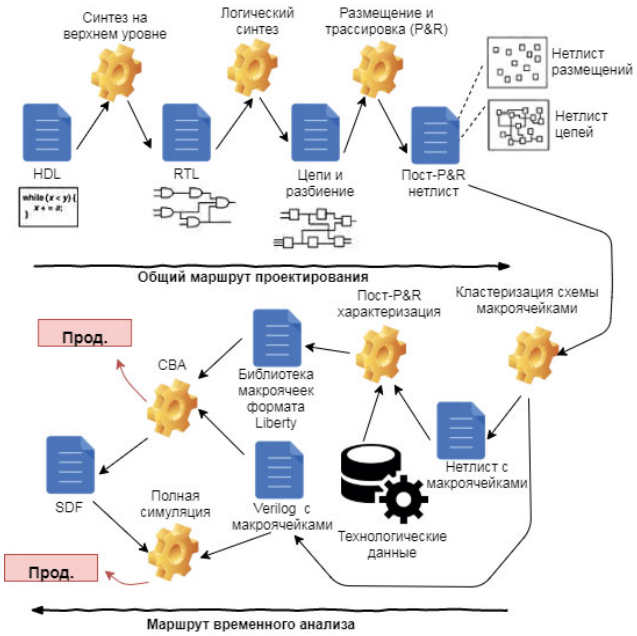


Рис. 1. Маршрут работы программы статического временного анализа

Разработанные и описанные в статье алгоритмы и модели позволяют обеспечить высокую точность оценки быстродействия за счет учета информации о межсоединениях, элементах и логических блоках. Учитывая то, что это происходит еще и достаточно быстротечно, это является ключом к оптимальному размещению и трассировке.

III. Реализация алгоритма

После этапов логического синтеза схемы, размещения блоков и трассировки получается файл соединений формата SPICE, с которым работает данный маршрут. Этот файл содержит в плоском виде соединения логических LE и входных/выходных IO блоков, а также трассировочных элементов [5]. В именах цепей и инстансов сохранена иерархия. При формировании макроячеек в схему добавляется дополнительный уровень иерархии. В данной статье под макроячейкой понимается единица кластеризации схемы и содержит в себе часть файла соединений.

Для проведения упрощенного статического временного анализа [6-9] схемы производится частичная характеризация макроячеек и формирование Synopsys библиотеки. В статье рассмотрено два способа частичной характеризации макроячеек: характеризация блока и трассировочных элементов (метод SP4) или только трассировочных элементов (метод SP5).

A. Описание метода SP4

Формирование макроячейки для метода SP4 происходит следующим образом. Вся схема разбивается на ячейки, включающие в себя один базовый элемент: логический элемент LE (logic element) или входной IO (input/output) блок – и элементы трассировки: ключи, буферы, инверторы и мультиплексоры [1]. На рис. 2 показано разбиение на примере схемы C17 [10].

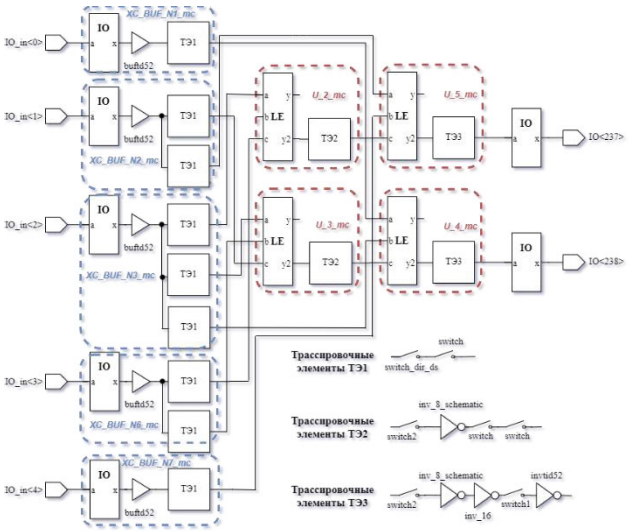


Рис. 2. Структура схемы C17 с учетом межсоединений

В данном случае не происходит формирования макроячеек с базовым элементом выходным IO блоком в виду отсутствия за ним в схеме последовательности из трассировочных элементов. Если базовый элемент внутри новой ячейки всегда один, то число элементов трассировки может доходить до 50 штук в зависимости от сложности схемы. На рис. 3 структурно показан новый добавленный уровень иерархии для схемы C17.

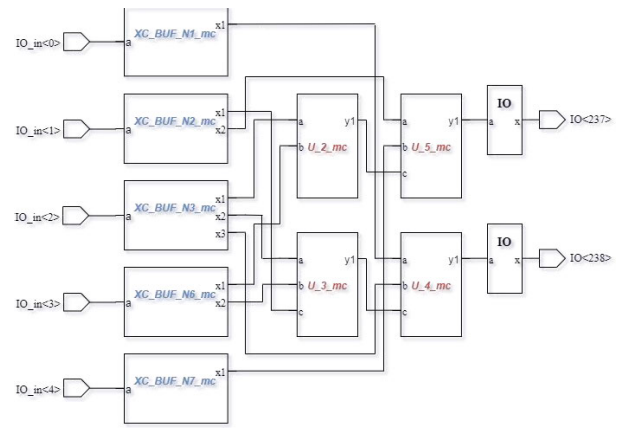


Рис. 3. Структура схемы C17 в базисе макроячеек

Внутри новой ячейки формируется следующее расположение элементов: базовый элемент находится в начале, входы макроячейки являются входами базового элемента; от выходов базового элемента внутри макроячейки следуют элементы трассировки, которые идут на выходы макроячейки. Таким образом, входы

макроячейки взаимно-однозначно соответствуют входам базового элемента. Набор выходов макроячейки формируется за счет сложности соединений трассировочных элементов и обычно пропорционален количеству трассировочных элементов. В случае макроячейки с входным IO блоком мы имеем только один вход, количество выходов также зависит от трассировочного решения.

Логическая функция, которую реализует макроячейка, напрямую зависит от базового элемента. Если берется в рассмотрение макроячейка с базовым элементом входным IO блоком и входом “a”, то все выходы этой ячейки будут иметь функцию “a”, так как в такой макроячейке не используются трассировочные элементы с инверсией. Если базовый элемент макроячейки является логическим LE блоком, то функция на каждом выходе макроячейки зависит от трех составляющих: функции базового блока, инверсии на входах макроячейки, инверсии на выходах макроячейки. В свою очередь, инверсии на входах и выходах макроячейки зависят от наличия инверторов среди последовательности трассировочных элементов на входе и выходе.

Входные данные для частичной характеризации формируются исходя из описанных выше особенностей макроячейки. Так, воздействия для регистрации переключений состояний генерируются на основе логической функции и заносятся в специальный-файл.

Во время характеризации используются следующие предположения:

1) Нагрузочная емкость на выходе текущей макроячейки равна емкости на входе следующей за ней макроячейки. Это достигается за счет соединения одной цепью. Значение входной емкости извлекается из библиотеки Synopsys стандартных ячеек для конкретной базовой ячейки, формирующей макроячейку, и конкретного входного порта. За счет этого можно уменьшить количество характеризационных циклов в 5-7 раз. Следует отметить, что для выполнения статического временного анализа нужно иметь в наличии сформированную библиотеку стандартных ячеек и ячеек входа/выхода, которая формируется после характеризации ячеек LE и IO и входит в поставку ПЛИС. За счет изменения прошивки блоков LE и IO происходит вариация входов, выходов и получаются разные логические функции на выходе. Входные емкости ячеек в библиотеке Synopsys отличаются незначительно между собой, что позволяет использовать некоторую усредненную величину выходной емкости. Тестами также подтверждено, что этой разницей можно пренебречь.

2) Для уменьшения времени характеризации и в виду того, что нас интересуют только временные характеристики, не будет производиться расчет статической и динамической мощностей.

3) Для макроячеек, реализующих последовательную логику, в составе которых есть такие ячейки, как триггер или защёлка (latch), не производится расчет setup/hold. Эти значения извлекаются из стандартной библиотеки Synopsys, сформированной для всех возможных вариаций прошивок логических элементов LE. Это положение основано на том факте, что элементы трассировки никак не влияют на внутренние характеристики самого триггера или защелки. Благодаря этому ожидается, что характеризация такой макроячейки не рискует превратиться в многочасовой процесс, как в случае с полной характеризацией базовой ячейки, реализующей последовательную логику. Естественно, время исполнения процесса зависит от аппаратных мощностей компьютера. Напомним, что данные характеризации базовой ячейки предоставляются вместе с программным обеспечением самой ПЛИС.

4) Также описываемый программный продукт позволяет распараллелить процесс характеризации согласно установкам при запуске, по умолчанию 10 запусков симулятора работают одновременно на одном сервере. Каждая макроячейка требует отдельного запуска симулятора. Так, для схемы ISCAS’s C17, синтезированной в базисе логических элементов, сформировано 9 макроячеек (4 макроячейки на базе логических ячеек LE и 5 макроячеек на базе IO ячеек). Среднее время характеризации логической макроячейки составляет 2-3 минуты, макроячейки на базе IO ячейки – 5-7 минут. Таким образом, при распараллеливании процесса характеризации схемы C17 на 9 подзадач общее время характеризации будет составлять 7 минут. Если же характеризацию проводить последовательно, используя только одно ядро, то время исполнения составит 35 минут.

На базе характеризационных данных формируется собственная библиотека макроячеек формата Liberty.

Завершающими этапами являются поиск, оценка и формирование отчета о максимальном критическом пути схемы в базисе библиотеки макроячеек в собственной программе статического временного анализа.

Программное обеспечение STA может выполнять DSTA (детерминированный статический временной анализ). Для статического временного анализа время прибытия сигнала и время перехода распространяются от первичных входов к первичным выходам каждого комбинационного блока, а требуемое время прибытия сигнала распространяется от первичных выходов к первичным входам. Поддерживается расчет как наибольшего, так и самого раннего реального/требуемого времени прибытия. Для схем на базе триггеров и защелок (latch) реализованы анализ дерева синхронизации и расчет минимального времени установки/удержания (setup/hold, recover/removal time).

B. Описание метода SP5

Формирование макроячейки для метода SP5 происходит следующим образом. В схеме все трассировочные элементы разбиваются на части, соответствующие блокам IO или LE. Каждая такая часть образует макроячейку и располагается между

двумя блоками IO-LE или LE-LE. По сути, макроячейка SP5 отличается от макроячейки SP4 только отсутствием базового элемента: IO или LE.

Количество входов макроячейки равно количеству используемых выходов базового элемента. Макроячейка содержит только трассировочные элементы. Таким образом, входы макроячейки взаимно-однозначно соответствуют выходам базового элемента. Набор выходов макроячейки формируется за счет сложности соединений трассировочных элементов и пропорционален их количеству. Макроячейка, следующая за входным блоком IO, имеет только один вход, количество ее выходов также зависит от трассировочного решения.

Логическая функция, которую реализует макроячейка по методу SP5, не зависит от ведущего блока. Если мы рассматриваем макроячейку с ведущим входным блоком IO и входом макроячейки “a”, то все выходы этой макроячейки будут также иметь функцию “a”, так как в такой макроячейке не используются трассировочные элементы с инверсией. Функция на каждом выходе макроячейки на базе LE зависит от инверсии на выходах макроячейки и может быть либо “a”, либо “!a” (или “b” и “!b”). Также инверсии на выходах макроячейки зависят от наличия инверторов среди последовательности трассировочных элементов внутри макроячейки, выходящих на данный выход. По сути, такая макроячейка работает как буфер или инвертор.

Входные данные для частичной характеризации формируются исходя из описанных выше особенностей макроячейки. Нюансы характеризации макроячейки SP5 такие же, как и у описанной выше SP4.

IV. Экспериментальные результаты

Маршрут расчета временных характеристик на базе метода частичной характеризации был проведен для 7 схем LGSynth’89/91 и ISCAS’85 [11-12]. Табл. 1 показывает их характеристики.

Таблица 1

Характеристики тестовых схем

Схема	Количество			
	входов	***выходов***	***ЛЭ***	***ТЭ***
b1_synth	3	4	5	58
c17	5	2	4	41
con1	7	2	9	111
decod_synth	5	16	24	385
majority_synth	5	1	5	50

В табл. 2 приведены результаты работы программы по расчету временных задержек для алгоритмов SP4 и SP5 и их сравнение с результатами работы электрического симулятора Spectre, где производился полный перебор сигналов на входах схемы. Из таблицы видно, что отклонение критического пути между традиционным расчетом Spectre и методом SP4 не превышает в среднем 11%, а между Spectre и методом SP5 не превышает в среднем 14%. Разница между SP4 и SP5 не превышает 7%. Полученные результаты говорят о приемлемой точности метода для использования в задачах оптимизации размещения и трассировки схем, реализуемых в РСнК.

Таблица 2

Статистика по временным задержкам

Схема	Макс. задержка, нс		
	Spectre	***SP4***	***SP5***
b1_synth	9,97	12,03	12,13
c17	10,29	9,39	9,69
con1	13,25	11,50	12,02
decod_synth	11,81	12,97	15,37
majority_synth	11,24	11,12	11,55

Табл. 3 дает сравнение времени работы реализаций алгоритмов SP4 и SP5 (в секундах), запущенных на 1-ом ядре и на 10-ти ядрах. Для сравнения, симуляционные циклы Spectre на полном переборе для схем с 11 входами требуют времени порядка 200 часов и больше.

Таблица 3

Время характеризации схем

Схема	Затраченное время, сек			
	SP4	***SP5***	***SP4 #10***	***SP5 #10***
b1_synth	896	41,3	232,4	7,33
c17	1376,8	31,32	226,3	5,59
con1	2028,4	64,64	281,9	11,03
decod_synth	2850,8	360,62	484,4	81,22
majority_synth	1309,7	31,04	237,8	4,67

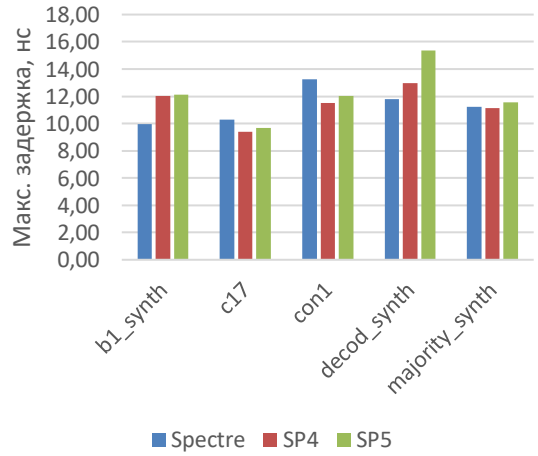


Рис. 4. Результаты по временным задержкам из табл. 2

Анализ данных, представленных в табл. 3, показывает очевидное преимущество параллельного выполнения частичной характеристики даже в случае метода SP4. Что касается времени работы методов SP4 и SP5, то наблюдается 30-кратная разница во времени. Ускорение за счет параллельного запуска составляет 5-6 раз при использовании 10 ядер.

В табл. 4 показано среднее время характеризации одной макроячейки (двух типов: на базе LE и IO) для каждой схемы. Расчет временных задержек производился по методу SP4 и SP5.

Таблица 4

Усредненное время характеризации одной макроячейки

Схема	**Затраченное время, sec**			
	SP4		***SP5***	
	LE	***IO***	***LE***	***IO***
b1_synth	42,48	227,87	4,76	5,83
c17	63,73	224,38	2,56	4,22
con1	42,72	234,84	2,54	5,97
decod_synth	45,64	351,10	5,86	43,98
majority_synth	29,30	232,64	2,23	3,98

Из таблицы видно, что для метода SP4 существует большая разница во времени характеризации макроячейки на основе логического блока LE и блока ввода-вывода IO. В то же время, в методе SP5 этого различия практически не существует, поскольку он не включает базовые элементы, а только элементы маршрутизации.

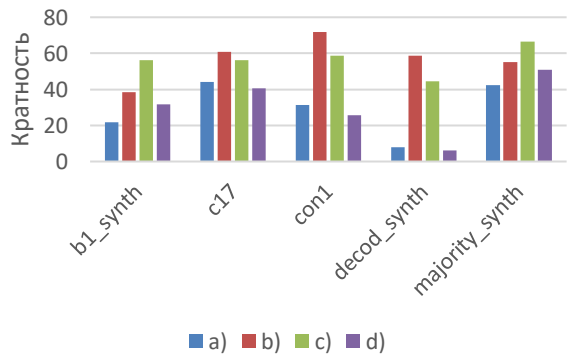


Рис. 5. Результаты тестов времени исполнения из табл. 3. а) SP5 (#1 ядро) и SP4 (#1 ядро); б) SP4 (#1 ядро) и SP4 (#10 ядер); в) SP5 (#1 ядро) и SP5 (#10 ядер); г) SP5 (#10 ядер) и SP4 (#10 ядер)

V. Заключение

Разработана модель частичной характеризации макроячеек, позволяющая при достаточной точности получаемых результатов производить расчет временных задержек схем достаточно быстро. Алгоритм SP4 и его модификация SP5 реализованы на языке C и имеют интерфейс Tcl. Предложенные алгоритмы SP4 и SP5 являются перспективным решением и будут иметь дальнейшее развитие в рамках проектов в ИППМ РАН. Разработанный алгоритм показал свою эффективность на схемах, проектируемых на основе отечественных ПЛИС, и включающих сложные конструкции, такие как параметризованные макроблоки и блоки памяти.

Разработанный алгоритм успешно используется в ИППМ РАН в задаче оптимизации маршрутизации схемы и анализа полного моделирования.

Литература

[1] Gavrilov S. V., Zheleznikov D. A., Khvatov V. M. Solving the Problems of Routing Interconnects with a Resynthesis for Reconfigurable Systems on a Chip, Russian Microelectronics, Vol 47, No. 7, 2018, pp 516–521.

[2] Lu J., Xu N., Yu J., Weng T., Research of timing graph traversal algorithm in static timing analysis based on FPGA. 2017 IEEE 3rd Information Technology and Mechatronics Engineering Conference (ITOEC), Chongqing, 2017, pp. 334-338.

[3] Verilog-to-Routing. FPGA Architecture Description. Architecture Reference. Wire Segments. (2016). [Электронный ресурс]. Режим доступа: https://docs.verilogtorouting.org/en/latest/arch/reference (дата обращения: 30.04.2020).[4] Gavrilov S. V., Gudkova O. N. and Egorov Yu.B. Methods of accelerated characterization of VLSI cell libraries with prescribed accuracy control // Russian Microelectronics, Vol.40, N7, 2011, pp.476-482. DOI: 10.1134/S1063739711070067

[5] Gavrilov S., Zheleznikov D., Khvatov V., Chochaev R. Clustering optimization based on simulated annealing algorithm for Reconfigurable Systems-on-Chip // 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. 2018. Pp. 1492-1495.

[6] Gavrilov S., Ivanova G., Ryzhova D., and Volobuev P. Multi-Interval Static Timing Analysis Accounting Logic Compatibility // 14th IEEE EAST-WEST DESIGN & TEST SYMPOSIUM (EWDTS). 2016. pp. 440-443. DOI: 10.1109/EWDTS.2016.7807650

[7] Ivanova G.A., Korshunov A.V., Tiunov I.V., Zhukova T.D. Development of Mathematical Models for Standard Cells Timing Analysis at the 28 nm Technology and Below // 2017 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. 2017. pp. 525-529. DOI: 10.1109/EIConRus.2017.7910832

[8] Stempkovsky A., Glebov A., Gavrilov S. Calculation of Stress Probability for NBTI-Aware Timing Analysis // Proc. of ISQED, 2009, pp.714-718. DOI: 10.1109/ISQED.2009.4810381

[9] Sundareswaran S., Gavrilov S., Soloviev R., Panda R. A Timing Methodology Considering Within-Die Clock Skew Variations // IEEE International SOC conference, Sep 17-20, 2008, Newport Beach, CA. pp. 351-356.

[10] D. Bryan, “The ISCAS ‘85 Benchmark Circuits and Netlist Format”, North-Carolina State University, 1985.

[11] F. Brglez, D. Bryan, K. Kozminski, “Notes on the ISCAS ‘89 Benchmark Circuits”, North-Carolina State University, 1989.

[12] Collection of Digital Design Benchmarks. [Электронный ресурс]. Режим доступа: http://ddd.fit.cvut.cz/prj/Benchmarks/ (дата обращения: 30.04.2020).

Development of Special Logic Element Models for Timing Analysis of Reconfigurable System-on-a-Chip

A.S. Mikhmel, I.A. Mkrtchan, D.V. Telpukhov

Institute for Design Problems in Microelectronics RAS, Moscow, artem@ippm.ru

***Abstract* — In this paper we have proposed and researched several ways to implement the method of partial characterization of special blocks and fast calculations of the time delays of a circuit implemented in a reconfigurable system on chip (RSoC) based on the method. The RSoC under consideration is a new VLSI architecture that contains reconfigurable logic blocks and IP cores based on FPGA, such as RAM, PLL, LVDS, multipliers, and others. Special blocks include the basic element and routing elements. The base element implements combinational or sequential logic, or it may be an I/O device. Partial characterization of such cell takes much less time than the time of simulation the entire circuit by an electrical simulator. At the same time the maximum possible complexity of a special macrocell is known in advance for a specific RSoC. Based on this we can estimate the total time of characterization, special cells library generation and calculation of time delays. Moreover, it is possible to automatically generate characterization tasks on different server cores, which allows to parallelize the process and to significantly reduce the overall runtime. The method allows you to achieve a fairly accurate calculation of the circuit time delays in acceptable time, which in turn makes it possible to use the method for the task of searching optimal routing solution. The method is also optimized over time due to partial characterization of special cells that include only routing elements. Time delays are calculated from the data described above and presented in the provided library of standard cells. The method has shown excellent practical results in the CAD flow for domestic RSoC.**

***Keywords* — reconfigurable system-on-a-chip, RSoC, programmable logic, partial characterization, static timing analysis, clustering.**

REFERENCES

[1] Gavrilov S. V., Zheleznikov D. A., Khvatov V. M. Solving the Problems of Routing Interconnects with a Resynthesis for Reconfigurable Systems on a Chip, Russian Microelectronics, Vol 47, No. 7, 2018, pp 516–521.

[2] Lu J., Xu N., Yu J., Weng T., Research of timing graph traversal algorithm in static timing analysis based on FPGA. 2017 IEEE 3rd Information Technology and Mechatronics Engineering Conference (ITOEC), Chongqing, 2017, pp. 334-338.

[3] Verilog-to-Routing. FPGA Architecture Description. Architecture Reference. Wire Segments. (2016). Available at: https://docs.verilogtorouting.org/en/latest/arch/reference (accessed date: 30.04.2020).

[4] Gavrilov S. V., Gudkova O. N. and Egorov Yu.B. Methods of accelerated characterization of VLSI cell libraries with prescribed accuracy control // Russian Microelectronics, Vol.40, N7, 2011, pp.476-482. DOI: 10.1134/S1063739711070067

[5] Gavrilov S., Zheleznikov D., Khvatov V., Chochaev R. Clustering optimization based on simulated annealing algorithm for Reconfigurable Systems-on-Chip // 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. 2018. Pp. 1492-1495.

[6] Gavrilov S., Ivanova G., Ryzhova D., and Volobuev P. Multi-Interval Static Timing Analysis Accounting Logic Compatibility // 14th IEEE EAST-WEST DESIGN & TEST SYMPOSIUM (EWDTS). 2016. pp. 440-443. DOI: 10.1109/EWDTS.2016.7807650

[7] Ivanova G.A., Korshunov A.V., Tiunov I.V., Zhukova T.D. Development of Mathematical Models for Standard Cells Timing Analysis at the 28 nm Technology and Below // 2017 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. 2017. pp. 525-529. DOI: 10.1109/EIConRus.2017.7910832

[8] Stempkovsky A., Glebov A., Gavrilov S. Calculation of Stress Probability for NBTI-Aware Timing Analysis // Proc. of ISQED, 2009, pp.714-718. DOI: 10.1109/ISQED.2009.4810381

[9] Sundareswaran S., Gavrilov S., Soloviev R., Panda R. A Timing Methodology Considering Within-Die Clock Skew Variations // IEEE International SOC conference, Sep 17-20, 2008, Newport Beach, CA. pp. 351-356.

[10] D. Bryan, "The ISCAS '85 Benchmark Circuits and Netlist Format", North-Carolina State University, 1985.

[11] F. Brglez, D. Bryan, K. Kozminski, "Notes on the ISCAS '89 Benchmark Circuits", North-Carolina State University, 1989.

[12] Collection of Digital Design Benchmarks, [online] Available at: http://ddd.fit.cvut.cz/prj/Benchmarks/ (accessed date: 30.04.2020).

УДК 681.3.016 DOI: 10.31114/2078-7707-2020-3-79-86

Ко-эволюционный алгоритм разбиения СБИС

Б.К. Лебедев, О.Б. Лебедев

Южный федеральный университет, г. Таганрог, lebedev.ob@mail.ru

***Аннотация* — Для повышения эффективности, усиления сходимости алгоритма и способности выхода из локальных оптимумов авторами предложен коалиционный подход к построению алгоритма разбиения. Для решения задачи разбиения авторами разработана модифицированная метаэвристика по аналогии с моделями адаптивного поведения муравьиной колонии. Интерпретацией решения является двудольный подграф $D^k=(X^k \cup W^k, E^k)$, задающий распределение множества вершин X^k по узлам множества W^k. Работа алгоритма фактически заключается в формировании подмножества ребер E^k. Временная сложность процедуры на одной итерации – $O(n^2)$. Разработанные алгоритмы находит решения, не уступающие по качеству, а иногда и превосходящие свои аналогов в среднем на 3-4%.**

***Ключевые слова* — СБИС, разбиение, роевой интеллект, муравьиный алгоритм, адаптивное поведение, субпопуляция, ко-эволюция, оптимизация.**

I. Введение

При решении конструкторских задач, возникающих при проектировании, часто приходится сталкиваться с задачей разбиения интегральных схем на отдельные блоки. При решении подобных задач широко применяется разбиение крупных схем на составные блоки, включающие в себя определенные наборы компонентов. Это связано с тем, что современная СБИС может содержать десятки миллионов транзисторов. Такая схема не может быть спроектирована в целом в связи с ограниченными вычислительными способностями (память, скорость). В результате разбиения формируется множество блоков и межсоединений между блоками. В очень больших схемах также может использоваться иерархическая структура разбиения [1], [2] Для сокращения времени решения задачи разбиения используются различные эвристические методы. В качестве модели схемы используется либо гиперграф $H(X, U)$, где X – множество вершин, $|X|=n$, U – множество ребер, либо двудольный граф $D=(X \cup W,Y)$, где X – множество элементов (первая доля), $|X|=n$, $W=\{w_i|i=1,2,\ldots,n\}$ – множество узлов (вторая доля), формируемых при разбиение множества элементов X. Y – множество ребер, связывающих вершины множества X с вершинами множества W.

При проектировании СБИС используются два подхода к размещению на кристалле сформированных узлов. При первом подходе разбиение схемы на узлы осуществляется без учета возможного размещения узлов на кристалле. Формирование конфигураций узлов и областей их размещения на кристалле осуществляется после решения задачи разбиения. При втором подходе области размещения областей и их размеры определяются по результатам планирования СБИС. Разбиение фактически сводится к распределению множества вершин по областям, размещенным на кристалле СБИС. Поэтому при втором подходе помимо традиционного учета числа связей прогнозируется длина связей.

Существующие алгоритмы разбиения делятся на два основных класса: конструктивные и итеративные [1-3]. Первый класс характеризуется относительным быстродействием, но в тоже время низким качеством решения. Второй класс является более трудоемким, однако позволяет получать более качественные решения [3].

Среди итеративных алгоритмов можно выделить детерминированные и вероятностные. В детерминированных алгоритмах изменение разбиения (решения) реализуется на основе четкой, детерминированной зависимости от изменяемого решения. Недостатком является частое попадание в локальный оптимум («локальную яму»).

В вероятностных алгоритмах переход к новому решению осуществляется случайным образом. Недостатком алгоритмов, реализующих чисто случайный поиск, является значительная трудоемкость [4]. В последние годы интенсивно разрабатывается научное направление с названием «Природные вычисления», объединяющее математические методы, в которых заложены принципы природных механизмов принятия решений [4]. К таким методам можно отнести, прежде всего, методы моделирования отжига, метод эволюционного моделирования, генетические алгоритмы, эволюционной адаптации, алгоритмы роевого интеллекта и муравьиные алгоритмы [5-8]. В работе предлагается гибридный подход, способы и методы представления задачи разбиения СБИС, базирующийся на моделировании адаптивного поведения муравьиной колонии (МК).

В гибридных алгоритмах преимущества одного алгоритма могут компенсировать недостатки другого. Интеграция метаэвристик популяционных алгоритмов обеспечивает более широкий обзор пространства поиска и более высокую вероятность локализации глобального экстремума задачи. Такой подход позволяет частично решить проблему преждевременной сходимости, обеспечивает выход из локальных оптимумов и повышает скорость получения

результата. Для решения задачи разбиения разработан ко-эволюционный алгоритм, основанный на методе МК. Суть ко-эволюционного подхода состоит с том, что эволюционирующая популяция делится на субпопуляции, которые эволюционируют параллельно [9], [10]. Периодически агенты перемещаются из одной субпопуляции в другую, передавая свой опыт. Ко-эволюционный подход обеспечивает более широкий обзор пространства решений и более высокую вероятность локализации глобального экстремума задачи.

II. Постановка задачи разбиения

Пусть дан граф $G(X, U)$, где X – множество вершин, $|X|=n$, U – множество ребер. Необходимо разбить множество X на k непустых и непересекающихся подмножеств X_i, $\cup X_i=X$, $X_i \cap X_j=\varnothing$, $X_i \neq \varnothing$. На формируемые узлы (блоки, компоненты) накладываются ограничения: $|X_i|=n_i$, $\sum n_i=n$. Критерий оптимизации – суммарное число связей F между X_i. Цель оптимизации – минимизация критерия F. На рис.1 представлен план, разбитого на области чипа, и модель связей вершины x_i вершинами графа.

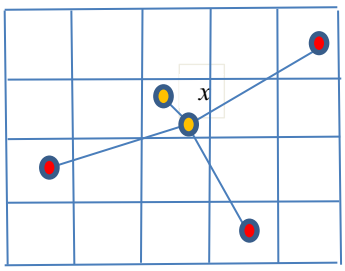


Рис. 1. Модель связей вершины x_i

В качестве координат расположения вершины, расположенной в области, рассматриваются координаты центральной точки области. При подсчете оценки вершины рассматриваются соединения, связывающие вершины, размещенные в разных областях. При заданном размещении областей на чипе и распределении вершин по областям определяется стоимость ξ_i каждой вершины x_i.

$$\xi_i=k_1 d_i+ k_2 s_i,$$

где d_i – суммарное число соединений, инцидентных вершине x_i,

s_i – суммарная длина соединений, инцидентных вершине x_i,

k_1, k_2 – коэффициенты.

Для второго подхода к разбиению оценка решения задачи распределения вершин по областям определится как:

$$\xi=\sum_i (\xi_i).$$

Метаэвристика муравьиного алгоритма (МА) основывается на комбинации двух техник: общая схема строится на базовом методе, в которую включается встроенная процедура. Базовый метод заключается в реализации итерационной процедуры поиска лучшего решения, на основе механизмов адаптивного поведения муравьиной колонии. Встроенная процедура – это конструктивный алгоритм построения агентом некоторой конкретной интерпретации решения [7].

С помощью МА решается задача нахождения кратчайшего маршрута в полном графе. Каждый муравей колонии формирует свой маршрут, являющийся интерпретацией решения некоторой задачи на полном графе поиска решений (ГПР). При движении муравей метит путь феромоном, и эта информация используется другими муравьями для выбора пути.

Авторами разработаны модификации канонической парадигмы муравьиного алгоритма: структура ГПР и конструкция представления (интерпретация) решения на нем; методы построения агентом на ГПР интерпретации решения (разработка конструктивного алгоритма).

Для повышения эффективности, усиления сходимости алгоритма и способности выхода из локальных оптимумов предложен подход к ко-гибридизации [9], [10] алгоритма разбиения на основе модели адаптивного поведения муравьиной колонии. Одновременно в пространстве поиска решения задачи эволюционируют несколько субпопуляций, каждая из которых решает исходную оптимизационную задачу и имеет свою стратегию оптимизации. Решение задачи разбиения осуществляется двумя группами A_1, A_2 агентов. Агенты группы A_1 строят маршруты в соответствии со стратегией C_1. Соответственно: агенты группы A_2 – со стратегией C_2. Стратегии C_1 и C_2 отличаются конструктивными алгоритмами разбиения схемы агентами.

III. Разработка ко-эволюционного алгоритма разбиения на основе моделей адаптивного поведения муравьиной колонии

В качестве графа поиска решений используется полный двудольный граф $D=(X \cup W,E)$, где $X=\{x_i|i=1,2,...,n\}$ – множество вершин (первая доля), соответствующих множеству вершин графа $H(X,U)$, а $W=\{w_v|v=1,2,...,s\}$ – множество вершин (вторая доля), соответствующих множеству узлов $|W|=s$. E – множество ребер (x_i, w_v) связывающих вершины $x_i \in X$ с вершинами множества W. $|E|=ns$.

Задача конструктивного алгоритма сводится к поиску на полном двудольном графе $D=(X \cup W,E)$ двудольного подграфа $D^k=(X \cup W,E^k)$, для которого оценка F имеет минимальное значение. Двудольный подграф D^k используется в качестве представления некоторого k-го решения задачи разбиения – задает распределение множества вершин X по множеству узлов W. Основные ограничения представленного двудольного подграфа $D^k=(X \cup W,E^k)$ заключаются в следующем:

– $E^k=\cup E^k_v$;

– число ребер множества E^k_v, инцидентных вершине w^k_v, равно числу вершин множества X^k_v, $|X_v|=n_v$;

– каждое ребро $(x_i, w_v)=e^k_{iv}\in E^k_v$, с одной стороны, инцидентно вершине $w_v\in W$, с другой стороны – инцидентно одной и только одной вершине $x_i\in X_v$; $\cup X_v=X$;

– локальная степень любой вершины $x_i\in X$ равна единице, $\rho(x_i)=1$;

– локальная степень вершины w_v равна мощности множества X_v, $\rho(w_v)=|X_v|$.

В работе рассматриваются два конструктивных алгоритма разбиения, входящих в состав поискового алгоритма разбиения. Агенты субпопуляции A_1 строят решение используя первый конструктивный алгоритм на множестве вершин X^k. Агенты субпопуляции A_2 - используя второй конструктивный алгоритм на множестве вершин W.

Процесс поиска решений итерационный. Каждая итерация l включает три этапа. На первом этапе каждой итерации каждый агент z_k формирует свое собственное решение, на втором этапе агенты откладывают на ребрах графа поиска решений D феромон, на третьем этапе осуществляется испарение феромона. В работе используется циклический (ant-cycle) метод муравьиных систем. В этом случае феромон откладывается агентами на ребрах после полного формирования решения.

Формирование подграфа D^k осуществляется путем последовательного по шагам формирования множества E^k ребер двудольного подграфа $D^k=(X\cup W,E^k)$, на базе множества E ребер полного двудольного графа $D=(X\cup W,E)$ (пошагово).

Множество ребер E^k на базе исходного множества вершин $X\cup W$ образуют двухдольный граф разбиения $D^k=(X\cup W,E^k)$, являющийся решением задачи разбиения.

Рассмотрим первый конструктивный алгоритм разбиения.

Агенты обладают памятью. На каждом шаге t в памяти агента z_k имеется:

– количество феромона $f_{iv}(t)$ отложенного на каждом ребре $e_{iv}=(x_i, w_v)$ графа D;

– список вершин $X_{1k}(t)\in X$, уже включенных в формируемый двудольный подграф $D^k(t)$, и список оставшихся (свободных) вершин $X_{2k}(t)\in X$, $X_{1k}(t)\cup X_{2k}(t)=X$;

– $\rho(w_v(t))$ локальная степень вершины $w_v(t)$ графа $D^k(t)$ на шаге t.

На начальном этапе на всех ребрах графа $D=(X\cup W,E)$ откладывается одинаковое (небольшое) количество феромона $\Theta=\xi/\varepsilon$, где $\varepsilon=|E|$.

Приводится в начальное состояние память агента: $X_{1k}(1)=\varnothing$. $X_{2k}(1)=X$. $E^k(1)=\varnothing$. $\forall v(\rho_v(1)=0$. Отметим, что $\rho_v(t)$ растет с увеличением t. $\hat{W}(1)=W$.

На первом этапе каждой итерации каждый агент z_k формирует свой собственный двудольный подграф D^k. Каждый из агентов z_k выполняет последовательное формирование набора ребер E^k, где k – номер агента.

Процесс формирования E^k включает две стадии, выполняемые на каждом шаге t.

На первой стадии шага t формируется множество вершин $\hat{W}(t)\subset W$ таких, что для каждой вершины $w_v\in\hat{W}(t)$ ее текущая локальная степень $\rho_v(t)<n_v$.

Для каждой вершины $x_i\in X_{2k}(t)$ определяется набор $U_i(t)$ инцидентных ей ребер, связывающих x_i со всеми вершинами w_v множества $\hat{W}(t)$.

На первой стадии шага t для каждой вершины $x_i\in X_{2k}(t)$ определяется набор инцидентных ей ребер $U_i(t)$, связывающих x_i со всеми вершинами w_v множества W. $|U_i(t)|=|W|=s$.

Для каждого ребра $e_{iv}=(x_i,w_v)\in U_i(t)$, инцидентного вершине $x_i\in X_{2k}(t)$, определяется параметр $f_{iv}(t)$ – суммарный уровень феромона на этом ребре e_{iv}.

Для каждой вершины $x_i\in X_{2k}(t)$ определяется среднее количество феромона приходящееся на одно ребро множества $U_i(t)$:

$$f^*(U_i(t))=\sum_v(f_{iv}(t))/s.$$

Величина $\mu_{ik}(t)=f^*(U_i(t))$ объявляется стоимостью вершины x_i. После этого агент z_k с вероятностью $P_{ik}(t)=\mu_{ik}(t)/\sum_i(\mu_{ik}(t))$, пропорциональной $\mu_{ik}(t)$, выбирает вершину $x^*_i\in X_{2k}(t)$.

На второй стадии шага t среди ребер $U_i(t)$, инцидентных выбранной вершине x^*_i, с вероятностью $P_{vk}(t)=f_{iv}(t)/\sum_v(f_{iv}(t))$, выбирается ребро $e^*_i=(x^*_i(t),w_v)$, которое включается в формируемое агентом z_k множество ребер $E^k(t)$.

Далее выполняются постпроцедуры.

Ребро $e^*_{iv}=(x^*_i, w^k_v)$ включается в множество $E^k(t+1)$.

Вершина x^*_i, включается в множество $X_{1k}(t)$ и исключается из множества $X_{2k}(t)$.

Локальная степень вершины $w^k_v\in e^*_{iv}$ в графе $D^k(t)$ увеличивается на 1, $\rho(w_v)(t)=\rho(w_v)(t)+1$.

Переход к следующему шагу.

Процесс формирования агентом zk множества Ek завершается при X2k(t)=∅.

Рассмотрим второй конструктивный алгоритм разбиения на множестве вершин Wk.

Введем обозначения.

Пусть $\hat{W}(t)$ список вершин wv, рассматриваемых на шаге t.

$\rho(wv)(t)$ – локальная степень вершины $wv\in\hat{W}(t)$ на шаге t.

Для всех $w_v \in \hat{W}(1)$ исходная локальная степень вершины w_v определяется как $\rho_v(1) = n$. Отметим, что $\rho_v(t)$ уменьшается с ростом t.

$Q_v(t)$ – множество ребер $e_{iv}=(x_i, w_v)$, инцидентных вершине $w_v \in \hat{W}(t)$на шаге t.

Приводится в начальное состояние память агента: $\hat{W}(1)=W$.

Для каждой вершины $w_v \in \hat{W}(1)$ формируется начальное множество $Q_v(1) \in E$ инцидентных ей ребер полного двудольного графа D.

$E^k(1)=\varnothing$. $\forall v(\rho_v(1)=n$.

Процесс формирования E^k включает две стадии, выполняемые на каждом шаге t.

На первой стадии шага t в каждом из сформированных на предыдущих шагах множеств $Q_v(t)$ для каждого ребра $e_{iv}=(x_i, w_v) \in Q_v(t)$, определяется параметр f_{iv} – суммарный уровень феромона на этом ребре e_{iv}.

Для каждого множества $Q_v(t)$ определяется среднее количество феромона приходящееся на одно ребро $e_{iv} \in Q_v(t)$:

$$f(Q_v(t)) = \sum_v(f_{iv}) / |Q_v(t)|.$$

Величина $\sigma_{vk}(t)=f(Q_v(t))$ объявляется стоимостью вершины $w_v \in W_{1k}(t)$.

После этого агент z_k с вероятностью $P_{vk}(t)= \sigma_{vk}(t)/\sum_v(\sigma_{vk}(t))$, пропорциональной $\sigma_{vk}(t)$, выбирает вершину $w^*_v \in W_{1k}(t)$ и соответствующее ей множество ребер $Q^*_v(t)$.

На второй стадии шага t среди ребер множества $Q^*_v(t)$, инцидентных выбранной вершине w^*_v, с вероятностью $P_{vk}(t)=f_{iv}(t)/\sum_i(f_{ik}(t))$, выбирается ребро $e^*_{iv}=(x^*_i, w^*_v)$, которое включается в формируемое агентом z_k множество ребер $E^k(t)$.

Далее выполняются постпроцедуры.

Локальная степень $\rho_v(t)$ вершины w^*_v уменьшается на единицу: $\rho_v(t)=\rho_v(t)-1$

– Если локальная степень $\rho_v(t)$ у вершины w^*_v на шаге t становится равной n_v, то подмножество $Q_v(t)$и вершина w^*_v из рассмотрения на дальнейших шагах исключается: вершина w^*_v исключается из $\hat{W}(t)$.

– Определяется вершина x^*_i, инцидентная выбранному ребру $e^*_{iv}=(x^*_i, w^*_v)$.

– Определяется подмножество $U^*_i(t)$ ребер, инцидентных выбранной вершине x^*_i.

– Из всех подмножеств $Q_v(t)$ удаляются ребра подмножества $U^*_i(t)$. Процесс формирования агентом z_k множества E^k завершается, если локальная степень $\rho_v(t)$ у всех вершин w_v на шаге t стала равной n_v и все $Q_v(t)$ исключены из рассмотрения.

Процесс формирования агентом z_k множества E^k завершается, если у всех $Q_v(t)$ локальная степень $\rho(w_v)(t)$ вершины w_v на шаге t стала равной n_v и все $Q_v(t)$ исключены из рассмотрения.

После формирования агентами двудольных подграфов D_k (каждый агент – свой двудольный подграф D_k), на втором этапе итерации, каждый агент откладывает феромон на тех рёбрах полного двудольного графа D, которые соответствуют ребрам построенного двудольного подграфа D_k. После того, как каждый агент сформировал решение и отложил феромон, на третьем этапе происходит общее испарение феромона на ребрах полного двудольного графа R в соответствии с формулой:

$$h_{iv}(t) = h_{iv}(t) \cdot (1 - \rho),$$

где $h_{ij}(t)$ – уровень феромона, отложенного агентами на ребре $e_{iv} \in E^k$, ρ – коэффициент обновления.

IV. Ко-эволюционный алгоритм разбиения

1. В соответствии с исходными данными формируется полный двудольный граф поиска решений $D=(X \cup W, Y)$.

2. Задается число агентов N_a в каждой из субпопуляций Z_1 и Z_2.

3. Задаются значения управляющих параметров.

4. Задается число итераций – N_l.

5. На всех ребрах графа $D=(X \cup W, Y)$ откладывается начальное количество феромона. Задаются значения коэффициентов.

6. $l=1$. *(l – номер итерации)*

(1 конструктивный алгоритм)

7. $k=1$. *(k – номер агента)*

8. Формируются значения параметров памяти для агента z_k популяции Z_1. $t=1$. $X_{1k}(1)=\varnothing$. $X_{2k}(1)=X$. $E^k(1)=\varnothing$. $\forall v(\rho_v(1)=0$. $\hat{W}(1)= W$.

9. $t=t+1$. *(t – номер шага)* На первой стадии шага t формируется множество $\hat{W}(t) \subset W$ вершин w_v таких, что для каждой вершины $w_v \in \hat{W}(t)$ ее текущая локальная степень $\rho_v(t)<n_v$.

10. (*Стадия 1*). Для каждой вершины $x_i \in X_{k2}(t)$ определяется набор $U_i(t)$ инцидентных ей ребер $e_{iv}=(x_i,w_v) \in U_i(t)$, связывающих x_i со всеми вершинами w_v множества $\hat{W}(t)$.

11. Для каждого ребра $e_{iv}=(x_i,w_v) \in U_i(t)$ определяется параметр $f_{iv}(t)$ – количество размещенного на e_{iv} феромона.

12. Определяется среднее количество феромона приходящееся на одно ребро множества $U_i(t)$:

$f^*(U_i(t)) = \sum_v(f_{iv}(t))/s$.

Величина $\mu_{ik}(t)=f^*(U_i(t))$ объявляется стоимостью вершины $x_i \in X_{2k}(t)$.

13. Среди множества вершин $X_{2k}(t)$ с вероятностью $P_{ik}(t)=\mu_{ik}(t)/\sum_i(\mu_{ik}(t))$, выбирается вершина $x^*_i(t) \in X_{2k}(t)$.

14. (*Стадия 2*). Среди ребер $U^*_i(t)$, инцидентных выбранной вершине $x^*_i(t)$, с вероятностью $P_{vk}(t)=f_{iv}(t)/\sum_v(f_{iv}(t))$, выбирается ребро $e^*_i=(x^*_i(t),w_v)$, которое включается в формируемое агентом z_k множество ребер $E^k(t)$.

15. Выполнение постпроцедур после шага *t*.

Вершина $x^*_i(t)$, включается в множество $X_{1k}(t)$ и исключается из множества $X_{2k}(t)$. $E^k(t)=E^k(t-1)\cup e^*_i$.

16. Если $X_{2k}(t)=\varnothing$, то переход к 17, иначе переход к 9.

17. Формирование на базе множества ребер $E^k(t)$ графа решения $D^k=(X\cup W,E^k)$ и расчет оценки $F_k(l)$ разбиения, задаваемого графом $D^k=(X\cup W,E^k)$.

18. На ребрах E графа D, соответствующих найденному множеству ребер E^k графа D^k, откладывается феромон в количестве пропорциональном оценке $F_k(l)$:

$$\Delta\tau_l(t)= Q / F_k(l).$$

19. Выполняется процедура испарения феромона на ребрах графа *G*.

20. Если $k<N_a$, то $k=k+1$ и переход к 8, иначе переход к 21.

(2 конструктивный алгоритм)

21. $k=1$. *(k – номер агента)*

22. Формируются значения параметров памяти для агента z_k популяции Z_2.

$\hat{W}(t)$ список вершин w_v, рассматриваемых на шаге.

$Q_v(t)$ – множество ребер $e_{iv}=(x_i, w_v)$, инцидентных вершине $w_v \in \hat{W}(t)$ на шаге *t*.

$\rho(w_v)(t)$ – локальная степень вершины $w_v \in \hat{W}(t)$ на шаге *t*. $\hat{W}(1)=W$.

Для всех $w_v \in \hat{W}(1)$ исходная локальная степень вершины $\rho(w_v)(1)=n$.

Для каждой вершины $w_v \in \hat{W}(1)$ формируется начальное множество $Q_v(1)$ инцидентных ей ребер полного двудольного графа *D*. $t=1$. $E^k(1)=\varnothing$. $\hat{W}(t)$.

23. $t=t+1$. *(t – номер шага).*

24. *Стадия 1.* В каждом из сформированных на предыдущих шагах множеств $Q_v(t)$ для каждого ребра $e_{iv}=(x_i,w_v) \in Q_v(t)$, определяется суммарный уровень f_{iv} отложенного на нем феромона.

25. Для каждого $Q_v(t)$ определяется среднее количество феромона приходящееся на одно ребро $e_{iv} \in Q_v(t)$:

$$f(Q_v(t))=\sum_v(f_{iv}) / |Q_v(t)|.$$

Величина $\sigma_{vk}(t)=f(Q_v(t))$ объявляется стоимостью вершины $w_v \in \hat{W}(t)$.

26. Агент z_k с вероятностью $P_{vk}(t)=\sigma_{vk}(t)/\sum_v(\sigma_{vk}(t))$, пропорциональной $\sigma_{vk}(t)$, выбирает вершину $w^*_v \in \hat{W}(t)$ и соответствующее ей множество ребер $Q^*_v(t)$.

27. *Стадия 2.* Среди ребер $Q^*_v(t)$, инцидентных выбранной вершине w^*_v, с вероятностью $P_{vk}(t)=f_{iv}(t)/\sum_i(\mu_{ik}(t))$, выбирается ребро $e^*_{iv}=(x^*_i,w^*_v)$, которое включается в формируемое агентом z_k множество ребер $E^k(t)$.

28. Выполнение постпроцедур после шага *t*.

– Определяется вершина x^*_i, инцидентная выбранному ребру $e^*_{iv}=(x^*_i, w^*_v)$.

– Определяется подмножество $U^*_i(t)$ ребер, инцидентных выбранной вершине x^*_i.

– Из всех подмножеств $Q_v(t)$ удаляются ребра подмножества $U^*_i(t)$.

– Для всех $w_v \in \hat{W}(t)$, инцидентных ребрам подмножества $U^*_i(t)$, пересчитывается $\rho_v(t)=\rho_v(t)+1$.

– Если после удаления $U^*_i(t)$, для некоторых $Q_v(t)$ локальная степень $\rho_v(t)$ вершины w_v на шаге *t* становится равной n_v, подмножество $Q_v(t)$ из рассмотрения на дальнейших шагах исключается.

29. Если все $Q_v(t)$ исключены из рассмотрения, то переход к 30, иначе переход к 23.

30. Формирование на базе множества ребер $E^k(t)$ графа решения $D^k=(X^k\cup W^k,E^k)$ и расчет оценки $F_k(l)$ разбиения, задаваемого графом $D^k=(X^k\cup W^k,E^k)$.

31. На ребрах E графа D, соответствующих найденному множеству ребер E^k графа D^k, откладывается феромон в количестве пропорциональном оценке $F_k(l)$.

$\Delta\tau_l(t)= Q / F_k(l)$.

32. Выполняется процедура испарения феромона на ребрах графа *D*.

33. Если $k<N_a$, то $k=k+1$ и переход к 22, иначе переход к 34.

34. Если $l<N_l$, то $l=l+1$ и переход к 7, иначе переход к 35.

35. Конец работы алгоритма.

Временная сложность этого алгоритма на одной итерации определяется как $O(n^2)$. В общем случае время работы этого алгоритма зависит от времени жизни колонии *l* (число итераций), количества вершин графа *n* и числа агентов *m*.

V. Экспериментальные исследования

При создании программы использовался пакет Visual Studio 2005 для 32-разрядных ОС семейства Windows®9x, а отладка, тестирование и эксперименты поводились на IBM® совместимом компьютере с процессором AMD Athlon-64® 3000+ и оперативной памятью 512 MB DIMM PC-3200.

На основе разработанных алгоритмов разбиения создана программа **coevolution partitioning** (CP).

Для проведения экспериментов была использована процедура синтеза контрольных примеров с известным оптимумом $F_{опт}$ по аналогии с известным методом BEKU (Partitioning Examples with Tight Upper Bound of Optimal Solution) [11].

Исследованию подвергались примеры, содержащие до 1000 вершин. Вес вершин принимался равным нулю, а вес всех рёбер – единице. При этом графы «разбивались» на два подграфа с равным количеством вершин в каждом подграфе.

На основе обработки экспериментальных исследований была построена средняя зависимость качества решений от числа итераций (рис. 2), и размера популяции (рис. 3). Оценкой качества служит величина Fопт/F, где F – оценка полученного решения. Установлено, что начальное количество феромона Q должно быть в 14 раз больше среднего количества значения феромона $\tau_k(l)$, откладываемого агентами на каждой итерации. Коэффициент обновления ρ=0,95.

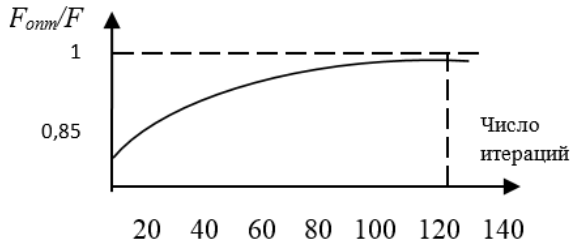


Рис. 2. Зависимость качества решений алгоритма CP от числа итераций

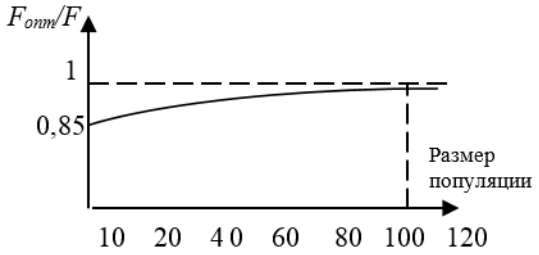


Рис. 3. Зависимость качества решений алгоритма CP от размера популяции

В результате экспериментов установлено, что при объеме популяции M=100 алгоритм сходится в среднем на 120 итерации. При этом у ряда экспериментов число итераций меньше среднего составляло до 10%, а больше с среднего до 35%. Временная сложность процедуры на одной итерации – O(n).

Сравнительный анализ с другими алгоритмами разбиения производился на стандартных тестовых примерах и схемах (бенчмарках), размещенных на: http://www.cad.polito.it/tools/9.html, http://www.cbl.ncsu.edu.

Данные примеры представляют собой стандартные промышленные цепи (блоки, схемы, ИС, БИС, СБИС). Сравнение производилось по следующим параметрам:

– Cut – число цепей, попавших в разрез;

– CPU – процессорное время, затраченное на поиск решения.

Выполнена сравнительная оценка работы разработанных алгоритмов на бенчмарках cordic(881), misex3(1349), X3(1369). c6288(2435) s15850(4321), frisc(4400), elliptic(4711), (в скобках приведено число вентилей) с результатами работы следующих алгоритмов (на этих же схемах): Pure hMetis [12]; Net&Path Based [13]; PPFF [13]; VPR [12].

Сравнительные оценки приведены в табл. 1.

Анализируя результаты экспериментов, можно сделать вывод, что разработанные алгоритмы находят решения, не уступающие по качеству, а иногда и превосходящие своих аналогов в среднем на 3-4%. Ощутимо улучшение результатов **CP** по сравнению к hMetis, который является очень сильным алгоритмом. Например, на схеме Cordic результаты hMetis на 4,8% хуже, чем результаты CP.

Таблица 1

Сравнительная оценка работы алгоритмов

Алгоритм	F	Бенчмарки						
		Cordic	misex3	X3	c6288	s15850	Frisc	Elliptic
Pure hMetis	Cut	327	543	211	182	617	838	508
	CPU	2	5	4	31	28	34	16
Net& Path	Cut	278	614	261	216	671	869	619
	CPU	5	13	6	80	37	61	22
PPFF	Cut	313	540	228	201	615	851	510
	CPU	6	14	8	79	43	66	25
VPR	Cut	319	543	216	204	622	843	513
	CPU	10	18	13	85	47	71	27
CP	Cut	280	610	253	209	651	842	567
	CPU	4	12	5	71	301	46	15

В среднем запуск программы обеспечивает нахождения решения, отличающегося от оптимального менее, чем на 0,5%.

VI. Заключение

Для повышения эффективности, усиления сходимости алгоритма и способности выхода из локальных оптимумов предложен коалиционный подход к построению алгоритма разбиения.

Для решения задачи разбиения авторами разработана модифицированная метаэвристика по аналогии с моделями адаптивного поведения МА.

В работе, в отличие от канонической парадигмы МА интерпретацией решения является подграф Dk=(XkUWk,Ek), задающий распределение множества вершин Xk по узлам множества Wk. Работа алгоритма фактически заключается в формировании подмножества ребер Ek.

Одновременно в пространстве поиска задачи оптимизации эволюционируют две субпопуляции, каждая из которых решает одну и ту же исходную оптимизационную задачу, но имеющие различные области поиска и стратегии оптимизации. Ко-эволюционный подход обеспечивает более широкий

обзор пространства решений и более высокую вероятность локализации глобального экстремума задачи.

Отличительными особенностями взаимодействия между ко-эволюционирующими субпопуляциями является то, что они базируются на использовании общего графа поиска решений, общей эволюционной памяти, формировании единой интерпретации решения в виде двудольного графа.

Поддержка

Работа выполнена при финансовой поддержке гранта РФФИ № 20-07-00260 а.

Литература

[1] Немудров В., Мартин Г. Системы-на-кристалле. Проектирование и развитие. М: Техносфера, 2004. 157 с.

[2] Казеннов Г.Г. Основы проектирования интегральных схем и систем. М.: Бином. Лаборатория знаний, 2005. 295 с.

[3] Alpert C.J., Mehta D.P., Sapatnekar S.S., Handbook of Algorithms for Physical Design Automation. Boston, MA: Auerbach, 2009. 245 p.

[4] Карпенко А.П. Современные алгоритмы поисковой оптимизации. Алгоритмы, вдохновленные природой: учебное пособие. М: Издательство МГТУ им. Н.Э. Баумана, 2014. 448 с.

[5] Курейчик В.М., Лебедев Б.К., Лебедев О.Б. Гибридный алгоритм разбиения на основе природных механизмов принятия решений // Искусственный интеллект и принятие решений. М.: Изд-во Институт системного анализа РАН, 2012. С. 3-15.

[6] Лебедев Б.К., Лебедев О.Б. Муравьиные алгоритмы разбиения, использующие представление задачи, отличные от канонического // Вестник Ростовского государственного университета путей сообщения. – Ростов-на-Дону: Изд-во РГУПС, 2016. №2 (62). С. 71-77.

[7] Лебедев О.Б. Модели адаптивного поведения муравьиной колонии в задачах проектирования. – Таганрог: Изд-во ЮФУ, 2013. 199 с.

[8] Лебедев Б.К., Лебедев О.Б. Меметический алгоритм разбиения // Вестник Ростовского государственного университета путей сообщения – Ростов-на-Дону: Изд-во РГУПС, 2017. №2 (62). С. 136-145.

[9] Zhou Y., Pei Sh. A hybrid co-evolutionary particle swarm optimization algorithm for solving constrained engineering design problems // Journal of computers (JCP). Academy Publisher, 2010. v.5, №6. pp. 965-972.

[10] Ворбьева Е.Ю., Карпенко А.П., Селиверстов Е.Ю. Ко-гибридизация алгоритмов роя частиц // Наука и жизнь. 2012. №4.

[11] Cong J., Romesis M., Xie M. Optimality, Scalability and Stability Study of Partitioning and Placement Algorithms // Proc. of the International Symposium on Physical Design. Monterey, CA, 2003. pp. 88-94.

[12] Selvakkumaran N., Karypis G. Multi-Objective Hypergraph Partitioning Algorithms for Cut and Maximum Subdomain Degree Minimization // ICCAD, 2003. pp. 234-249.

[13] Ababei C., Selvakkumaran N., Bazargan K., Karypis G. Multi-objective Circuit Partitioning for Cutsize and Path-Based Delay Minimization // ICCAD, 2002. pp. 118-137.

Co-evolution VLSI Partitioning Algorithm

B.K. Lebedev, O.B. Lebedev

Southern Federal University, Taganrog Southern Federal University, lebedev.ob@mail.ru

***Abstract* — To increase the efficiency, enhance the convergence of the algorithm and the ability to exit local optima, the author proposes a co-evolution approach to the construction of the partition algorithm.**

At the same time, two subpopulations evolve in the search space of the optimization problem, each of which solves the same initial optimization problem, but having different search areas and optimization strategies. The co-evolutionary approach provides a wider overview of the solution space and a higher probability of localizing the global extremum of the problem.

To solve the partition problem, the authors developed a modified metaheuristics by analogy with the models of adaptive behavior of ant algorithm (AA).

In the work, in contrast to the canonical paradigm of AA. The interpretation of the solution is the subgraph $D_k=(X_k \cup W_k, E_k)$, which defines the distribution of the set of vertices X_k over the nodes of the set W_k. The operation of the algorithm actually consists in the formation of a subset of edges E_k.

The partition problem is solved by two subpopulations of A_1, A_2 agents on the $D=(X \cup W,Y)$, $D_k \in D$. Agents of subpopulation A_1 construct a solution using the first constructive algorithm on the set of vertices X_k.

Agents of subpopulation A_1 use the second constructive algorithm on the set of vertices X_k. Strategies C_1 and C_2 are distinguished by constructive algorithms for splitting the circuit with agents. Both subpopulations form the same subset of E_k edges.

For the experiments we used the synthesis procedure for control examples with the well-known F_{opt} Optimum by analogy with the well-known BEKU method (Partitioning Examples with Tight Upper Bound of Optimal Solution).

The study was subjected to examples containing up to 1000 vertices. The weight of the vertices was taken equal to zero,

and the weight of all the edges was taken to be unity. In this case, the graphs were "divided" into two subgraphs with an equal number of vertices in each subgraph.

Based on the processing of experimental studies, an average dependence of the quality of solutions on the number of iterations and population size was constructed. The quality estimate is F_{opt}/F, where F is the estimate of the resulting solution. It was found that the initial amount of pheromone Q should be 14 times greater than the average amount of pheromone $\tau_k(l)$ deposited by agents at each iteration. Update rate ρ=0.95. As a result of experiments, it was found that, with a population volume of M=100, the algorithm converges on average at 120 iterations.

Comparative analysis with other partitioning algorithms was performed on standard test examples and diagrams (benchmarks), available on the websites: www.cad.polito.it/tools/9.html, www.cbl.ncsu.edu.

The developed algorithms find solutions that are not inferior in quality, and sometimes even superior to their analogues by an average of 3-4%. On average, launching a program provides solutions that differ from the optimal solution by less than 0.5%.

Keywords **- VLSI, partitioning, swarm intelligence, ant algorithm, adaptive behavior, subpopulation, co-evolution, optimization.**

REFERENCES

[1] Nemudrov V., Martin G. Sistemy-na-kristalle. Proyektirovaniye i razvitiye (Systems-on-a-chip. Design and development). M: Tekhnosfera, 2004.157 c.

[2] Kazennov G.G. Osnovy proyektirovaniya integral'nykh skhem i sistem (Fundamentals of design of integrated circuits and systems). M.: Binom, Laboratoriya znaniy, 2005, 295 c.

[3] Alpert C.J., Mehta D.P., Sapatnekar S.S., Handbook of Algorithms for Physical Design Automation. Boston, MA: Auerbach, 2009. 245 p.

[4] Karpenko A.P. Sovremennyye algoritmy poiskovoy optimizatsii. Algoritmy, vdokhnovlennyye prirodoy: uchebnoye posobiye (Modern search engine optimization algorithms. Algorithms inspired by nature: a tutorial). M: Izdatel'stvo MSTU N.E. Bauman, 2014. 448 p.

[5] Kureichik V.M., Lebedev B.K., Lebedev O.B. Gibridnyy algoritm razbiyeniya na osnove prirodnykh mekhanizmov prinyatiya resheniy (Hybrid partition algorithm based on natural decision-making mechanisms) // Iskusstvennyy intellekt i prinyatiye resheniy. M.: Izd-vo Institut sistemnogo analiza RAN, 2012. pp. 3-15.

[6] Lebedev B.K., Lebedev O.B. Murav'inyye algoritmy razbiyeniya, ispol'zuyushchiye predstavleniye zadachi, otlichnyye ot kanonicheskogo (Ant partitioning algorithms using a task representation other than the canonical) // Vestnik Rostovskogo gosudarstvennogo universiteta putey soobshcheniya. Rostov-na-Donu: Izd-vo RGUPS, 2016. №2(62). pp. 71-77.

[7] Lebedev O.B. Modeli adaptivnogo povedeniya murav'inoy kolonii v zadachakh proyektirovaniya (Models of adaptive behavior of an ant colony in design problems). Taganrog: Izd-vo YUFU, 2013. 199 p.

[8] Lebedev B.K., Lebedev O.B. Memeticheskiy algoritm razbiyeniya (The memetic algorithm for splitting) // Vestnik Rostovskogo gosudarstvennogo universiteta putey soobshcheniya. Rostov-na-Donu: Izd-vo RGUPS, 2017. №3. pp. 136-145.

[9] Zhou Y., Pei Sh. A hybrid co-evolutionary particle swarm optimization algorithm for solving constrained engineering design problems // Journal of computers (JCP). Academy Publisher, 2010. v.5, №6. pp. 965-972.

[10] Vorobyeva E.Yu., Karpenko A.P., Seliverstov E.Yu. Kogibridizatsiya algoritmov roya chastits (Co-hybridization of particle swarm algorithms) // Nauka i zhizn. 2012. №4.

[11] Cong J., Romesis M., Xie M. Optimality, Scalability and Stability Study of Partitioning and Placement Algorithms // Proc. of the International Symposium on Physical Design. Monterey, CA, 2003. pp. 88-94.

[12] Selvakkumaran N., Karypis G. Multi-Objective Hypergraph Partitioning Algorithms for Cut and Maximum Subdomain Degree Minimization // ICCAD, 2003. pp. 234-249.

[13] Ababei C., Selvakkumaran N., Bazargan K., Karypis G. Multi-objective Circuit Partitioning for Cutsize and Path-Based Delay Minimization // ICCAD, 2002. pp. 118-137.

УДК 004.414.23 DOI: 10.31114/2078-7707-2020-3-87-93

Анализ масштабируемости многоядерного микропроцессора с помощью моделирования на основе трасс событий

Ю.А. Недбайло[1,2]

[1]АО «МЦСТ», г. Москва

[2]ПАО «ИНЭУМ им. И.С. Брука», г. Москва, nonsens@inbox.ru

***Аннотация* — Развитие полупроводниковых технологий позволяет размещать всё больше процессорных ядер на одном кристалле, так что через десятилетие могут стать распространёнными процессоры с сотнями ядер. Разработчикам процессоров, соответственно, нужно добиваться хорошей масштабируемости их дизайна для наращивания числа ядер. Для этого требуются конструктивные решения и оптимизации, повышающие масштабируемость, а также набор инструментов, позволяющий оценивать их влияние на производительность. В данной статье описывается методика моделирования, разработанная для процессоров семейства Эльбрус, и оценки производительности таких процессоров, полученные на 64- и 256-ядерных моделях.**

***Ключевые слова* — архитектура «Эльбрус», программное моделирование, потактовый симулятор, многоядерность, подсистема памяти, общий кэш.**

I. Введение

Развитие полупроводниковых технологий позволяет разрабатывать микропроцессоры со всё большим количеством ядер. При этом, в связи с растущей сложностью схем, требуется их высокая переиспользуемость в последующих поколениях процессоров, то есть масштабируемость. Для оценки масштабируемости схем требуется соответствующий инструментарий, в частности методы и средства оценки их влияния на производительность в реальных задачах.

Некоторые схемы и параметры известны из литературы и накопленного опыта, например то, что стоит реализовать распределённый общий кэш, соединённый с ядрами сетью на кристалле [1] (рис. 1). Некоторые требуют моделирования, например, оптимальная пропускная способность памяти зависит от частоты обращений ядер в память, частоты промахов в кэши и других характеристик конкретной задачи.

Поскольку наращивание числа ядер в основном подразумевает модификацию подсистемы памяти процессора, главным образом общего кэша и сети на кристалле, то модель должна достаточно точно отражать влияние их деталей на производительность.

II. Существующие решения

Точные средства моделирования микропроцессоров – программное моделирование RTL и прототипирование на ПЛИС – не подходят для оценки производительности реальных задач, поскольку используют полное описание процессора на языке описания аппаратуры и потому либо слишком медленны, либо требуют крайне дорогостоящего оборудования.

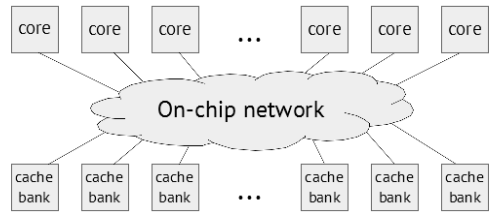


Рис. 1. Идея микропроцессора с распределённым общим кэшэм

Ближайшей альтернативой являются упрощённые потактовые симуляторы. Например, Gem5 [2] поддерживает различные наборы команд, имеет очень гибкую модель подсистемы памяти и разные уровни точности. Самые точные модели широко используются в исследованиях для моделирования порядка десятков ядер, но далее их ограничивает скорость и требуемый объём памяти. Для повышения скорости был разработан ряд более упрощённых симуляторов, например, ZSim [3] способен моделировать 1024-ядерный процессор со скоростями до 1500 MIPS на обычном 16-ядерном процессоре, но эти скорости достаются ценой таких упрощений как ядер, так и подсистемы памяти, которые ставят под вопрос их пригодность для обсуждаемой задачи.

Для детального моделирования подсистемы памяти процессоров с большим числом ядер применяются симуляторы на основе трасс событий. Их идея состоит в разделении моделирования на две фазы. В первой программа выполняется на точной модели ядер с упрощённой моделью подсистемы памяти и в файл-трассу записываются все события определённого типа; это могут быть исполняемые команды [4], принятые сетью-на-кристалле пакеты [5] или обращения программы в память. На второй фазе соответствующая событиям часть подсистемы памяти процессора моделируется воспроизведением этих событий из трассы. Таким образом для анализа подсистемы памяти не нужно тратить ресурсы на многократное моделирование выполнения программы ядрами –

трассу каждого теста достаточно снять один раз и затем использовать для моделирования всех интересующих конфигураций.

Трасса событий должна отображать зависимости между ними, иначе не будет моделироваться влияние задержек. Для трасс команд, применяемых для моделирования out-of-order процессоров [4], и трасс пакетов, подходящих для моделирования сетей-на-кристалле [5], соответствующие методы известны. Для моделирования процессоров «Эльбрус» больше подойдут трассы обращений в память. Мы разработали методику снятия таких трасс и соответствующий симулятор подсистемы памяти процессора.

III. Методика снятия трасс событий

Для снятия трасс обращений в память с зависимостями между ними был доработан функциональный симулятор микропроцессора «Эльбрус» [6]. Этот симулятор пока не поддерживает многопоточные программы в пользовательском режиме, поэтому далее в статье подразумеваются однопоточные задачи. Как только поддержка появится, описываемая методика и симулятор подсистемы памяти могут быть соответственно дополнены такой методикой, как SynchroTrace [7].

Команды в качестве событий подходят при моделировании процессоров с внеочередным исполнением инструкций [4]. «Эльбрус» – это VLIW-процессоры и на сегодняшний день они не используют внеочередное исполнение, поэтому такая точность трасс в их случае не требуется. Другим распространённым вариантом является использование пакетов сети на кристалле в качестве событий [5], но он не подходит для анализа влияния параметров кэшей на производительность. Использование обращений в память в качестве событий позволяет в случае «Эльбруса» моделировать все интересующие устройства с достаточной точностью.

Доработка функционального симулятора для снятия трасс включает буфер событий, хранящий время, адрес, код операции, время до первой зависимой команды и регистр назначения, а также таблицу соответствия регистров позициям в этом буфере (рис. 2). При обращении программы в память, в буфере создаётся событие и в таблицу добавляется указатель на него; при использовании регистра, в таблице проверяется наличие указателя, находится соответствующее обращение в память, и в него записывается информация о зависимости в виде разницы во времени.

Снятая полностью, такая трасса может получиться большой, в несколько терабайт для одного теста даже в сжатом виде. Для сокращения размера трассы реализовано её снятие случайными интервалами (то есть, кластерной выборкой [8]), затем интервалы анализируются и выбираются один или несколько самых репрезентативных. Оптимальный размер интервала определяется временем, требуемым моделируемой системе на «разогрев», и желаемой точностью. В рассматриваемых микропроцессорах, на одно ядро приходится около 2 МБ кэшей, что по пессимистичным оценкам требует порядка 3 млн. тактов. Для точности порядка 1%, соответственно, выбран интервал в 300 млн. тактов. Количество интервалов определяет степень их соответствия программе: из литературы известно, что для точности в несколько процентов при случайной выборке требуется порядка ста [8], а после анализа можно ограничиться выбором от двух до десяти [9].

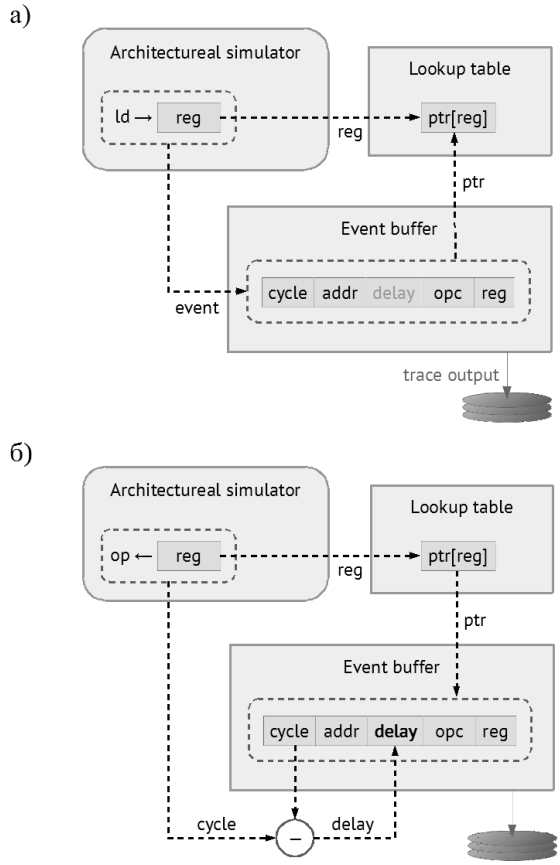


Рис. 2. Снятие трассы: а) обращение в память, б) использование регистра

Скорость работы симулятора в несколько мегагерц позволяет снять трассы всего пакета SPEC CPU2006 на обычном 16-ядерном процессоре примерно за неделю.

Описанная методика может быть реализована и в других in-order архитектурах.

IV. Модель многоядерного процессора

Разработанный для детального моделирования подсистемы памяти симулятор многоядерного процессора включает упрощённые модели ядер, воспроизводящие трассы, и детальные модели кэшей, сети соединений на кристалле и контроллера памяти. Результатом его работы является различная статистика (рис. 3).

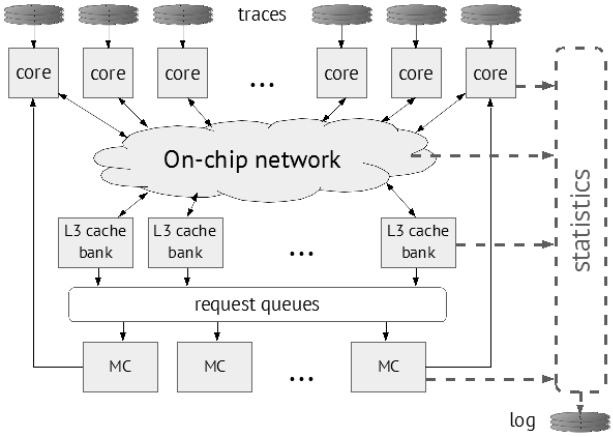


Рис. 3. Структура симулятора микропроцессора

Модели ядер воспроизводят обращения программы в память из соответствующих файлов трасс и моделируют блокировки конвейера, вызываемые зависимости между этими обращениями. Модели кэшей (L1i, L1d, L2, L3) имеют настраиваемый размер, ассоциативность, инклюзивность, алгоритмы замещения, разбиения и миграции [10]. Их задержки моделируются в первом приближении самим симулятором, поэтому достаточно простейшей поведенческой реализации, что позволяет достичь высокой скорости моделирования.

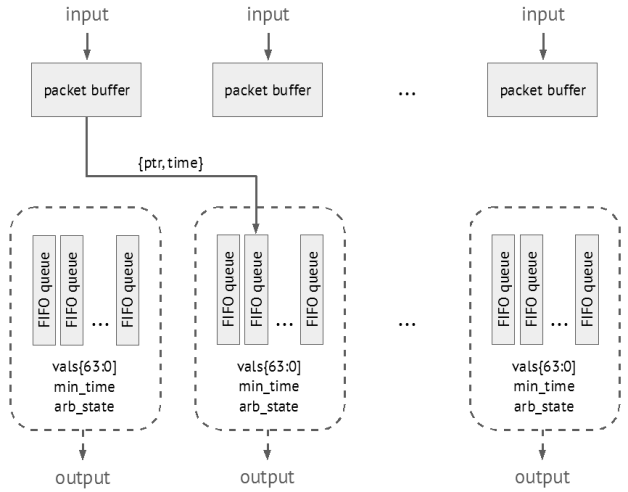


Рис. 4. Структура модели сети соединений на кристалле

Модель сети соединений также предельно упрощена, но при этом способна отражать пропускную способность, задержки и честность реальной сети, что и требуется для оценки производительности микропроцессора в целом. На каждом входе модели сети – очередь пакетов, на каждом выходе 64 очереди указателей на них (для разных расстояний между входом и выходом) и три переменные, использование которых позволяет тратить минимум времени на проверку очередей (рис. 4). Арбитры на выходах, счётчики пакетов и механизм типа source throtling [11] позволяют моделировать требуемую честность сети и зависимость задержек от интенсивности трафика без заметного ущерба для скорости моделирования. Для контроля точности модели ведётся статистика загруженности каналов сети при предполагаемой топологии сети (сетка) и детерминированной (XY) маршрутизации.

Модель контроллера памяти также упрощена, поскольку в многоядерных процессорах поток обращений в память выглядит всё более случайным с увеличением количества ядер [12]; для повышения точности, например, для исследования оптимизаций, уменьшающих эту случайность, в симулятор планируется добавить точный симулятор памяти Ramulator [13].

Данный симулятор также подойдёт для моделирования других in-order архитектур. Точность и скорость его работы исследованы в [14]. На 16-ядерном Xeon E5 2698 v3 моделирование всех 29 тестов пакета SPEC CPU2006 в 1024-ядерной конфигурации занимает примерно три дня; конфигурации с меньшим числом ядер моделируются пропорционально быстрее.

V. Результаты экспериментов

С помощью описанной методики была оценена производительность 64- и 256-ядерных процессоров в конфигурациях, аналогичных использованным в [14] для 1024-ядерных тестов. В данной работе мы более подробно изучим влияние деталей реализации общего кэша и оценим масштабируемость производительности. Память предполагается 8-канальной с пропускной способностью в 16 и 32 байта за такт ядра на канал, соответственно. На диаграммах показаны результаты десяти тестов с наибольшей разницей в результатах. Производительность даётся относительно однопоточной в 8-ядерной конфигурации или относительно аналогичной конфигурации без разбиения кэша.

A. Инклюзивность

В [15] на основании 16-ядерных тестов сделан вывод, что стоимость реализации отдельного справочника, необходимого для оптимизаций времени доступа, при любом количестве ядер оправдана повышением эффективности кэша за счёт отказа от инклюзивности. Мы проверили это при 64 и 256 ядрах и получили среднее преимущество неинклюзивной схемы в 3.5 и 4 процента, соответственно (рис. 5). Учитывая возможность дальнейшего почти бесплатного повышения эффективности оптимизациями типа FLEXclusion, цена справочника по-прежнему выглядит оправданной.

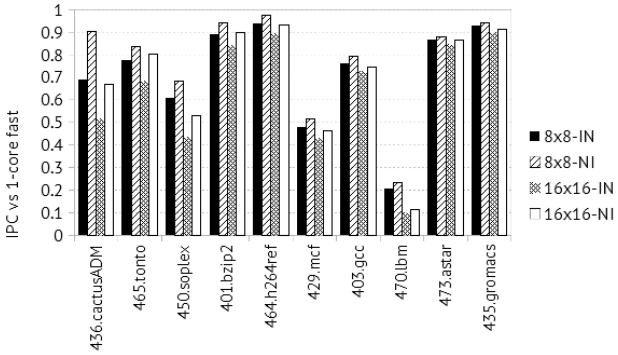


Рис. 5. Производительность 64- и 256-ядерных моделей при разной инклюзивности L3 кэша

Результаты этих тестов, нагружающих каждое ядро, также показывают падение средней производительности ядра на 23% при 64 ядрах и ещё на 13% при увеличении числа ядер до 256, что означает прирост суммарной производительности ядер в 49 раз при переходе от одного ядра к 64 и в 3.48 раза от 64 к 256. Это позволяет сделать вывод о хорошем масштабировании производительности в хорошо распараллеливаемых задачах вплоть до 256 ядер.

B. Ассоциативность и разбиение

В [16] мы показали преимущество ZCache с механизмом разбиения Futility Scaling над традиционным way-partitioning. Однако в [14] простой механизм Partitioning First с традиционной ассоциативностью продемонстрировал производительность почти идентичную ZCache. Проверим гипотезу, что при инклюзивной схеме разница должна быть больше (рис. 6).

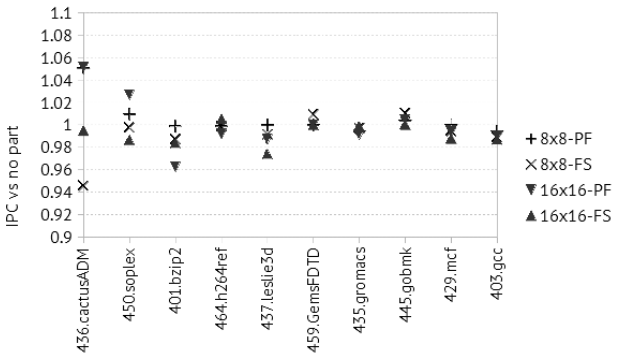


Рис. 6. Производительность 64- и 256-ядерных моделей при разном разбиении L3 кэша

Действительно, разница стала более заметной, но по-прежнему не превышает нескольких процентов. Напрашивается вывод, что в рассматриваемых конфигурациях ассоциативность общего кэша не так важна, как в конфигурациях из публикаций про ZCache [17]. Мы проверили на 64-ядерной модели, как на результаты влияет количество столбцов в кэше (рис. 7).

При восьми и менее столбцах, Partitioning First демонстрирует ожидаемое падение

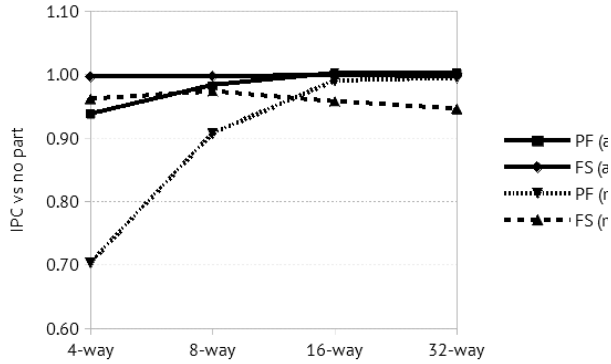


Рис. 7. Производительность 64-ядерной модели при разных ширине и разбиении L3 кэша

производительности, а при 16 и более столбцах разницы почти нет. Возможно, в более сложных сценариях она проявится, а пока механизм Partitioning First выглядит оптимальным выбором за счёт своей простоты и чуть лучшей производительности при 16 и более столбцах.

В любом случае, реализация механизма разбиения и, соответственно, любых политик качества обслуживания (QoS) на его основе выглядит возможной без заметного ущерба для производительности и больших затрат оборудования при любом количестве ядер.

C. Уменьшение времени доступа

В [14] мы обнаружили двухкратное падение производительности 1024-ядерной модели относительно 8-ядерной в некоторых сценариях из-за увеличения времени доступа в память. Это ставит под вопрос целесообразность такого наращивания числа ядер. Повторим эти эксперименты на 64- и 256-ядерных моделях и проверим, насколько может помочь двукратное уменьшение задержек сети (реализацией экспресс-виртуальных каналов или/и выбором другой топологии) (рис. 8).

На 64-ядерной модели с общим кэшем без уменьшения задержек сети (Shared и Hybrid) однопоточные тесты демонстрируют в среднем на 1–2% большую скорость, чем на модели 8-ядерного процессора, с максимальным отставанием в 14%. Уменьшение задержек (Hybrid-N1) даёт среднее преимущество в 8% и максимальное отставание в 2%. На основании этих результатов можно сделать вывод, что со всеми оптимизациями 64-ядерный процессор будет почти однозначно быстрее 8-ядерного даже в однопоточных задачах.

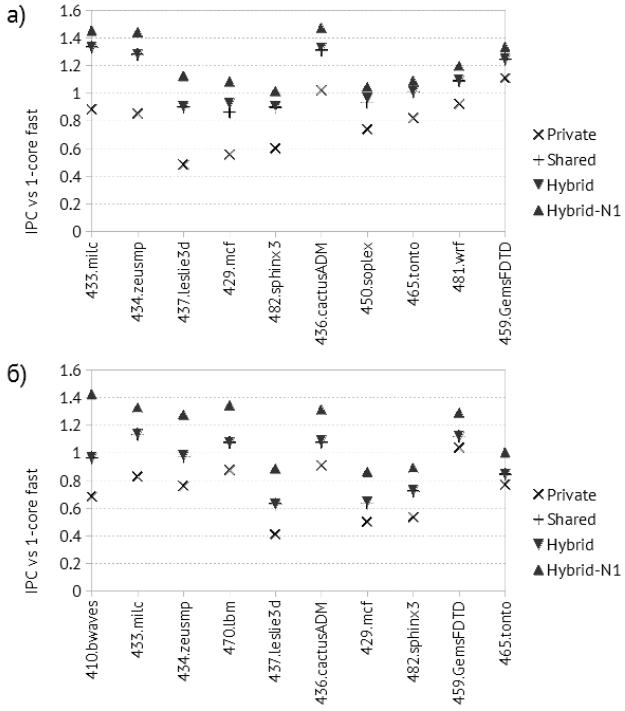


Рис. 8. Производительность в однопоточных сценариях а) 64-ядерной модели б) 256-ядерной

На 256-ядерной модели с общим кэшем падение производительности достигает 37% при среднем в 6,5%. Уменьшение задержек сети исправляет ситуацию: максимальное отставание от 8-ядерной модели уменьшается до 14%, а в среднем наблюдается прирост в 4,6%. В целом, 256-ядерность можно считать оправданной, а учитывая, что при разработке новых процессоров часто улучшают микроархитектуру или повышают частоту ядер, эти результаты позволяют ожидать, что и 256-ядерный процессор будет однозначно быстрее 8-ядерного при должной оптимизации.

VI. Заключение

Для оценки производительности многоядерных процессоров с сотнями ядер можно использовать методику, включающую снятие трасс событий доработанным потактовым симулятором процессора с упрощённой моделью подсистемы памяти, и затем воспроизведение этих трасс в детальной модели подсистемы памяти исследуемого многоядреного процессора.

Эксперименты на 64- и 256-ядерных моделях процессоров в многопоточных сценариях показывают средний прирост производительности в 49 раз у 64 ядер относительно одного ядра 8-ядерной модели и ещё в 3.48 раза при увеличении до 256, что позволяет сделать вывод о хорошем масштабировании производительности в хорошо распараллеливаемых задачах. В однопоточных тестах на тех же моделях падение производительности из-за увеличения времени доступа в память, компенсируемое увеличением объёма общего кэша и оптимизациями времени доступа, составляет не более 2% и 14%, соответственно; в среднем производительность повышается на 8% и 4,6%.

На основании результатов этих экспериментов, имитирующих работу процессора в наиболее и наименее распараллеливаемых задачах, можно сделать вывод о возможности наращивания числа ядер в процессорах семейства «Эльбрус» вплоть до 256-ти с адекватным увеличением производительности в целом и без значительного её падения почти во всех задачах. То есть, вопреки распространённому мнению, разработка универсальных процессоров с сотнями ядер на обычных кремниевых технологиях имеет смысл.

Эти результаты, однако, получены на упрощённой модели и ограниченном наборе тестов. Для определения оптимальной конфигурации таких процессоров следует повторить эксперименты на более точной модели и в более актуальных и разнообразных задачах, когда технологии позволяющие достичь такого количества ядер станут доступны и будут известны спецификации соответствующих типов памяти.

Литература

[1] Yu. A. Nedbailo. Avoiding common scalability pitfalls in shared-cache chip multiprocessor design // In 2019 International Conference on Engineering and Telecommunication (EnT), Nov 2019.

[2] Nathan Binkert, Bradford Beckmann, Gabriel Black, Steven K. Reinhardt, Ali Saidi, Arkaprava Basu, Joel Hestness, Derek R. Hower, TusharKrishna, Somayeh Sardashti, and et al. // The Gem5 simulator. SIGARCH Comput. Archit. News, 39(2):17, August 2011.

[3] Daniel Sanchez and Christos Kozyrakis. Zsim: Fast and accurate microarchitectural simulation of thousand-core systems // In Proceedings of the 40th Annual International Symposium on Computer Architecture, ISCA 13, page 475–486, New York, NY, USA, 2013. Association for Computing Machinery.

[4] R. Jagtap, S. Diestelhorst, A. Hansson, M. Jung, and N. When. Exploring system performance using elastic traces: Fast, accurate and portable // In 2016 International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (SAMOS), pages 96–105, July 2016.

[5] Joel Hestness, Boris Grot, and Stephen W. Keckler. Netrace: Dependency-driven trace-based network-on-chip simulation // In Proceedings of the Third International Workshop on Network on Chip Architectures, NoCArc '10, pages 31–36, New York, NY, USA, 2010. ACM.

[6] Порошин П. А., Мешков А. Н., Черных С. В. Разработка симулятора, поддерживающего потактовый режим работы, на основе текущей версии функционального симулятора архитектуры «Эльбрус» // Вопросы радиоэлектроники. 2018. № 2. С. 69–75.

[7] Karthik Sangaiah, Michael Lui, Radhika Jagtap, Stephan Diestelhorst, Siddharth Nilakantan, Ankit More, Baris Taskin, and Mark Hempstead SynchroTrace: Synchronization-aware architecture-agnostic traces for lightweight multicore simulation of CMP and HPC workloads // ACM Trans. Archit. Code Optim., 15(1), March 2018.

[8] T. M. Conte, M. A. Hirsch, and K. N. Menezes. Reducing state loss for effective trace sampling of superscalar processors // In Proceedings International Conference on

Computer Design. VLSI in Computers and Processors, pages 468–477, Oct 1996.
[9] Timothy Sherwood, Erez Perelman, Greg Hamerly, and Brad Calder. Automatically characterizing large scale program behavior // In Proceedingsof the 10th International Conference on Architectural Support for Programming Languages and Operating Systems, ASPLOS X, page 45–57, New York, NY, USA, 2002. Association for Computing Machinery.
[10] Кожин А. С., Недбайло Ю. А. Методы оптимизации времени доступа в общий кэш многоядерного микропроцессора // Вопросы радиоэлектроники. 2017. No 3. С. 27–32.
[11] Eiman Ebrahimi, Chang Joo Lee, Onur Mutlu, and Yale N. Patt. Fairness via source throttling: A configurable and high-performance fairness substrate for multicore memory systems // ACM Trans. Comput. Syst., 30(2):7:1–7:35, April 2012.
[12] Yu.A. Nedbailo and Igor A. Petrov. Increasing DDR4 SDRAM throughput in parallel workloads // In 2020 Moscow Workshop on Electronic and Networking Technologies (MWENT), Mar 2020.
[13] Y. Kim, W. Yang, and O. Mutlu. Ramulator: A fast and extensible DRAM simulator // IEEE Computer Architecture Letters, 15(1):45–49, Jan 2016.
[14] Y. Nedbailo. Fast and scalable simulation framework for large in-order chip multiprocessors // In 2020 26th Conference of Open Innovations Association (FRUCT), Yaroslavl, Russia, April 2020, pp. 335–345.
[15] Кожин А.С., Недбайло Ю.А. Оптимизация общего кэша третьего уровня микропроцессора «Эльбрус-8С» // Вопросы радиоэлектроники. 2015. № 3(3). С. 21–30.
[16] Недбайло Ю.А. Проблемы масштабирования производительности подсистемы памяти многоядерного микропроцессора и методы их решения // Вопросы радиоэлектроники. 2018. № 2. С. 23–31.
[17] Ruisheng Wang and Lizhong Chen. Futility scaling: High-associativity cache partitioning // In Proceedings of the 47th Annual IEEE/ACM International Symposium on Microarchitecture, MICRO-47, pages 356–367, Washington, DC, USA, 2014. IEEE Computer Society.

Multiprocessor Chip Scalability Analysis Using Trace-Based Simulation

Yu.A. Nedbailo[1,2]

[1]MCST JSC, Moscow

[2]INEUM im.I.S.Bruka, nonsens@inbox.ru

***Abstract* — As chip technology advances, the number of cores in mainstream chip multiprocessors (CMP) increases, so chips with hundreds of cores may become common within a decade. One of the challenges this trend sets to computer architects is to make the current CMP designs scalable to larger numbers of cores. A set of optimizations and design decisions needs to be developed accordingly and a tool set that would allow us to predict how they may affect the performance of larger CMPs is therefore necessary. In this paper, we describe a trace-based simulation framework we devised for Elbrus microprocessor family and the estimates of how this microarchitecture may perform in 64- and 256-core configurations.**

***Keywords* — Elbrus processor architecture, software simulation, cycle-accurate simulator (CAS), many-core, memory subsystem, shared cache.**

References

[1] Yu. A. Nedbailo. Avoiding common scalability pitfalls in shared-cache chip multiprocessor design // In 2019 International Conference on Engineering and Telecommunication (EnT), Nov 2019.
[2] Nathan Binkert, Bradford Beckmann, Gabriel Black, Steven K. Reinhardt, Ali Saidi, Arkaprava Basu, Joel Hestness, Derek R. Hower, TusharKrishna, Somayeh Sardashti, and et al. // The Gem5 simulator. SIGARCH Comput. Archit. News, 39(2):17, August 2011.
[3] Daniel Sanchez and Christos Kozyrakis. Zsim: Fast and accurate microarchitectural simulation of thousand-core systems // In Proceedings of the 40th Annual International Symposium on Computer Architecture, ISCA 13, page 475–486, New York, NY, USA, 2013. Association for Computing Machinery.
[4] R. Jagtap, S. Diestelhorst, A. Hansson, M. Jung, and N. When. Exploring system performance using elastic traces: Fast, accurate and portable // In 2016 International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (SAMOS), pages 96–105, July 2016.
[5] Joel Hestness, Boris Grot, and Stephen W. Keckler. Netrace: Dependency-driven trace-based network-on-chip simulation // In Proceedings of the Third International Workshop on Network on Chip Architectures, NoCArc '10, pages 31–36, New York, NY, USA, 2010. ACM.
[6] P.A. Poroshin, A.N. Meshkov, and S.V. Chernyh. Development of simulator with support of cycle-accurate simulation mode on base of the existing instruction set simulator of the Elbrus architecture // Voprosy radioelektroniki. 2018. № 2. pp. 69–75 (in Russian).
[7] Karthik Sangaiah, Michael Lui, Radhika Jagtap, Stephan Diestelhorst, Siddharth Nilakantan, Ankit More, Baris Taskin, and Mark Hempstead. SynchroTrace: Synchronization-aware architecture-agnostic traces for lightweight multicore simulation of CMP and HPC workloads // ACM Trans. Archit. Code Optim., 15(1), March 2018.
[8] T.M. Conte, M.A. Hirsch, and K.N. Menezes. Reducing state loss for effective trace sampling of superscalar processors // In Proceedings International Conference on Computer Design. VLSI in Computers and Processors, pages 468–477, Oct 1996.
[9] Timothy Sherwood, Erez Perelman, Greg Hamerly, and Brad Calder. Automatically characterizing large scale program behavior // In Proceedingsof the 10th International

Conference on Architectural Support for Programming Languages and Operating Systems, ASPLOS X, page 45–57, New York, NY, USA, 2002. Association for Computing Machinery.

[10] A.S. Kozhin and Yu.A. Nedbailo. Methods of shared cache access latency optimization in chip multiprocessors // Voprosy radioelektroniki. 2017. № 3, pp. 27–32 (in Russian).

[11] Eiman Ebrahimi, Chang Joo Lee, Onur Mutlu, and Yale N. Patt. Fairness via source throttling: A configurable and high-performance fairness substrate for multicore memory systems // ACM Trans. Comput. Syst., 30(2):7:1–7:35, April 2012.

[12] Yu.A. Nedbailo and Igor A. Petrov. Increasing DDR4 SDRAM throughput in parallel workloads // In 2020 Moscow Workshop on Electronic and Networking Technologies (MWENT), Mar 2020.

[13] Y. Kim, W. Yang, and O. Mutlu. Ramulator: A fast and extensible DRAM simulator // IEEE Computer Architecture Letters, 15(1):45–49, Jan 2016.

[14] Y. Nedbailo. Fast and scalable simulation framework for large in-order chip multiprocessors // In 2020 26th Conference of Open Innovations Association (FRUCT), Yaroslavl, Russia, April 2020, pp. 335–345.

[15] A. Kozhin, Y. Nedbailo. Optimizing the inclusive shared L3 cache in «Elbrus-8C» microprocessor // Voprosy radioelektroniki. 2015. № 3(3), pp. 21–30 (in Russian).

[16] Nedbailo Yu. A. Memory subsystem performance scaling problems in chip multiprocessors and their solution // Voprosy radioelektroniki. 2018. № 2, pp. 23–31 (in Russian).

[17] Ruisheng Wang and Lizhong Chen. Futility scaling: High-associativity cache partitioning // In Proceedings of the 47th Annual IEEE/ACM International Symposium on Microarchitecture, MICRO-47, pages 356–367, Washington, DC, USA, 2014. IEEE Computer Society.

УДК 004.415.538 DOI: 10.31114/2078-7707-2020-3-94-99

Методика автоматизированного анализа производительности коммутационных сред с учетом структуры СнК и прикладных задач

К.А. Жезлов

АО «Научно-производственный центр «ЭЛВИС», kzhezlov@elvees.com

***Аннотация* — В статье описана инфраструктура и методика проверки подсистем коммутации на соответствие требованиям к производительности. Для реализации предлагаемой методики представлен генератор входных воздействий на основе графов и подходы к формированию базовых тестов производительности с его использованием. Также представлен набор метрик и критериев для анализа эффективности подсистем коммутации и приведены примеры их применения.**

***Ключевые слова* — система на кристалле, верификация, анализ производительности, сценарии использования, верификация на системном уровне, автономная верификация, графо-ориентированный подход, метрики производительности.**

I. Введение

Современные системы на кристалле (СнК) состоят из большого числа разнородных сложно-функциональных блоков. В частности, к ним относятся процессоры разной архитектуры и периферийные блоки, объединенные системой коммутации. В круг задач верификации входит не только проверка корректности работы СнК на всех этапах проектирования, но и проверка её на удовлетворение требованиям к производительности, диктуемым целевыми задачами [1].

Основным способом проверки системы является автономная верификация СФ-блоков. Задача проверки функциональной корректности всей системы, как и анализ её эффективности при использовании модели всей СнК, являются очень ресурсозатратными как с точки зрения создания тестов, так и с точки зрения времени моделирования. Они требуют наличия рабочей модели всей системы, которая появляется слишком поздно для существенных переработок архитектуры в случае обнаружения проблем с производительностью системы. Обе эти задачи могут быть декомпозированы и выполнены на автономных окружениях при выполнении условия организации процесса передачи ограничений с верхнего уровня на уровень блоков и результатов характеризации отдельных блоков на уровень системы и других блоков [2].

Для обеспечения корректности работы системы по критерию эффективности маршрут разработки СнК должен быть ориентирован на раннюю локализацию проблем с производительностью и подтверждение её характеристик. Для решения этой задачи необходима унификация средств оценки производительности [3].

Производительность системы на кристалле во многом определяется её архитектурой и, в частности, архитектурой подсистемы коммутации, поэтому предпринимать шаги в отношении оценки всей системы на соответствие заданным требованиям необходимо как можно раньше.

Для оценки производительности системы, а также для поиска проблем с ней, критичны следующие факторы: тестовый сценарий, направленный на создание условий для измерения именно производительности, способ представления, формирования и исполнения этого сценария, подходящий для воспроизведения ошибок в дальнейшем, и методика оценки производительности, то есть какие параметры и каким образом рассчитываются [4, 5].

II. Оценка производительности

Оценка производительности коммутационной среды, как правило, заключается в том, чтобы проверить, соответствует ли система заявленным требованиям по производительности.

Понятие производительности коммутационной среды обычно включает в себя следующие факторы:

1) Качество обслуживания (QoS – Quality of Service).
2) Полоса пропускания (bandwidth).
3) Пропуская способность (throughput).
4) Величина задержки (latency).
5) Количество одновременно выполняемых транзакций.
6) Арбитраж.

Основным этапом, с которого начинается оценка производительности, является характеризация нагрузки. Она включает в себя задачу описания шаблонов трафика и оценки его временных характеристик. То есть необходимо описать не только данные какого объема и откуда будут поступать в сеть, но и разреженность этих данных, объемы отдельных пакетов. В данном контексте речь идёт об абстрактном

трафике, не привязанном к протоколам передачи данных, поэтому на этапе характеризации не имеет значения тип используемых транзакций.

Основными метриками, по которым можно судить о производительности коммутационной среды в составе СнК, являются:

- ширина канала;
- пропускная способность;
- величина задержки.

Данный набор метрик является базовым и позволяет достаточно точно охарактеризовать производительность подсистемы коммутации, но не позволяет выявлять причины проблем производительности.

Коммутатор, будучи интегрированным в СнК, должен обеспечивать заданную эффективность выполнения класса целевых задач. Класс целевых задач определяется областью применения СнК (например, потоковая обработка видео/аудио).

Контролируемыми параметрами (с точки зрения задачи) являются:

1) время исполнения конкретной задачи;
2) время реакции системы на внешние события.

Факторы, потенциально влияющие на производительность системы и, следовательно, на контролируемые параметры, могут носить программный или аппаратный характер. Проблемы программного характера заключаются в неоптимизированности исполняемой задачи для данной архитектуры (в случае её удовлетворительной работы).

В случае аппаратной части можно выделить три основных проблемных места – ведущие и ведомые устройства, и сам коммутатор.

Коммутатор может стать причиной низкой производительности системы в следующих случаях:

- когда он не обеспечивает необходимой ведущим и ведомым устройствам пропускной способности;
- неправильно настроен арбитраж.

В качестве ведущих устройств, как правило, выступают CPU. Ведущие устройства потенциально могут понижать производительность в случае неоптимизированности их настроек для работы с памятью.

В качестве ведомых устройств чаще всего выступают различные виды памяти. В данном случае проблемой может являться низкая скорость её работы и неоптимизированность внутренней коммутации.

III. Графо-ориентированный подход к формированию тестовых воздействий

Наиболее удобным для решения задач формирования и исполнения тестового сценария является его представление в виде графа. Такой подход позволяет формировать сценарий, оперирующий транзакциями или даже потоками данных, что позволяет перенести описание теста на более высокий уровень абстракции. Независимость от внутренней архитектуры блоков повышает степень повторного использования кода тестовых сценариев и облегчает их модификацию. При этом детерминированность тестового сценария позволяет однозначно воспроизвести ситуацию, в которой была обнаружена ошибка работы системы, и определить конкретное событие, ставшее её причиной.

В описываемом подходе тестовый сценарий представляет собой дерево транзакций: вершинами графа являются сами транзакции, а ребрами – зависимости между ними.

В состав предлагаемого инструмента входят два основных блока – генератор графов (Python) и их проигрыватель (System Verilog). На рис. 1 представлена его структурная схема.

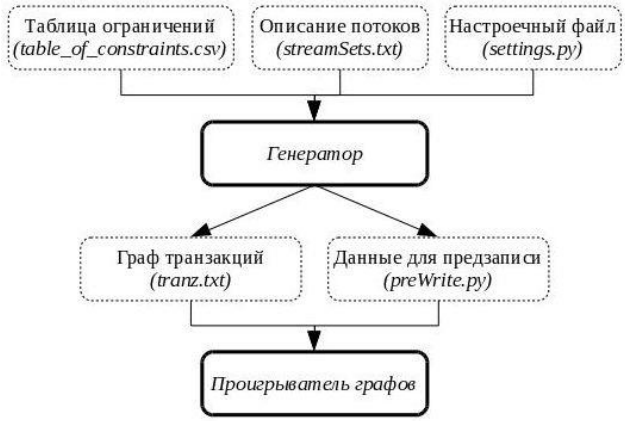


Рис. 1. Структурная схема генератора и проигрывателя графовых тестовых сценариев

Инструмент позволяет генерировать тесты следующих типов: тесты для проверки карты памяти, синтетические тесты для оценки производительности, тесты на основе сценариев использования устройства. Входными данными для блока генератора являются: таблица ограничений устройства, которая включает в себя карту памяти, матрицу коммутации и ограничения для master и slave устройств; настроечный пользовательский файл; текстовый файл с описанием потоков данных, на основе которого будет построен граф транзакций. Выходными данными являются файл с текстовым описанием графа транзакций и файл с данными и адресами для предварительной записи в память.

Описание потоков данных представляет собой определение следующих величин: номера master и slave устройств, осуществляющих приём и передачу данных, операция (чтение или запись), количество одновременно отправляемых транзакций, длина и ширина транзакций, объем отправляемых данных и скорость их отправки, диапазон адресов и имена потоков, которые будут запущены после этого. Эти параметры позволяют конструировать сложные

тестовые сценарии, основанные на зависящих друг от друга передачах массивов данных.

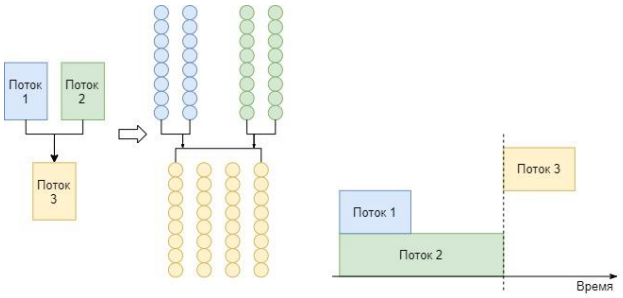


Рис. 2. Формирование и проигрывание графа транзакций

На рис. 2 представлен пример формирования графа транзакций по описанию потоков. В нем рассматривается создание трех потоков, при этом третий зависит от первых двух и должен запуститься только тогда, когда выполнятся все транзакции из Strm1 и Strm2. В первых двух потоках транзакции отправляются по 2 одновременно, в третьем – по 4, и передаётся вдвое больший объем данных. Как видно из примера, граф определяет лишь последовательность транзакций и скорость инжекции, то есть при моделировании два одинаковых одновременных потока могут быть исполнены за разное время.

Таким образом, подобные тестовые сценарии, описанные на высоком уровне абстракции, позволяют с достаточной точностью имитировать трафик, характерный для различных устройств и сценариев их использования, с учетом реальной динамики передачи управления тем или иным фазам сценария. Высокоуровневое описание позволяет использовать графовый подход не только для тестов, направленных на оценку производительности, но и для функционального контроля архитектуры системы или подсистемы на ранних этапах разработки (в частности на автономном окружении коммутационной среды).

IV. Метрики и критерии оценки производительности

Для вычисления предлагаемых в данной работе метрик производительности используются следующие характеристики транзакций и условные обозначения:

- T_n – текущая транзакция;
- $Tsize_n$ – объем текущей транзакции;
- $start_n$ – время начала текущей транзакции;
- end_n – время завершения текущей транзакции;
- end_{n-1} – время завершения предыдущей транзакции;
- t – длина временного промежутка, на котором производится измерение.

Для оценки производительности коммутаторов предлагается использовать следующие метрики:

1) **Время исполнения транзакции** (такт, с) – латентность, время между началом передачи транзакции и полным ее приёмом.

$$L_n = end_n - start_n$$

2) **Средняя скорость передачи данных** (Байт/такт, Байт/с) – показывает фактическую загрузку канала.

$$Vd_{avg} = \frac{\sum Tsize_n}{t}$$

3) **Локальная пропускная способность** (Байт/такт, Байт/с) – максимальный трафик, принимаемый каналом.

$$C_n = \frac{Tsize_n}{end_n - end_{n-1}}$$

4) **Скорость исполнения транзакции** (Байт/такт, Байт/с) – объем данных, переданный в течение времени исполнения одной транзакции.

$$E_n = \frac{Tsize_n}{end_n - start_n}$$

5) **Незавершённые транзакции** (шт) – количество транзакций, выполняющихся параллельно.

$$O_n = \sum T_m + 1,$$

для T_m таких, что $start_n \le start_m \le end_n$.

Расчет значений метрик производится на основе логов симуляции, из которых экстрагируются такие значения, как длина транзакции, время её начала и конца. Может производиться как расчет значений на различных временных промежутках (при необходимости анализа зависимости значения метрики от времени), так и на всём временном отрезке моделирования для получения интегральных значений. В случае вычисления значений метрик на нескольких временных отрезках нужно учитывать, что увеличение количества отрезков, на которые разбивается всё время симуляции, увеличивает точность расчёта, но увеличивает затрачиваемое время.

Базовый анализ производительности производится на основе пропускной способности и времени исполнения транзакции. Исходя из соотношения этих величин и характера трафика, можно сделать выводы об эффективности системы.

Перед определением критериев необходимо ввести ряд условных обозначений:

- Vd_{ref} – эталонное значение пропускной способности.
- K_c – коэффициент допустимого отклонения локальной пропускной способности, $0 \le K_e \le 1$.
- K_e – коэффициент допустимого отклонения скорости исполнения транзакций, $0 \le K_e \le 1$.

Ниже перечислены основные критерии, по которым производится оценка.

1) $Vd_{avg} < Vd_{ref}$ – устройство не обеспечивает необходимой скорости передачи данных.

2) $C_{avg} < K_c C_{\max}$ – локальная пропускная способность значительно ниже максимальной. Потенциально устройство может работать быстрее.

3) $E_{avg} < K_e E_{\max}$ – транзакции исполняются медленнее, чем потенциально могли бы. Потенциально устройство может работать быстрее.

4) $C_{\max} < Vd_{ref}$ – максимальная локальная пропускная способность ниже ожидаемой пропускной способности. Нужная скорость передачи данных не достигается.

5) $C_{avg} \approx E_{\max}$ – транзакции передаются плотным потоком. Канал передачи полностью загружен. В противном случае устройство не создаёт необходимой нагрузки.

6) $E_{avg}(MS) < E_{avg}(SL)$ – ведущее устройство медленнее обрабатывает транзакции.

7) $E_{avg}(SL) < E_{avg}(MS)$ – ведомое устройство медленнее обрабатывает транзакции.

Важно помнить, что скорость передачи данных и время исполнения транзакции не имеют прямой или обратной зависимости. Уменьшение скорости передачи данных и уменьшение времени исполнения транзакции говорит о том, что транзакции исполняются за меньшее время, но промежутки между ними увеличились.

V. Базовые тесты производительности

Базовыми тестами производительности, являются тест латентности, пропускной способности и количества одновременно исполняемых транзакций (outstanding). Эти тесты имеет смысл проводить, как только RTL-описание коммутационной инфраструктуры прошло базовую функциональную проверку на соответствие карте памяти и карте регистров. Для каждого из базовых тестов производительности необходим его запуск для каждой пары master-slave в соответствие с таблицей коммутации. Кроме того, необходима отдельная проверка для операций чтения и записи.

Отслеживаемой метрикой для теста латентности является среднее время исполнения транзакции, так как она показывает время между началом передачи транзакции и полным ее приёмом. Добавление дополнительных задержек к сигналам для данного теста не требуется. Для получения корректных значений необходима передача транзакций с минимальной длиной, но количество транзакций должно хотя бы в два раза превышать количество временных отрезков, на которых будет проводиться измерение. Эмпирически было выяснено, что в среднем необходима передача около двухсот транзакций. Кроме того, транзакции должны отправляться по одной.

Тест пропускной способности проводится также отдельно для каждой пары master-slave и операций чтения и записи. Отслеживаемой метрикой для данного теста является средняя локальная пропускная способность. Для этого теста необходимо максимально загрузить используемый канал подсистемы коммутации, поэтому транзакции максимальной длины должны передаваться в сеть с максимальной скоростью (то есть с нулевой паузой между транзакциями) и с максимальным количеством одновременно исполняемых транзакций. Данный тест необходимо проводить как с нулевыми задержками для оценки максимальных возможностей коммутационной инфраструктуры, так и с реальными задержками для всех устройств для получения представления о том, насколько близка работа системы к максимальным значениям при идеальных условиях.

Тест одновременно исполняемых транзакций производится при минимальных размерах длины и ширины транзакций, а сами транзакции должны отправляться с максимальной скоростью. Для такой проверки необходимо одновременно отправить в сеть количество транзакций большее, чем может передать master-устройство и принять slave-устройство. Для получения корректных результатов необходима установка дополнительных задержек на ответные сигналы (например, RVALID) для того, чтобы искусственно увеличить время исполнения транзакций, то есть задержать момент «valid handshake» и начало фазы передачи данных. Величина задержки должна быть такой, чтобы до завершения первой транзакции master-устройство могло передать адреса для всех отправляемых транзакций. То есть если предположить, что фаза передачи одного адреса занимает один такт, а в рамках теста необходимо отправить 300 транзакций, то величина задержек должна составлять минимум 300 тактов. Кроме того, для данного теста необходимо управление полем id транзакций со стороны теста, так как от количества id, зарезервированных для данного порта, зависит и количество outstanding-транзакций. То есть при составлении теста необходимо учитывать ожидаемое значение того, сколько транзакций с одинаковыми id данный порт может отправить, не дожидаясь их завершения.

Данный тест может проводиться в двух формах – оценка максимального количества outstanding-транзакций и оценка их количества в зависимости от времени. В первом случае необходимо вычислить количество транзакций, которые начались до того, как успела закончиться первая запущенная транзакция. Это позволяет не только оценить максимальное количество одновременно запущенных транзакций, но выявить ошибки с неверной настроенной глубиной входных или выходных буферов устройств. Для второго случая необходима проверка методом скользящего окна – нужно для каждого отрезка времени вычислить количество транзакций, которые были запущены в этом отрезке или же были запущены раньше, но не завершились к моменту начала этого отрезка.

VI. Пример оценки производительности системы

При сравнении средней локальной пропускной способности и средней скорости исполнения транзакции можно выявить причину ограничения пропускной способности. Если пропускная способность ограничивается со стороны коммутационной логики, то есть создаваемая мастером нагрузка выше фактических возможностей коммутатора в данной ситуации, то средняя локальная пропускная способность будет очень близка к максимальной скорости исполнения транзакций. При этом получаемое значение пропускной способности будет ниже, чем рассчитанное при проектировании. Эта ситуация говорит о том, что все транзакции исполняются максимально быстро и идут с минимальными паузами. На рис. 3 представлен график, иллюстрирующий подобную ситуацию.

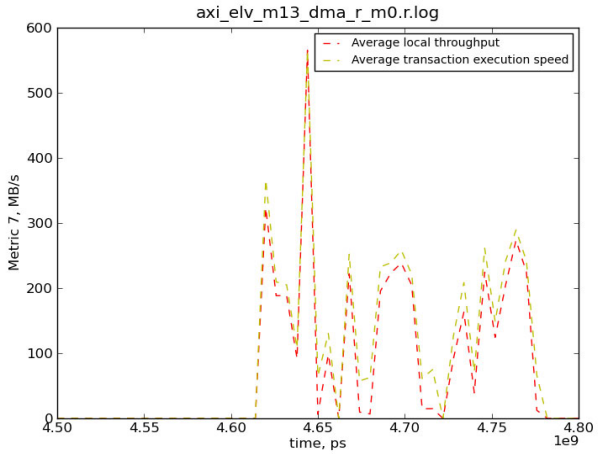


Рис. 3. Ограничение пропускной способности со стороны коммутационной логики

Пропускная способность может быть ограничена со стороны мастера, то есть создаваемая им нагрузка ниже фактических возможностей коммутатора в текущей ситуации. Причиной этого могут быть некорректно сформированные тестовые воздействия, например, передача слишком коротких слов, неиспользование всех outstanding-транзакций или неверная настройка генерации id транзакций. Если тест сформирован корректно, то причинами несоответствия пропускной способности требованиям может быть неправильно настроенный арбитраж или некорректная работа master-устройства. В данном случае средняя скорость исполнения транзакций будет значительно превышать среднюю локальную пропускную способность, что говорит о том, что транзакции исполняются быстро, но идут с большими паузами, увеличивая время простоя системы. На рис. 4 представлен пример ограничения пропускной способности со стороны мастера.

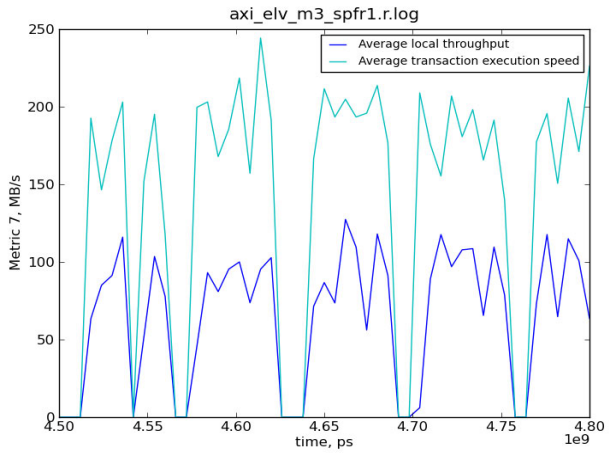


Рис. 4. Ограничение пропускной способности со стороны мастера

Литература

[1] Mehta A.B. ASIC/SoC Functional Design Verification / A.B. Mehta // Springer International Publishing. 2018.

[2] Головина Е.К. и др. Метод создания и отладки комплексных тестов для функциональной верификации СнК, ориентированный на их повторное использование на всех этапах проектировании // Проблемы разработки перспективных микро-и наноэлектронных систем (МЭС). 2014. №. 2. С. 45-50.

[3] Automation of Test Environment Creation Aimed at IP-cores and SoC Development, Verification and Performance Analysis / Zhezlov K.A., Kolbasov Y.S., Kozlov A.O., Nikolaev A.V., Putrya F.M., Frolova S.E. // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2017. № 2. С. 16-21.

[4] Performance Evaluation of NoC-based Multicore Systems: From Traffic Analysis to NoC Latency Modelling / Z. Qian, P. Bogdan, CY. Tsui, R. Marculescu // ACM Transactions on Design Automation of Electronic Systems (TODAES). 2016. Т. 21. №. 3. С. 52.

[5] Effects of the NoC Architecture in the Performance of NoC-based MPSoCs / D.R. Silva, B.S. Oliveria, F.G. Moraes // 2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS). IEEE, 2014. С. 431-434.

Methodology of Automated Performance Analysis of SoC Interconnect Subsystems, According to SoC Structure and Application

K.A. Zhezlov

Joint Stock Company Research and Development Center «ELVEES», kzhezlov@elvees.com

***Abstract* — The paper describes the infrastructure and methods for checking an interconnect subsystem as a part of a SoC for compliance with performance requirements. The graph-based test scenarios generator is suggested as a part of the infrastructure being mentioned. Also the approach for developing basic performance tests is described. There is a description of a set of performance metrics and criteria, which are tested on several examples, detecting performance problems. The following factors are critical for evaluating the performance of a system, as well as for searching for its bottlenecks: a test scenario aimed at creating conditions for measuring performance; a way of representing, creating and executing this scenario, suitable for reproducing errors in the future; performance evaluation methodic. The most convenient for solving the problems of the creation and execution of the test scenario is its presentation as a graph. This approach allows you creation of scenario that operates with transactions or even data flows, which allows you transferring the test description to a higher level of abstraction. The graph-based approach describes a test scenario as an acyclic directed graph of transactions, the vertices of the graph are the transactions themselves, and the edges are the dependencies between them. This approach makes the test scenario reusable and error reproducible. Calculation of performance metrics and evaluation of criteria make it easier to evaluate the interconnect subsystem performance and find its bottlenecks.**

***Keywords* — SoC, verification, performance analysis, usage scenarios, system level verification, standalone verification, high-level model, graph-based approach, performance metrics**

REFERENCES

[1] Mehta A.B. ASIC/SoC Functional Design Verification / A.B. Mehta // Springer International Publishing. 2018.

[2] Golovina E.K. Metod sozdaniya i otladki kompleksnykh testov dlya funktsional'noy verifikatsii SnK, oriyentirovannyy na ikh povtornoye ispol'zovaniye na vsekh etapakh proyektirovanii (Method for creating and debugging complex tests for functional verification of SoCs, focused on their reuse at all stages of design) // Problemy razrabotki perspektivnykh mikro-i nanoelektronnykh sistem (MES). 2014. №. 2. S. 45-50 (in Russian).

[3] Automation of Test Environment Creation Aimed at IP-cores and SoC Development, Verification and Performance Analysis. Zhezlov K.A., Kolbasov Y.S., Kozlov A.O., Nikolaev A.V., Putrya F.M., Frolova S.E. // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2017. № 2. С. 16-21 (in Russian).

[4] Performance Evaluation of NoC-based Multicore Systems: From Traffic Analysis to NoC Latency Modelling / Z. Qian, P. Bogdan, CY. Tsui, R. Marculescu // ACM Transactions on Design Automation of Electronic Systems (TODAES). 2016. T. 21. №. 3. C. 52.

[5] Effects of the NoC Architecture in the Performance of NoC-based MPSoCs / D.R. Silva, B.S. Oliveria, F.G. Moraes // 2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS). IEEE, 2014. C. 431-434.

УДК 004.942 DOI: 10.31114/2078-7707-2020-3-100-107

Программное обеспечение для проектирования оптимальной сети высоковольтного электропитания космического аппарата

А.А. Квасников, С.П. Куксенко, А.А. Иванов

Томский государственный университет систем управления и радиоэлектроники, г. Томск, aleksejkvasnikov@gmail.com

***Аннотация* — Описана типовая процедура автоматизированного проектирования оптимальной сети высоковольтного электропитания космического аппарата. Приведены общие сведения о системе моделирования электромагнитной совместимости TALGAT. Описаны её новые подсистемы для проектирования технических решений по синтезу и мониторингу сети высоковольтного электропитания космических аппаратов. Рассмотрены функциональные возможности разработанных подсистем и описано их использование для проектирования сети высоковольтного электропитания космического аппарата.**

***Ключевые слова* — оптимальная сеть высоковольтного электропитания, силовая шина электропитания, электромагнитная совместимость, проектирование, базы данных, имитационное моделирование.**

I. Введение

В силовой электронике паразитные параметры могут привести к нестабильной работе активных элементов из-за перенапряжений, падения напряжения, дисбаланса токов, резонанса в конденсаторах и т.д. [1, 2]. Для снижения влияния паразитных параметров электрических соединений в контурах тока между источником и потребителем применяют силовые шины электропитания (СШЭП). Разработка СШЭП является комплексной задачей, которая включает в себя проведение имитационного моделирования поведения сети электропитания при воздействии на нее полезных и помеховых сигналов, выявление мест превышения допустимых уровней сигналов в узлах сети, построение оптимальной (с точки зрения помехоустойчивости, помехозащищенности, надежности и уменьшения массы) топологии сети электропитания в зависимости от нагрузочных характеристик имитаторов нагрузки. Поэтому поиск решения многокритериальной задачи по проектированию оптимальной СШЭП в целях повышения ее помехозащищенности и надежности является трудоемким процессом, при котором целесообразно использование средств специализированного программного обеспечения (ПО). Анализ современных тенденций показывает, что разработка данного класса ПО ведется в направлении повышения уровня эффективности использования программных средств и включает в себя расширение функциональных возможностей систем, связанное с увеличением количества задач, решаемых ПО в данной прикладной области, а также разработку интуитивного интерфейса пользователя и внедрение элементов экспертной системы, что позволяет разработчикам более эффективно решать поставленные задачи [3,4]. Цель данной работы – демонстрация результатов разработки ПО для проектирования технических решений по синтезу и мониторингу оптимальной сети высоковольтного электропитания (ОСВЭ) космического аппарата.

Разработанное ПО состоит из нескольких подсистем, каждая из которых может быть применена на разных этапах проектирования ОСВЭ. В состав ПО входят подсистемы: проектирования топологии ОСВЭ; проектирования технических решений по синтезу и мониторингу ОСВЭ; баз данных (БД); импорта и экспорта информации; локализации превышения допустимых уровней сигналов в узлах сети; поддержки принятия решений; оценки эффективности экранирования. При этом разработанное ПО применимо для проектирования сетей электропитания произвольного назначения, в том числе для радиоэлектронных средств, используемых в космической, транспортной, военной и других отраслях промышленности.

II. Общие сведения о системе

Типовая процедура автоматизированного проектирования ОСВЭ включает в себя 4 основных этапа: задание исходных данных; моделирование; анализ и обработка результатов; вывод результатов. На первом этапе производится задание структуры ОСВЭ, геометрических размеров её элементов, а также параметров полезных и помеховых сигналов, воздействующих на сеть электропитания. Для осуществления процедур, предусмотренных на первом этапе, ПО должно включать в себя: графический редактор, пригодный для проектирования топологии ОСВЭ и базу данных сигналов, которые потенциально могут воздействовать на сеть электропитания. На этапе моделирования выполняются процедуры расчёта погонных параметров двухмерных структур проводников и диэлектриков, имитационного моделирования сети электропитания, оценки эффективности экранирования (ЭЭ) элементов и устройств ОСВЭ. При этом необходимо, чтобы ПО содержало соответствующие подсистемы и модули, реализующие математические модели и вычислительные алгоритмы процедур этапа моделирования. На третьем этапе производится анализ и оценка процессов, происходящих в моделируемом объекте, оптимизация параметров моделируемых структур проводников и диэлектриков. Для реализации процедур этапа анализа, ПО должно включать в себя модули одно- и

многовариантного анализа структур проводников и диэлектриков, а также подсистемы, позволяющие выполнить анализ уровней сигналов в узлах сети. На этапе вывода информации осуществляется отображение результатов расчёта и моделирования, формирование и вывод справочно-аналитической информации на основе выбранного критерия оптимизации. Для этого необходимо, чтобы ПО включало в себя модули и подсистемы, реализующие механизмы графического вывода результатов расчета и формирования справочно-аналитической информации на основании этих результатов.

Исходя из описанных функциональных требований, в качестве основы для разработки ПО, выбрана отечественная система моделирования электромагнитной совместимости TALGAT, возможности которой были расширены за счет внедрения новых подсистем [5].

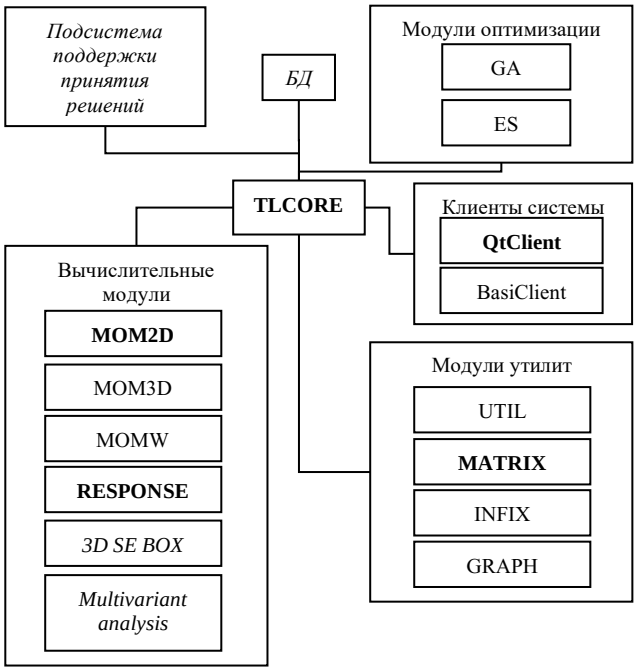


Рис. 1. Структурная схема разработанного ПО на основе системы TALGAT

Общая структурная схема разработанного ПО представлена на рис. 1. Курсивом отмечены новые подсистемы, полужирным шрифтом – подсистемы, функционал которых был доработан. В состав разработанного ПО входят: ядро системы (TLCORE); вычислительные модули (MOM2D – двухмерный квазистатический анализ структур из проводников и диэлектриков, MOM3D – трехмерный квазистатический анализ, RESPONSE – вычисление откликов вдоль отрезков многопроводных линий передачи произвольных схем, MOMW – электродинамический анализ проводных структур, 3D SE BOX – оценка эффективности экранирования, Multivariant analysis – многовариантный анализ погонных параметров произвольных двухмерных структур из проводников и диэлектриков); клиенты системы (графическая оболочка); модули оптимизации (ES – эволюционные стратегии, GA – генетические алгоритмы); подсистемы принятия решений и баз данных; вспомогательные модули утилит.

III. Подсистемы проектирования технических решений по синтезу и мониторингу ОСВЭ

Как было отмечено выше, для проектирования ОСВЭ ПО должно обладать рядом функциональных возможностей. В данном разделе представлено описание подсистем, вошедших в состав системы TALGAT, и ранее разработанных подсистем, без упоминания которых дальнейшее описание системы будет неполным. Так, в список подсистем вошли: подсистема проектирования топологии ОСВЭ, используемая при создании схемы СШЭП; подсистема проектирования технических решений, применяемая при проведении имитационного моделирования поведения сети электропитания при воздействии на нее полезных и помеховых сигналов; подсистема БД, которая содержит готовые технические решения (алгоритмы, структуры) по синтезу и мониторингу ОСВЭ и оцифрованные помеховые сигналы, которые могут использоваться при проведении имитационного моделирования поведения сети; подсистема импорта и экспорта информации, служащая для упрощения и автоматизации процесса наполнения баз данных системы и подготовки отчетов по результатам расчета системы; подсистема локализации превышения допустимых уровней сигнала в сети, используемая для оценки процессов, происходящих в моделируемом объекте; подсистема поддержки принятия решений, используемая для формирования отчетов на основе нормирующих параметров сигналов, воздействующих на сеть электропитания; подсистема оценки эффективности экранирования, применяемая для расчёта и трехмерного отображения ЭЭ элементов и устройств ОСВЭ. Далее кратко рассмотрены ключевые особенности каждой из подсистем.

A. Подсистема проектирования топологии ОСВЭ

Для построения произвольной топологии ОСВЭ из отрезков регулярных линий передачи и эмуляции нагрузок в виде схем из элементов с сосредоточенными параметрами использован функционал ранее реализованного графического редактора системы TALGAT [6]. Окно графического редактора подсистемы проектирования топологии ОСВЭ представлено на рис. 2. Построение схемы производится посредством взаимодействия с графическими элементами верхнего меню редактора системы.

B. Подсистема проектирования технических решений

Для вычисления частотного и временного откликов при проведении имитационного моделирования поведения сети электропитания при воздействии на нее полезных и помеховых сигналов может быть использован ранее разработанный модуль системы TAGLAT – RESPONSE [7]. Работа модуля основывается на применении скриптового языка ядра системы TALGAT двумя способами: с помощью непосредственного составления алгоритмов на скриптовом язы-

ке и с помощью взаимодействия с пользовательским интерфейсом программы, описанного в предыдущем подразделе.

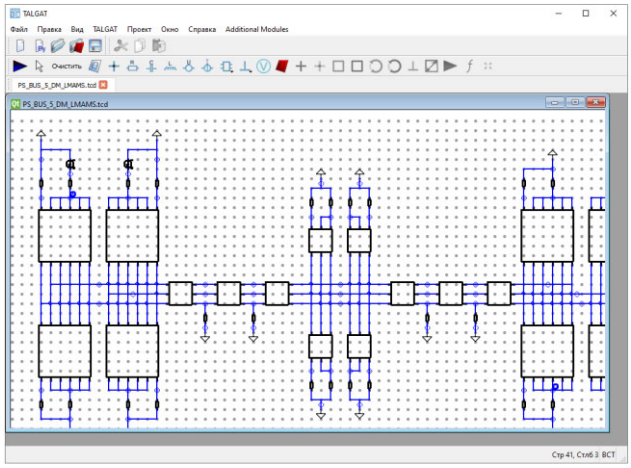
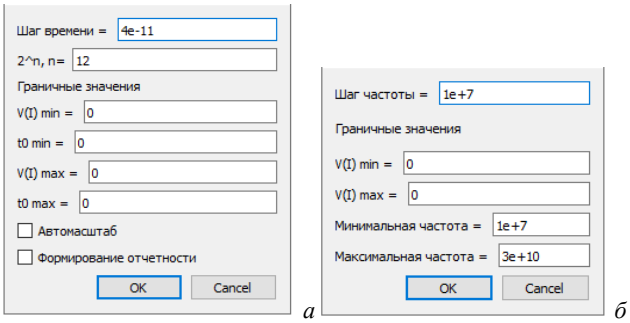


Рис. 2. Графический редактор подсистемы проектирования топологии ОСВЭ

Настройка алгоритма временного анализа производится с помощью ввода входных данных в окно соответствующих настроек (рис. 3*а*). Для временного анализа пользователю доступно задание шага времени и числа отсчетов по времени. Предусмотрены детальные настройки графического отображения откликов. Также доступна функция автоматического масштабирования графика. В нижней части интерфейса расположена флаговая кнопка «Формирование отчетности», служащая для запуска подсистемы аналитической и информационно-справочной поддержки принятия решений.



а *б*

Рис. 3. Окна настроек временного (*а*) и частотного (*б*) анализов

Интерфейс окна настроек частотного анализа представлен на рис. 3*б*. Окно содержит входные поля для задания диапазона частот, шага по частоте и минимального и максимального значений напряжений. После задания параметров подсистема генерирует код, который выполняется ядром системы. В результате выполнения кода, система автоматически отображает окно, содержащее графическое отображения результирующего отклика.

На рис. 4 представлен пример отображения временного отклика. Окно отображения отклика полностью интерактивно и предоставляет пользователю возможности масштабирования графика, навигации по нему и изменения положения легенды.

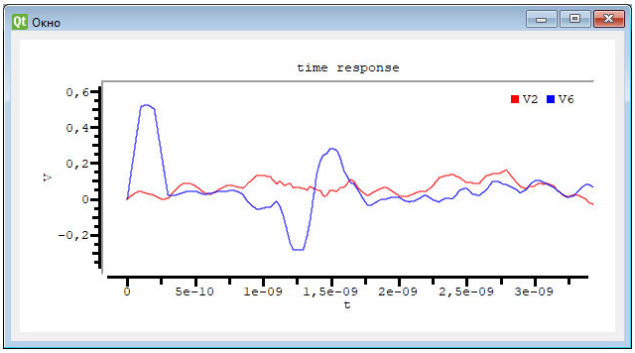


Рис. 4. Пример отображения временного отклика

C. Подсистема баз данных

Разработанная подсистема БД состоит из баз потенциально опасных сигналов сверхкоротких импульсов и готовых технических решений по проектированию ОСВЭ [8]. Подсистема предназначена для хранения пользовательских и предварительно созданных технических решений, а также оцифрованных сигналов, используемых другими подсистемами.

При разработке БД сигналов использованы оцифрованные сигналы, полученные из публично зарегистрированных генераторов высоковольтных импульсов, которые могут быть рассмотрены как потенциальные источники преднамеренных электромагнитных помех [9]. Доступ к базе данных помеховых сигналов осуществляется с помощью взаимодействия с элементом «Источник напряжения» графического редактора подсистемы проектирования топологии. Интерфейс окна выбора сигнала представлен на рис. 5.

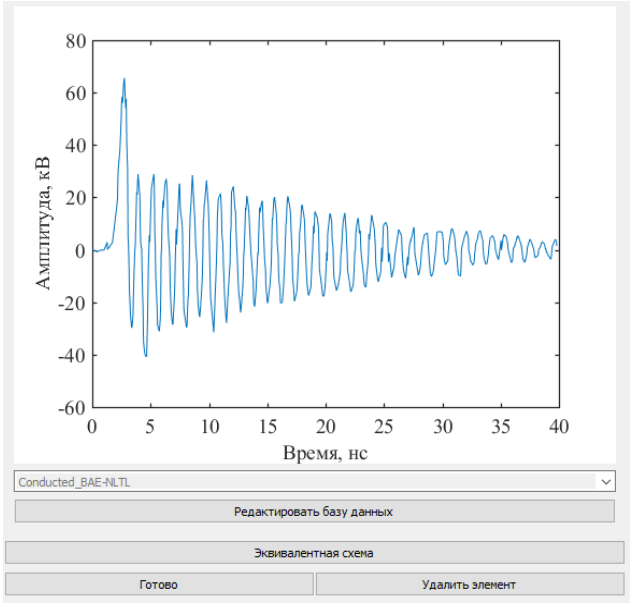


Рис. 5. Интерфейс окна выбора сигнала из БД

На рис. 6 представлен интерфейс окна БД готовых технических решений. Верхняя часть окна содержит таблицу элементов БД, в которой указаны: название

файла, его тип (принципиальная схема, поперечное сечение, готовый сценарий) и описание. Также реализован функционал редактирования БД и охранный механизм, препятствующий редактированию предустановленных элементов БД.

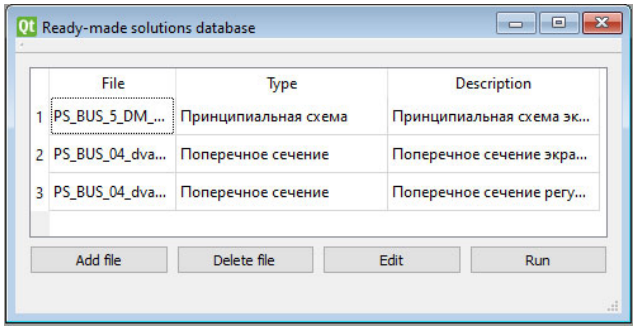


Рис. 6. Интерфейс окна БД готовых технических решений

D. Подсистема импорта и экспорта информации

Для обеспечения наполнения подсистемы БД разработана подсистема импорта информации, которая может быть использована для подготовки отчетов, содержащих результаты расчетов, выполненных в системе TAGLAT. Интерфейс окна подсистемы представлен на рис. 7. В верхней части интерфейса находятся элементы БД в виде текстового списка. При нажатии на строку из БД, таблица в центре окна заполняется данными из выбранного документа, при этом в нижней части документа отображается форма выбранного сигнала. Реализовано два способа заполнения нового элемента БД: автоматизированный (путем загрузки данных из внешнего текстового файла) и ручной (путем заполнения таблицы в центре окна подсистемы). Также имеется возможность экспорта (сохранения) данных в сторонний файл.

Заполнение БД готовых технических решений производится из главного окна соответствующей подсистемы (рис 6). Импорт файлов доступен по нажатию на кнопку «Добавить файл» в главном окне БД. Пользователю доступен выбор файла из произвольной директории, задание типа документа и добавление описания к загруженному файлу. Для внесения изменений в загруженный элемент БД применяется кнопка «Редактировать». Для автоматической подготовки отчетов на основе результатов расчётов, выполненных в системе TALGAT, разработана подсистема экспорта информации. Вызов подсистемы производится в окне динамической визуализации откликов сигналов с помощью кнопки «Export data». При ее нажатии подсистема формирует отчёт, включающий в себя максимальные и минимальные значения норм, портреты по нормам N_1–N_5, экстремумы сигнала в узлах сети и временные отклики в этих узлах, а также на входе и выходе исследуемой принципиальной схемы [9]. После этого данные выводятся в окне предварительного просмотра отчёта, который может быть сохранен в формате PDF, либо распечатан напрямую из системы TALGAT (рис. 8).

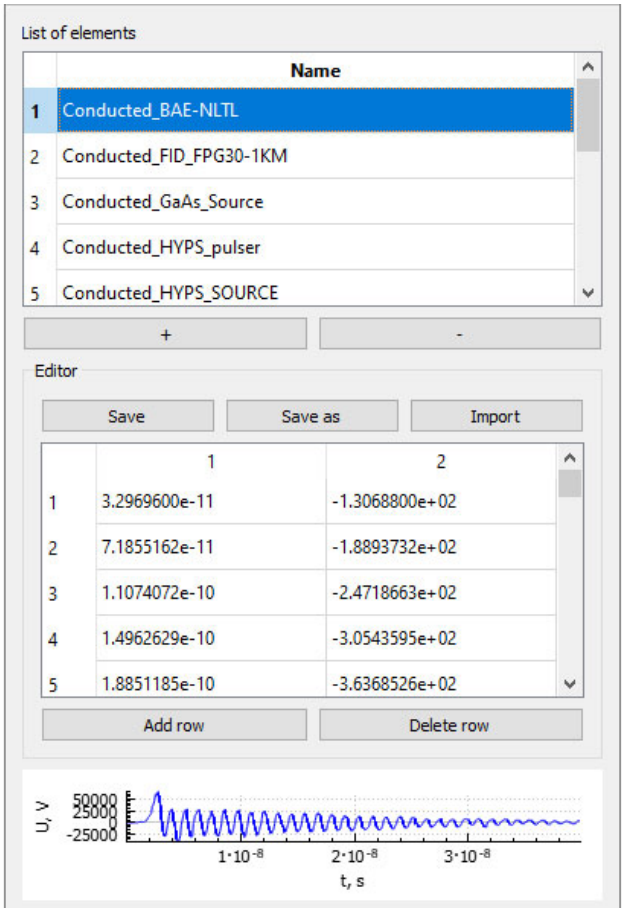


Рис. 7. Интерфейс подсистемы импорта полезных и помеховых сигналов

E. Подсистема локализации превышения допустимых уровней сигналов в узлах сети

Для визуализации изменения формы сигнала, а также выявления экстремумов сигнала, при его прохождении через отрезки линий передачи произвольной сложности, может быть использована подсистема локализации превышения допустимых уровней сигналов в узлах сети. Работа с подсистемой ведется с помощью взаимодействия с графическим редактором, описанным в подразделе *A*. После построения топологии пользователь может выбрать сигнал из подсистемы базы данных или задать его самостоятельно. Для запуска окна настроек алгоритма переходного анализа необходимо выбрать соответствующий элемент в главном окне программы. В данном окне доступны выбор типа анализа, а также окно настроек системы анимированной динамической визуализации сигналов «DynaVis». Настройка динамической визуализации включает в себя задание номеров начального и конечного узлов, а также числа кадров в секунду выходной анимации. Задание числа подинтервалов вдоль каждого отрезка проводников анализируемой структуры осуществляется на этапе построения топологии графическим редактором, описанным в подразделе *A*.

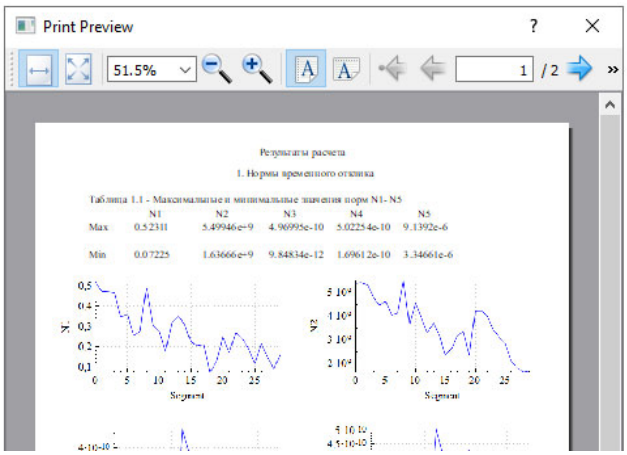


Рис. 8. Окно предварительного просмотра автоматически сгенерированного отчёта

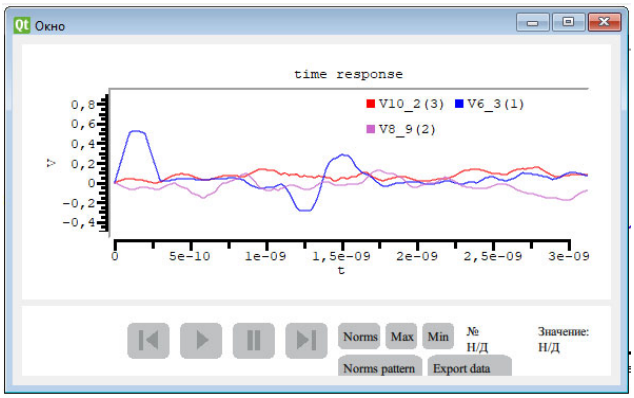


Рис. 9. Окно динамической визуализации сигнала

В результате своей работы подсистема автоматически генерирует и запускает код, который выводит окно с формами сигнала в заданных узлах, а также окно с динамическим отображением распространения сигнала в анализируемой структуре (рис. 9). Пользователю доступны элементы управления динамического изображения. Кнопки «Max» и «Min», расположенные в окне динамической визуализации сигнала, отвечают за отображение экстремумов сигнала. При нажатии на одну из этих кнопок анимация останавливается и на графике отображается форма сигнала с экстремумом. При этом на исследуемой принципиальной схеме отображается координата вдоль проводника отрезка линии передачи, в которой локализован экстремум сигнала.

В центральной части окна динамической визуализации расположена кнопка «Norms», при нажатии на которую производится расчет *N*-норм, применяемых для определения предела восприимчивости исследуемой принципиальной схемы [9]. Расчет *N*-норм выполняется путем применения математических операторов ко всей форме сигнала. Рассчитанные максимальные и минимальные значения нормирующих параметров выводятся в отдельном окне. Результаты применения функционала подсистемы представлены в работах [10–12].

F. Подсистема поддержки принятия решений

Для формирования аналитической справочной информации на основе *N*-норм сигналов, воздействующих на сеть электропитания, разработана подсистема поддержки принятия решений.

Для анализа произвольной топологии, заданной пользователем, применяются нормы N_1–N_5 и 10 сигналов, реализованных в прототипе подсистемы БД. Запуск подсистемы осуществляется путем нажатия флагового переключателя «Формирование отчетности» в меню настроек временного анализа в подсистеме проектирования технических решений.

Работа подсистемы осуществляется следующим образом. Подсистема в автоматическом режиме выполняет расчет откликов заданной топологии на воздействие 10 помеховых сигналов, реализованных в БД. Для каждого из сигналов в каждом сегменте топологии рассчитывается 5 норм, после чего определяются сегменты структуры, в которых значения норм максимальны. Затем в отклике, полученном для данного сегмента, определяется максимальное значение напряжения, которое нормируется относительно максимального значения напряжения входного сигнала. Полученные результаты отображаются в ячейках таблицы на главном окне подсистемы, где также указываются номер отрезка линии передачи и номер сегмента, в которых выявлено максимальное значение *N*-нормы. В зависимости от нормированного максимального значения напряжения изменяется цвет фона соответствующих ячеек таблицы (от зеленого к темно-красному), указывая пользователю наиболее уязвимые места заданной топологии. В таблице справа также указываются значения максимального напряжения входного сигнала, применяемые при заполнении ячеек, а слева отображаются названия используемых сигналов. Интерфейс окна подсистемы формирования аналитической информации представлен на рис. 10.

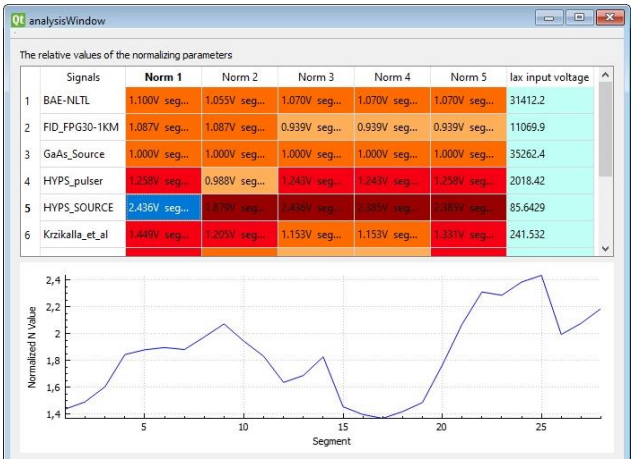


Рис. 10. Главное окно подсистемы формирования аналитической информации

При нажатии на ячейки таблицы в нижней части главного окна подсистемы строятся портреты *N*-норм, нормированные относительно значений N_1–N_5 входного помехового сигнала, что позволяет подробно рас-

смотреть уязвимые узлы заданной пользователем топологии сети без привязки к амплитуде воздействия.

В состав подсистемы также входит разработанный модуль многовариантного анализа погонных параметров произвольных двухмерных структур. Модуль позволяет выполнить многократные вычисления матриц погонных параметров **R, L**, **C** и **G** при изменении параметров исследуемого поперечного сечения линий передачи и может быть применен для поиска оптимального решения при проектировании конструкции СШЭП и ее проводных отводов. Интерфейс модуля многовариантного анализа представлен на рис. 11. Для выполнения многовариантного анализа в поле «Код структуры» необходимо ввести соответствующий программный код. В таблице задаются переменные с именами, соответствующими заданному коду структуры, а также шаг изменения этих переменных «Step». Общий диапазон изменения переменной определяется шагом и числом, введенным в поле «Количество изменений переменной» в верхней части окна.

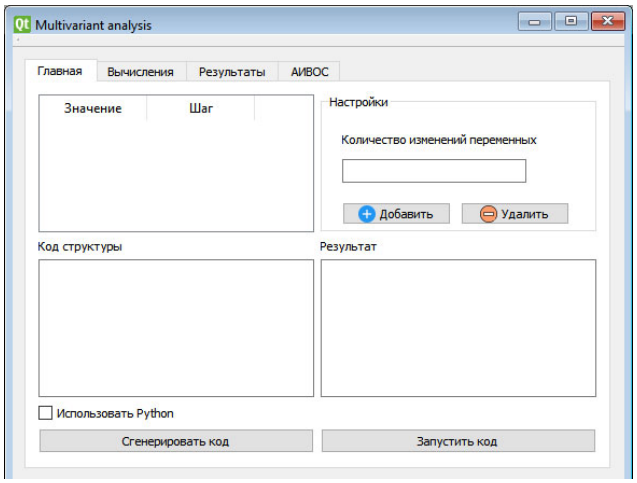


Рис. 11. Главное окно модуля многовариантного анализа

На вкладке «Вычисления» доступен выбор матриц погонных параметров **R, L**, **C** и **G**. При выборе флагового переключателя «Визуализация геометрии» на каждом шаге вычислений выполняется построение поперечного сечения структуры с её текущими параметрами. Переключатель «Автоматический выбор» реализует алгоритмы ускорения многократного решения СЛАУ [13]. В случае, если этот переключатель не активирован, выполняет полный пересчёт структуры на каждом шаге. Для запуска алгоритма ускорения решения предварительно выполняется оценка трудоемкости вычислений. При активации флагового переключателя «Гибридный метод» становится доступным детальная настройка данного метода. Доступен ввод количества итераций, значение точности вычислений и вектор начального приближения. Также для выбора доступен вариант использования решений СЛАУ, полученных на предыдущих итерациях. Если геометрические размеры структуры изменяются в процессе многовариантного анализа, то для ускорения вычислений применяется алгоритм перенумерации сегментов структуры, требующий номеров сегментов, соответствующих изменяемой переменной.

В модуле многовариантного анализа имеется возможность запуска алгоритма адаптивного итерационного выбора оптимальной сегментации (АИВОС) [14]. При нажатии соответствующего переключателя на вкладке «АИВОС» пользователю доступен выбор между равномерной и неравномерной сегментацией структуры. Алгоритм равномерной сегментации реализует равномерное учащение разбиений структуры на каждом шаге итерационного процесса. Неравномерная сегментация позволяет локально учащать сегментацию и, тем самым, получать более гладкую аппроксимацию плотности распределения заряда.

G. Подсистема оценки эффективности экранирования

Для оценки эффективности экранирования элементов и устройств ОСВЭ разработана подсистема оценки эффективности экранирования [15]. Главное окно подсистемы представлено на рис. 12. В левом верхнем углу пользователю доступен выбор нескольких типовых экранирующих структур: цилиндрический корпус, прямоугольный корпус с одной апертурой и перфорированной стенкой. После выбора типа структуры пользователю доступен ввод её параметров: размеров корпуса, толщины стенок, размеров и положения апертуры и т.д. При вводе значений параметров анализируемого корпуса производится предварительная оценка трудоемкости расчетов эффективности экранирования и объема требуемой памяти.

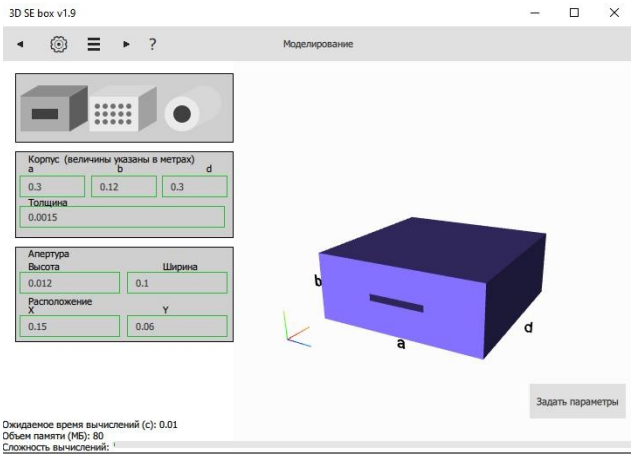


Рис. 12. Главное окно подсистемы оценки эффективности экранирования

По нажатию на кнопку «Задать параметры» модуль автоматически переходит к окну задания параметров вычислений, где задаются частотный диапазон, положение точки наблюдения, математическая модель и др. Отличительной особенностью подсистемы является возможность трехмерного отображения ЭЭ в зависимости от частоты воздействия и положения точки наблюдения внутри корпуса. Данный функционал позволяет выявлять и локализовывать области, в которых ЭЭ принимает наихудшие значения, а также выполнять комплексную оценку ЭЭ в различных точках

наблюдения, что может быть полезно для выбора оптимального расположения элементов и узлов технического средства внутри экранирующего корпуса на начальной стадии проектирования. Пример трехмерного отображения ЭЭ корпуса с апертурой представлен на рис. 13. Полученная частотная зависимость может быть представлена в двухмерном виде в требуемой точке наблюдения, а также сохранена в текстовом формате.

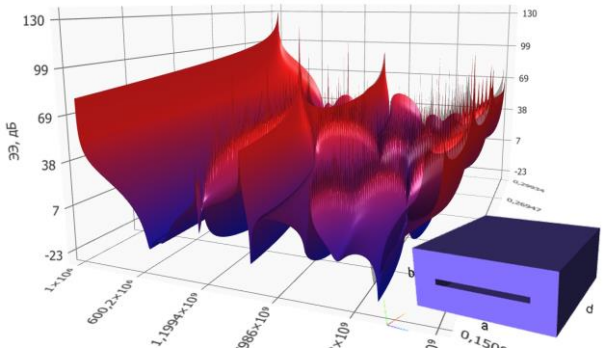


Рис. 13. Результат оценки ЭЭ корпуса 300×120×300 мм³ с апертурой 200×12 мм²

IV. Заключение

Представлены результаты разработки ПО для проектирования ОСВЭ космического аппарата и кратко описаны особенности реализованных подсистем. Возможности ПО могут быть использованы при проектировании не только сетей электропитания, но и различных радиоэлектронных средств с учётом требований по электромагнитной совместимости.

Поддержка

Работа выполнена при финансовой поддержке РФФИ в рамках научного проекта № 20-37-70020.

Литература

[1] Influence of the cabling geometry on paralleled diodes in a high power rectifier / E. Clavel, J. Roudet, J.-L. Schanen, A. Foutanet // IEEE Conf. Record of the Industry Applications Conference. – San Diego, CA, USA, 6–10 Oct. 1996. – Vol. 2. – P. 993–998.

[2] Electric vehicle drive inverters simulation considering parasitic parameters / W. Huiqing, L. Jun, Z. Xuhui, W. Xuhui // 13th Power Electronics and Motion Control Conference. EPE-PEMC. – Poznan, Poland, 1–3 Sept. 2008. – P. 417–421.

[3] Keyer C. EMC Expert Systems for our modern working environment / C. Keyer, F. Leferink // International Symposium on Electromagnetic Compatibility - EMC EUROPE. – Rome, Italy, 17–21 Sept. 2012. – P. 1–5.

[4] Голикова Ж.В. Проблемы и тенденции развития в области современного имитационного моделирования / Ж.В. Голикова, А.Г. Янишевская // Россия молодая: передовые технологии – В промышленность. – 2015. – № 3. – С. 81–83.

[5] Новые возможности системы моделирования электромагнитной совместимости TALGAT / С.П. Куксенко [и др.] // Докл.Томск. гос. ун-та систем упр. и радиоэлектроники. – 2015. –№ 2(36). – С. 45–50.

[6] Лежнин Е.В. Улучшение пользовательского интерфейса системы TALGAT / Е.В. Лежнин, А.О. Мелкозеров // Доклады ТУСУР. – 2011. – № 2(24). – Ч. 1. – С. 137–140.

[7] Заболоцкий А.М. Временной отклик многопроводных линий передачи / А.М. Заболоцкий, Т.Р. Газизов; Федеральное агентство по образованию, Томский государственный университет систем управления и радиоэлектроники. – Томск: Томский государственный университет, 2007. – 152 с.

[8] Квасников А.А. Разработка базы данных помеховых сигналов системы анализа электромагнитной совместимости / А.А. Квасников // Научная сессия ТУСУР–2018: материалы Международной научно-технической конференции студентов, аспирантов и молодых ученых. – Томск, 16–18 мая 2018 г. – Т. 2. – С. 266–269.

[9] Study and classification of potential IEMI sources / N. Mora, F. Vega, G. Lugrin, F. Rachidi, M. Rubinstein // System and assessment notes. – Note 41. – July 8, 2014. – P. 1–48.

[10] Diagnostics of the printed circuit board bus of a spacecraft autonomous navigation system with using the N-norms / R.R. Gazizov, B.S. Muhambetzhanova, T.T. Gazizov, A.A. Kvasnikov // Journal of physics: conference series. – 2019. Vol. 560, No. 1. – P. 1–5.

[11] Хомушку Ч.Л. Локализация экстремумов перекрестных помех от двухстороннего преднамеренного воздействия в шине печатной платы / Ч.Л. Хомушку // 24-я Межд. науч.-практ. конф. «Природные и интеллектуальные ресурсы Сибири (СИБРЕСУРС-24-2018)». – Томск, Россия, 28 ноября, 2018. – С. 173–177.

[12] Мухамбетжанова Б.С. Локализация максимумов N-норм в шине печатной платы / Б.С. Мухамбетжанова, Р.Р. Газизов // Материалы XIV международной научно-практической конференции «Электронные средства и системы управления». – Томск, Россия, 28 – 30 ноября, 2018. – С. 293–295.

[13] Куксенко С.П. Электромагнитная совместимость: моделирование / Под ред. Т.Р. Газизова // Томск: В-Спектр, 2018. – 190 с.

[14] Аширбакиев Р.И. Адаптивный итерационный выбор оптимальной сегментации границ проводников и диэлектриков в задачах электростатики / Р.И. Аширбакиев, В.К. Салов // Доклады ТУСУР. – 2013. – № 3(29). – С. 159–161.

[15] Прототип программного модуля для оценки эффективности экранирования корпусов радиоэлектронных средств / А.А. Иванов, А.А. Квасников, С.П. Куксенко, М.Е. Комнатнов // Технологии электромагнитной совместимости. – 2019. – №4. – С. 5–15.

Software for Designing an Optimal High Voltage Power Supply Network of a Spacecraft

A.A. Kvasnikov, S.P. Kuksenko, A.A. Ivanov

Tomsk State University of Control Systems and Radioelectronics, Tomsk
aleksejkvasnikov@gmail.com

***Abstract* — This paper presents a general computer-aided procedure for designing an optimal power supply network. The procedure consists of several stages, for each of which modules and subsystems are developed based on electromagnetic compatibility modeling system TALGAT. These subsystems include: topology design subsystem, technical solutions design subsystem, database subsystem, information import and export subsystem, signal levels localization subsystem, decision support subsystem, shielding effectiveness subsystem. The functional capabilities of the developed subsystems and their use for the design of high-voltage power supply networks of spacecraft are described.**

***Keywords* — power supply network, power bus, electromagnetic compatibility, design, database, simulation modelling.**

References

[1] Influence of the cabling geometry on paralleled diodes in a high power rectifier / E. Clavel, J. Roudet, J.-L. Schanen, A. Foutanet // IEEE Conf. Record of the Industry Applications Conference. – San Diego, CA, USA, 6–10 Oct. 1996. – Vol. 2. – P. 993–998.

[2] Electric vehicle drive inverters simulation considering parasitic parameters / W. Huiqing, L. Jun, Z. Xuhui, W. Xuhui // 13th Power Electronics and Motion Control Conference. EPE-PEMC. – Poznan, Poland, 1–3 Sept. 2008. – P. 417–421.

[3] Keyer C. EMC Expert Systems for our modern working environment / C. Keyer, F. Leferink // International Symposium on Electromagnetic Compatibility - EMC EUROPE. – Rome, Italy, 17–21 Sept. 2012. – P. 1–5.

[4] Golikova Z.V. Problemy i tendencii razvitiya v oblasti sovremennogo imitacionnogo modelirovaniya (Problems and development trends in the field of modern simulation) / Z.V. Golikova, A.G. Yanishevskaya // Rossiya molodaya: peredovye tekhnologii – V promyshlennost'. – 2015. – No. 3. – P. 81–83. (In Russian).

[5] Novye vozmozhnosti sistemy modelirovaniya elektromagnitnoj sovmestimosti TALGAT (New features of the TALGAT EMC simulation system) / S.P. Kuksenko [et al.] // Dokl.Tomsk. gos. un-ta sistem upr. i radioelektroniki. – 2015. – No. 2(36). – P. 45–50. (In Russian).

[6] Lezhnin E.V. Uluchshenie polzovatelskogo interfejsa sistemy TALGAT (TALGAT System User Interface Enhancement) / E.V. Lezhnin, A.O. Melkozerov // Doklady TUSUR. – 2011. – No. 2(24). – CH. 1. – P. 137–140. (In Russian).

[6] Lezhnin E.V. Uluchshenie polzovatelskogo interfejsa sistemy TALGAT (TALGAT System User Interface Enhancement) / E.V. Lezhnin, A.O. Melkozerov // Doklady TUSUR. – 2011. – No. 2(24). – CH. 1. – P. 137–140. (In Russian).

[7] Zabolotsky A.M. Vremennoj otklik mnogoprovodnyh linij peredachi (Time response of multi-wire transmission lines) / A.M. Zabolotsky, T.R. Gazizov; Federal'noe agentstvo po obrazovaniyu, Tomskij gosudarstvennyj universitet sistem upravleniya i radioelektroniki. – Tomsk: Tomskij gosudarstvennyj universitet, 2007. – 152 p. (In Russian).

[8] Kvasnikov A.A. Razrabotka bazy dannyh pomekhovyh signalov sistemy analiza elektromagnitnoj sovmestimosti / A.A. Kvasnikov (Development of a database of interfering signals of the electromagnetic compatibility analysis system) // Nauchnaya sessiya TUSUR–2018: materialy Mezhdunarodnoj nauchno-tekhnicheskoj konferencii studentov, aspirantov i molodyh uchenyh. – Tomsk, 16–18 maya 2018 g. – Vol. 2. – P. 266–269. (In Russian).

[9] Study and classification of potential IEMI sources / N. Mora, F. Vega, G. Lugrin, F. Rachidi, M. Rubinstein // System and assessment notes. – Note 41. – July 8, 2014. – P. 1–48.

[10] Diagnostics of the printed circuit board bus of a spacecraft autonomous navigation system with using the N-norms / R.R. Gazizov, B.S. Muhambetzhanova, T.T. Gazizov, A.A. Kvasnikov // Journal of physics: conference series. – 2019. Vol. 560, No. 1. – P. 1–5.

[11] Homushku C.L. Lokalizaciya ekstremumov perekrestnyh pomekh ot dvuhstoronnego prednamerennogo vozdejstviya v shine pechatnoj platy (Localization of extremes of crosstalk from double-sided intentional exposure in the PCB bus) / C.L. Homushku // 24-ya Mezhd. nauch.-prakt. konf. «Prirodnye i intellektual'nye resursy Sibiri (SIBRESURS-24-2018)». – Tomsk, Rossiya, 28 noyabrya, 2018. – P. 173–177. (In Russian).

[12] Muhambetzhanova B.S. Lokalizaciya maksimumov N-norm v shine pechatnoj platy (Localization of the maximums of N-norms in the PCB bus) / B.S. Muhambetzhanova, R.R. Gazizov // Materialy XIV mezhdunarodnoj nauchno-prakticheskoj konferencii «Elektronnye sredstva i sistemy upravleniya». – Tomsk, Rossiya, 28 – 30 noyabrya, 2018. – P. 293–295. (In Russian).

[13] Kuksenko S.P. Elektromagnitnaya sovmestimost': modelirovanie (Electromagnetic Compatibility: Simulation) / Pod red. T.R. Gazizova // Tomsk: V-Spektr, 2018. – 190 p.

[14] Ashirbakiev R.I. Adaptivnyj iteracionnyj vybor optimal'noj segmentacii granic provodnikov i dielektrikov v zadachah elektrostatiki (Adaptive iterative selection of optimal segmentation of the boundaries of conductors and dielectrics in problems of electrostatics) / R.I. Ashirbakiev, V.K. Salov // Doklady TUSUR. – 2013. – No. 3(29). – P. 159–161. (In Russian).

[15] Prototip programmnogo modulya dlya ocenki effektivnosti ekranirovaniya korpusov radioelektronnyh sredstv (Prototype software module for evaluating the effectiveness of shielding enclosures of electronic equipment) / A.A. Ivanov, A.A. Kvasnikov, S.P. Kuksenko, M.E. Komnatnov // Tekhnologii elektromagnitnoj sovmestimosti. – 2019. – No. 4. – P. 5–15. (In Russian).

УДК 531.788 DOI: 10.31114/2078-7707-2020-3-108-113

Исследование нелинейных эффектов при моделировании чувствительного элемента МЭМС-вакуумметра

Е.И. Волкова[1,2], С.А. Попков[2]

[1]ННГУ им. Н.И. Лобачевского, г. Нижний Новгород

[2]Филиал РФЯЦ-ВНИИЭФ «НИИИС им. Ю.Е. Седакова», г. Нижний Новгород, kattykat@inbox.ru

***Аннотация* — В работе рассмотрена задача по нахождению добротности резонатора, входящего в конструкцию чувствительного элемента МЭМС-вакуумметра, с помощью численного моделирования и аналитических оценок с учетом вклада от нелинейных эффектов, в частности газодинамического демпфирования и pull-in эффекта.**

***Ключевые слова* — МЭМС, вакуумметр, добротность, резонатор, демпфирование, SQFD, pull-in эффект.**

I. Введение

Требование к миниатюризации датчиков измерения низких давлений неуклонно ужесточается, вследствие расширения областей их применения. Дизайн современных МЭМС-датчиков требует совершенно нового подхода для контроля уровня вакуума в микрополостях, образованных при герметизации на уровне пластины, или в корпусах при герметизации на уровне кристалла. Многим прецизионным и высокочувствительным инерциальным МЭМС-датчикам с резонансными чувствительными элементами (ЧЭ) необходимо поддержание высокого уровня вакуума для достижения высокой добротности, что позволяет обеспечить стабильность выходных характеристик. Наравне с этим, на надежность и долговечность работы таких устройств влияет герметизация ЧЭ от воздействия окружающей среды [1]. Поэтому отслеживание уровня вакуума в областях, где располагается ЧЭ, в процессе всего срока службы очень важно. Стандартный метод обнаружения утечек нечувствителен и не может быть использован ввиду чрезвычайно малых размеров вакуумных полостей. Предлагается в рабочий объем совместно с ЧЭ МЭМС-датчика интегрировать специализированный миниатюрный МЭМС-вакуумметр, описанный в работе.

Существующие решения микровакуумметров представляют из себя тепловые микродатчики типа Пирани [2]-[4] или ионизационные датчики [5]-[8], которые обладают либо невысокой чувствительностью и требуют сложных методик измерения, либо ограниченным сроком службы, к тому же зачастую требуют сложных и дорогостоящих технологических процессов, которые выходят за границы стандартной кремниевой технологии.

Концепция измерения добротности микрорезонаторов ЧЭ для определения необходимого уровня вакуума используется при производстве инерциальных МЭМС-датчиков. По значению добротности гироскопа судят о том, достаточно ли герметичен корпус гироскопа, поддерживается ли в нем необходимый уровень вакуума [1]. При этом нет возможности с достаточной степенью точности оценить уровень вакуума, необходима прецизионная калибровка для каждого чувствительного элемента, вариаций которого огромное множество. Описанный выше принцип контроля уровня вакуума по величине добротности может быть заложен в основу универсального прибора для измерения низкого давления [9].

Современная разработка МЭМС требует использования специализированных программных инструментов для построения точных моделей. Корректная модель должна правильно отражать воздействия как внешнего, так и внутреннего характера. Поэтому на передний план выходят проблемы, связанные с учетом различных нелинейных эффектов, таких как газодинамическое демпфирование, воздействие внешних возбуждающих сил электрической природы, изменение жесткости конструкции в результате нелинейности материалов [10]. Пренебрежение при моделировании теми или иными преобладающими факторами может свести на нет принципиальную модель разрабатываемого датчика. Однако, с другой стороны, использование, например, демпфирования в сжимаемых газовых пленках, как доминирующего механизма диссипации энергии, может быть заложено в основу работы МЭМС-вакуумметра.

II. Колебания резонатора при воздействии нелинейных эффектов

Аналитически описать движение резонатора ЧЭ МЭМС-вакуумметра является непростой задачей, зависящей от сложности конструкции, однако, осуществив некоторые упрощения, это можно сделать на простом примере пластины, жестко закрепленной с обоих концов. Расчеты подобного типа необходимы, поскольку позволяют сделать оценки сверху, избежать ряда нежелательных эффектов или максимально их

контролировать. Эффект схлопывания за счет действия электростатического поля – pull-in эффект, частный случай газодинамического демпфирования – демпфирование в сжимаемых газовых пленках – SQFD (squeeze-film damping) могут приводить к срыву колебаний в момент резонанса. Соблюдение режима работы и учет вкладов от доминирующих эффектов, определяющих нелинейную систему – это поиск равновесия для корректного функционирования ЧЭ. Поскольку разработанный резонатор ЧЭ МЭМС-вакуумметра может работать в двух режимах, один из которых предполагает начальное преднапряженное состояние за счет смещения в электрическом поле, то необходимо определить пороговое напряжение V_{pull}.

Систему можно представить в виде плоского конденсатора (рис. 1) с одной подвижной обкладкой (балка жесткостью – k), расположенной на расстоянии – d относительно основания, к которому приложено постоянное напряжение смещения – V_{DC}.

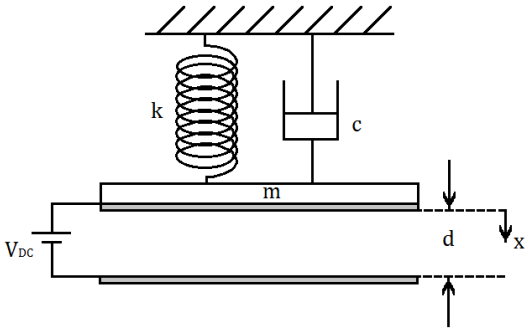


Рис. 1. Схематичное представление резонатора ЧЭ в виде плоского конденсатора с подвижной верхней обкладкой

Уравнение движения верхней обкладки можно записать как [10]:

$$m\ddot{x} + kx + c\dot{x} = \frac{\varepsilon A V^2}{2(d-x)^2}\Big|V = V_{DC}, \qquad (1)$$

где A – площадь нижней поверхности обкладки, ε – диэлектрическая проницаемость среды, c – коэффициент демпфирования. Выполняя замену $x_1 = x$ и $x_2 = \dot{x}$, преобразуем выражение (1) к уравнению (2) следующим образом:

$$\dot{x}_2 = \frac{\varepsilon A V_{DC}^2}{2m(d-x_1)^2} - \frac{c}{m}x_2 - \frac{k}{m}x_1. \qquad (2)$$

Найти положение равновесия в системе возможно при $x_2 = 0$ и $\dot{x}_2 = 0$. Следовательно,

$$\frac{\varepsilon A V_{DC}^2}{2m(d-x_1)^2} - \frac{k}{m}x_1 = 0, \qquad (3)$$

Уравнение (3) сводится к кубическому:

$$\left(\frac{x_1}{d}\right)^3 - 2\left(\frac{x_1}{d}\right)^2 + \left(\frac{x_1}{d}\right) - \frac{\alpha}{\gamma d^3} = 0, \qquad (4)$$

где:

$$\gamma = \frac{k}{m},$$

$$\alpha = \frac{\varepsilon A V_{DC}^2}{2m}.$$

Колебания ограничены и происходят в пределах:

$$0 < \frac{x_1}{d} < 1. \qquad (5)$$

Очевидно, удовлетворяющие условию (5) корни уравнения (4) существуют при:

$$0 < \frac{\alpha}{\gamma d^3} < \frac{4}{27}.$$

Причем таких корней в этом случае будет всегда два – $x_1^{(1)}$ и $x_1^{(2)}$. Соответственно, система имеет два положения равновесия: устойчивое – $x_1^{(1)}$ и неустойчивое – $x_1^{(2)}$. При $V_{DC} = V_{\text{pull}}$ они сливаются, тем самым образуя точку бифуркации, которая является точкой максимума $\xi_{\max}$ функции:

$$f(\xi) = \xi^3 - 2\xi^2 + \xi - \frac{\alpha}{\gamma d^3},$$

при:

$$\xi = \frac{x_1}{d}.$$

$$f'(\xi) = 3\xi^2 - 4\xi + 1 = 0,$$

когда:

$$\xi_{\max} = \frac{1}{3},$$

а $x_1 = d/3$.

Таким образом, чтобы реализовать возникновение точки бифуркации, необходимо, чтобы корни $x_1^{(1)}$ и $x_1^{(2)}$ уравнения (4) сошлись в один $x_1^{(1)} = x_1^{(2)} = d/3$, что возможно при:

$$\frac{\alpha}{\gamma d^3} = \frac{4}{27}.$$

Тогда пороговое напряжение V_{pull} определяется как:

$$V_{pull} = \sqrt{\frac{8kd^3}{27\varepsilon A}},$$

где для балки, жестко закрепленной с обоих концов, коэффициент жесткости вычисляется как:

$$k = \frac{384EI}{L^3} + 8{,}32\frac{N}{L},$$

где L – длина балки, E – модуль упругости, I – момент сечения инерции, N – аксиальная сила [10].

Для случая, когда $V=V_{DC}+V_{AC}$, т.е. помимо постоянного напряжения смещения V_{DC}, прикладывается переменное поле в виде V_{AC}, уравнение движения (1) примет вид уравнения Дюффинга [11] с гармонической возбуждающей силой:

$$\ddot{u} + 2\mu\dot{u} + \omega_n^2 u + \alpha_c u^3 = f\cos(\Omega t),$$

где ω_n – собственная частота осциллятора, μ – линейный коэффициент демпфирования, f, Ω – амплитуда и частота возбуждающей силы, α_c – коэффициент кубической нелинейности, который может принимать значения $\alpha_c > 0$ или $\alpha_c < 0$.

Для упрощенного описания динамики остаточного газа в областях между подвижными и неподвижными частями ЧЭ и принципа измерения давления в вакуумной полости по изменению добротности механической системы необходимо решить модифицированное уравнение Рейнольдса (6) [12]. Разработанная конструкция ЧЭ МЭМС-вакуумметра имеет сложную систему демпферов и подвесов. Поэтому выполнить аналитическое описание газодинамического демпфирования достаточно сложно. Подобный анализ даст неточный результат в оценках в связи с особенностями демпфирующих поверхностей резонатора. С этой целью использовалось численное моделирование с помощью метода конечных элементов в программной среде COMSOL Multiphysics.

При этом необходимо было вычислить добротность механической системы в неидеальных условиях разреженного газа с учетом затухания в сжимаемых газовых пленках. При моделировании производились вычисления на основе модифицированного уравнения Рейнольдса:

$$\frac{\partial}{\partial x}\left(H^3 P\frac{\partial P}{\partial x}\right)+\frac{\partial}{\partial y}\left(H^3 P\frac{\partial P}{\partial y}\right)=12\mu P\left(H\frac{\partial P}{\partial t}+P\frac{\partial H}{\partial t}\right). \quad (6)$$

В нем x и y – пространственные координаты вдоль направления длины (l) и ширины (b) электрода (обкладки конденсатора), t – время, H – переменное расстояние между электродами, P – полное давление, μ – коэффициент вязкости газа (рис. 2).

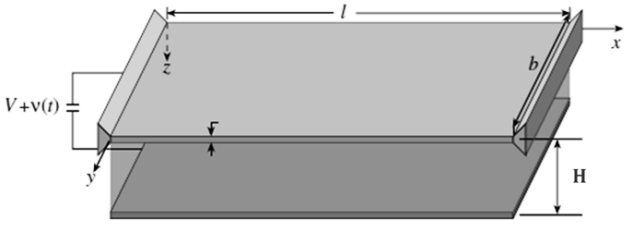


Рис. 2. Плоский параллельный конденсатор

Работа МЭМС-резонатора осуществляется при очень низком давлении с малыми зазорами между электродами, подложкой или другими частями ЧЭ. В этом случае газ невозможно рассматривать как непрерывную сплошную среду, поэтому вводят понятие эффективной вязкости:

$$\mu_{eff} = \frac{\mu}{1+9.638K_n^{1.159}}. \quad (7)$$

Уравнение (7) получено, основываясь на уравнении Больцмана [11], где K_n – число Кнудсена (8), которое зависит от длины свободного пробега молекул газа и характерного размера системы, связанного с физической проблемой:

$$K_n = \frac{\lambda}{H}, \quad (8)$$

где λ – длина свободного пробега, H – характерный размер системы, в данном случае расстояние между электродами конденсатора. Длина свободного пробега зависит от давления, как:

$$\lambda = \frac{\lambda_0 P_0}{P}. \quad (9)$$

В (9) λ_0 – длина свободного пробега при нормальных условиях, P_0 – атмосферное давление, P – давление среды. Исходя из уравнений (7)–(9), можно определить эффективную вязкость в зависимости от давления.

Добротность колебательной системы можно определить, как:

$$Q = \frac{1}{2\zeta}, \quad (10)$$

где ζ – коэффициент демпфирования:

$$\zeta = \frac{c}{2m\omega}, \quad (11)$$

где c – коэффициент вязкого демпфирования, m – эффективная масса, ω – собственная частота колебаний. Коэффициент вязкого демпфирования вычисляется по формуле:

$$c = \frac{b^3 l\mu_{eff}}{H^3}\times 0.7. \quad (12)$$

Следовательно, коэффициент вязкого демпфирования зависит от давления газа. Принимая во внимание уравнения (7)–(12), можно найти выражение для расчета добротности колебательной системы в зависимости от давления газа.

III. Описание конструкции и принципа работы ЧЭ МЭМС-вакуумметра

Принцип действия ЧЭ МЭМС-вакуумметра основан на изменении добротности системы при изменении уровня вакуума. Для достижения большей чувствительности и разрешающей способности датчика вакуума был разработан ЧЭ, добротность которого значительно менялась при изменении давления за счет вязкого демпфирования в среде разреженного газа. Была создана модель, учитывающая SQFD и pull-in, как доминирующие эффекты. Помимо вышеописанных эффектов, разработка проводилась с учетом требований и ограничений, которые поэтапно разрешались в ходе проектирования. Так, исходя из технологических

возможностей оборудования, минимальный зазор между элементами резонатора был недостаточным для проявления в полной мере эффекта газодинамического демпфирования, поэтому авторами было предложено использовать эффект преднапряжения в подвижных частях ЧЭ. Добиться эффекта преднапряжения у подвижной части резонатора ЧЭ удалось благодаря отклонению резонатора в постоянном электростатическом поле. До момента осцилляций за счет подачи постоянного напряжения смещения часть конструкции резонатора максимально отклоняется, при этом эффективный зазор, в котором будет сжиматься газ и происходить SQFD эффект, между статорной частью ЧЭ и демпфирующими поверхностями уменьшается. Колебания резонатора осуществляются относительно точки равновесия, но в деформированном состоянии резонатора. Конструкция ЧЭ, разработанная авторами, подобна конструкции ЧЭ из [9, 13] с той разницей, что в резонаторе предусмотрена система дополнительных демпферов. Заделка подвесов, как и их форма, имеют характерные особенности.

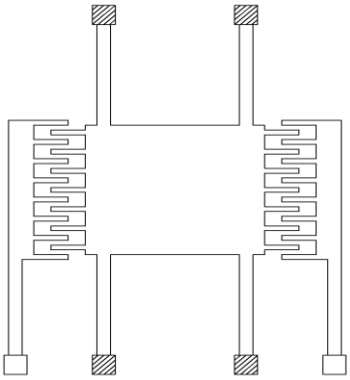


Рис. 3. Вид резонатора ЧЭ датчика давления разрежения [13]

Как было упомянуто выше, конструкция резонатора ЧЭ должна быть сбалансирована, поскольку на резонатор оказывают влияние внешние нелинейные по своей природе электростатические силы. При определенном напряжении $V > V_{pull}$ происходит их нарастание, следовательно, равновесие теряется, и силы электрической природы не могут уже быть скомпенсированы упругими механическими силами, происходит так называемое смягчение жесткости конструкции. При таком сценарии система переходит в нестабильное состояние, возросшая в момент резонанса амплитуда колебания приводит к pull-in эффекту и срыву колебаний.

С другой стороны, излишняя жесткость конструкции резонатора ЧЭ МЭМС-вакуумметра может приводить к слабой чувствительности измерения остаточных газов в микрообъеме. Задача такого рода нашла решение как в виде преднапряженного состояния резонатора, так и в виде подвесов, жесткость которых изменяется с изменением линейных размеров. Подобное техническое решение способствовало минимальному сокращению зазора между электродами резонатора, считывающими полезный сигнал, и минимизации анкерных потерь. С целью увеличения максимальной площади взаимодействия элементов резонатора с молекулами газа и получения, таким образом, максимальной величины полезной составляющей сигнала на подвижной части резонатора были размещены упомянутые ранее дополнительные демпферы, которые оставались электрически нейтральными.

IV. Моделирование ЧЭ МЭМС-вакуумметра

Как уже отмечалось ранее, моделирование резонатора ЧЭ проводилось в программной среде COMSOL Multiphysics. Для получения точных результатов моделирования учитывались различные диссипационные эффекты. Наряду со SQFD был выполнен расчет по учету slide-film damping эффекта [13], т.е. эффекта газодинамического демпфирования, связанного с трением рабочей поверхности о слой газа, расположенного вдоль плоскости колеблющегося тела. Поэтому были заданы дополнительные граничные условия в областях зазоров между неподвижными и подвижными электродами и дополнительными демпферами со статорной частью ЧЭ. В качестве входных данных задавались параметры: давление разреженного газа, динамическая вязкость и длина свободного пробега молекул при начальном давлении.

Помимо этого, решалась задача по учету потерь, связанных с термическими эффектами в высокодобротном микрорезонаторе, то есть моделирование термоупругого демпфирования.

К существующей модели резонатора ЧЭ, в которой уже выполнен расчет термоупругого и газодинамического демпфирования, был добавлен интерфейс для задания внешних возбуждающих электростатических сил, была произведена настройка сетки конечных элементов: добавлены области деформируемых доменов с подвижной сеткой, которая автоматически связана с расчетом деформаций в системе и позволяет корректировать расчет силы при изменении зазоров.

Таким образом, была создана и настроена модель ЧЭ МЭМС-вакуумметра, позволяющая учитывать одновременно несколько физических эффектов. Для расчета максимального смещения в электрическом поле проводился преднапряженный анализ при воздействии внешней гармонической возбуждающей силы. Для расчета добротности и частоты с учетом всех доминирующих эффектов внешних и внутренних механизмов диссипации энергии был проведен параметрический анализ, где в качестве параметра использовалось значение давления остаточных газов в диапазоне 10^{-3}–100 Па. Полученная зависимость значений добротности от давления представлена на рис. 4.

Из представленного графика видно, что зависимости добротности от давления имеет резкий спад при увеличении давления, что говорит о сильном проявлении эффектов диссипации энергии. В области низких давлений добротность изменяется более чем на

1000 относительных единиц на декаду изменения величины давления, что дает возможность создания точного МЭМС-вакуумметра.

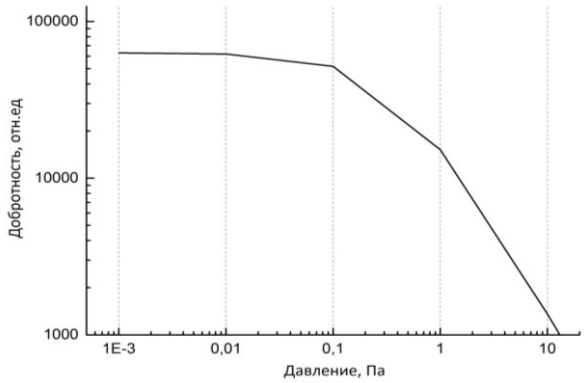


Рис. 4. Зависимость добротности от давления для резонатора ЧЭ

V. Сравнение с экспериментом

По рассчитанной модели были изготовлены экспериментальные образцы. С целью выявления основных характеристик ЧЭ МЭМС-вакуумметра, оценки точности изготовленной конструкции, а также проверки основного режима работы использовался анализатор микросистем MSA-500. Для измерения добротности, амплитудно- и фазочастотных характеристик на MSA-500 применялся режим стробоскопической видео микроскопии.

Измерения проводились в вакуумной камере с динамически изменяемым уровнем давления для дальнейшего сопоставления результатов математического моделирования добротности резонатора с экспериментальными значениями. АЧХ резонатора ЧЭ МЭМС-вакуумметра представлена на рис. 5.

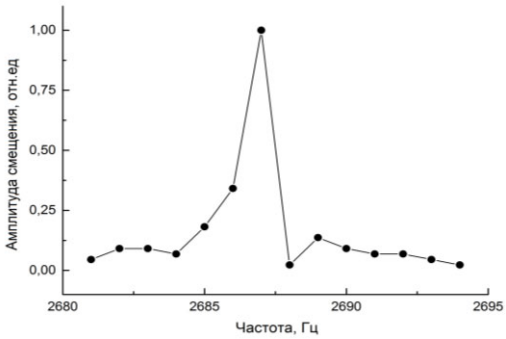


Рис. 5. АЧХ (при давлении 0,05 Па)

Характерный завал АЧХ резонатора на правую сторону относительно резонансной частоты говорит о корректности расчетов конструкции ЧЭ, поскольку результирующим эффектом при колебаниях резонатора является именно SQFD эффект [13]. При этом завал резонансного пика не такой значительный, чтобы наблюдался гистерезис и, как следствие, срыв колебаний резонатора.

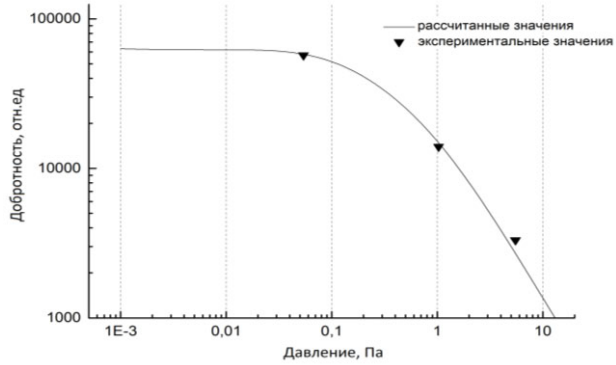


Рис. 6. Экспериментальные значения добротности при разных уровнях вакуума в сравнении с результатами моделирования

На представленной зависимости рис. 6 наблюдается хорошая корреляция между измеренными величинами и полученными при моделировании в Comsol Multiphysics. Ошибка расчетных значений относительно эксперимента составила не более 5%, что подтверждает корректность расчетов модели.

VI. Заключение

Рассмотрено два наиболее значимых механизма, отвечающих за нелинейные эффекты, которые могут возникать при работе чувствительного элемента МЭМС-вакуумметра. Аналитические выражения, приведенные авторами, позволяют сделать оценки и избежать ряда нежелательных последствий от нелинейных эффектов в работе резонатора чувствительного элемента. Схлопывание за счет действия pull-in эффекта и демпфирование в сжимаемых газовых пленках были смоделированы и учтены при разработке. Проведенное исследование экспериментального образца доказало корректность расчетов модели при проектировании. Результаты выполненной работы можно использовать для построения целого семейства чувствительных элементов МЭМС-вакуумметра для охвата большего диапазона измеряемого давления.

Литература

[1] Choa S.-H. Reliability of MEMS packaging: vacuum maintenance and packaging induced stress // Microsyst. Technol. 2005. 11: 1187-1196.

[2] Wang X., Liu C., Zhang Z., Liu S., Luo X. A micromachined Pirani gauge for vacuum measurement of ultra-small sized vacuum packaging // Sensor. Actuat. A-Phys. 2010. 161. P. 108-113.

[3] Extension of operating range towards lower pressures of MEMS-based thermal vacuum gauges by laser-induced heating / Dankovic T. [et. al] // Procedia Engineer. 2012. V. 47. P. 1243-1246.

[4] Sun X., Xu D., Xiong B., Wu G., Wang Y. A wide measurement pressure range CMOS-MEMS based integrated thermopile vacuum gauge with an XeF2 dry etching process // Actuat. A-Phys. 2013. V. 201. P. 428-433.

[5] Gorecka-Drzazga A. Miniature and MEMS-type vacuum sensors and pumps // Vacuum. 2009. V. 83. P. 1419–1426.

[6] Wilfert S., Edelmann C. Field emitter-based vacuum sensors // Vacuum. 2012. V. 86. P. 556-571.

[7] Wen W., Wang L., Gao J., Sun D. Studies on MEMS Vacuum Sensor Based on Field Emission of Silicon Tips Array // 2nd IEEE International Conference on Nano/Micro Engineered and Molecular Systems. 2007. P. 199-202.
[8] Giebel F.J., Köhle M., Stramm T., Kallis K.T., Fiedler H.L. Concept for a MEMS-type vacuum sensor based on electrical conductivity measurements // J. Sens. Sens. Syst. 2017. V. 6. P. 367-374.
[9] Lee B., Seok S., Chun K. A study on wafer level vacuum packaging for MEMS devices // J. Micromech. Microeng. 2003. Vol. 13. P. 663-669.
[10] Younis M.I. MEMS linear and nonlinear statics and dynamics. NY: Springer. 2011. 453 p.
[11] Боголюбов Н.Н., Митропольский Ю.А. Асимптотические методы в теории нелинейных колебаний. М.: Наука, 1958. 408 с.
[12] Veijola T., Kuisma H., Lahdenperä J., Ryhänen T. Equivalent-circuit model of the squeezed gas film in a silicon accelerometer // Sensors and Actuators. 1995. A. 48. P. 239-248.
[13] Martin J.H., Kelley W.P. Micromechanical pressure gauge having extended sensor range. United States Patent № 5528939. 25 Jun. 1996.

Research of Nonlinear Effects in Simulation of MEMS-Vacuum Sensor Elements

C.I. Volkova[1,2], S.A. Popkov[2]
[1]Lobachevsky State University of Nizhny Novgorod, Nizhny Novgorod, kattykat@inbox.ru
[2]Branch of FSUE «RFNC-VNIIEF» «NIIIS named after Yu. Ye. Sedakov», Nizhny Novgorod, kattykat@inbox.ru

***Abstract* — The design of modern MEMS sensors requires new methods for monitoring the vacuum level in the micro volume where the sensor element is located. Many precision and highly sensitive inertial MEMS sensors with resonant sensor elements need to maintain a high vacuum level to achieve high quality factor, which ensures the stability of the output characteristics. Along with this, the reliability and durability of such devices is affected by the sealing of the sensitive element from the environment. Therefore, monitoring the vacuum level in the areas where the sensor element is located is very important during the entire product life. Due to the very small size of vacuum micro-cavities, standard leak detection methods become insensitive. The authors suggest the design of a MEMS vacuum gauge sensor element that can be integrated into the working volume of the MEMS sensor. The principle of operation of the vacuum gauge is based on measuring the quality factor of the sensor element resonator when the vacuum level changes. In this paper, we consider the problem of finding the quality factor of the MEMS-vacuum sensor element resonator using numerical modeling and analytical estimates. The two most significant mechanisms responsible for the nonlinear effects that may occur during the operation of the sensor element are considered, in particular, the collapse effect due to the action of the electrostatic field - the pull-in effect, a special case of gas-dynamic damping - squeeze film damping effect. These mechanisms were simulated and taken into account during development. The study of the experimental sample proved the correctness of the model calculations during design. The MEMS vacuum gauge sensor element developed by the authors allows to measure the vacuum in the range of measured pressures: 10^{-3}-100 Pa.**

***Keywords* — MEMS, vacuum gauge, quality factor, resonator, damping, SQFD, pull-in effect.**

REFERENCES

[1] Choa S.-H. Reliability of MEMS packaging: vacuum maintenance and packaging induced stress // Microsyst. Technol. 2005. 11: 1187-1196.
[2] Wang X., Liu C., Zhang Z., Liu S., Luo X. A micromachined Pirani gauge for vacuum measurement of ultra-small sized vacuum packaging // Sensor. Actuat. A-Phys. 2010. 161. P. 108-113.
[3] Extension of operating range towards lower pressures of MEMS-based thermal vacuum gauges by laser-induced heating / Dankovic T. [et. al] // Procedia Engineer. 2012. V. 47. P. 1243-1246.
[4] Sun X., Xu D., Xiong B., Wu G., Wang Y. A wide measurement pressure range CMOS-MEMS based integrated thermopile vacuum gauge with an XeF2 dry etching process // Actuat. A-Phys. 2013. V. 201. P. 428-433.
[5] Gorecka-Drzazga A. Miniature and MEMS-type vacuum sensors and pumps // Vacuum. 2009. V. 83. P. 1419-1426.
[6] Wilfert S., Edelmann C. Field emitter-based vacuum sensors // Vacuum. 2012. V. 86. P. 556-571.
[7] Wen W., Wang L., Gao J., Sun D. Studies on MEMS Vacuum Sensor Based on Field Emission of Silicon Tips Array // 2nd IEEE International Conference on Nano/Micro Engineered and Molecular Systems. 2007. P. 199-202.
[8] Giebel F.J., Köhle M., Stramm T., Kallis K.T., Fiedler H.L. Concept for a MEMS-type vacuum sensor based on electrical conductivity measurements // J. Sens. Sens. Syst. 2017. V. 6. P. 367-374.
[9] Lee B., Seok S., Chun K. A study on wafer level vacuum packaging for MEMS devices // J. Micromech. Microeng. 2003. Vol. 13. P. 663-669.
[10] Younis M.I. MEMS linear and nonlinear statics and dynamics. NY: Springer. 2011. 453 p.
[11] Bogolyubov N.N., Mitropolskiy Yu.A. Asimptoticheskie metody v teorii nelineynykh kolebaniy. M.: Nauka, 1958. 408 s.
[12] Veijola T., Kuisma H., Lahdenperä J., Ryhänen T. Equivalent-circuit model of the squeezed gas film in a silicon accelerometer // Sensors and Actuators. 1995. A. 48. P. 239-248.
[13] Martin J.H., Kelley W.P. Micromechanical pressure gauge having extended sensor range. United States Patent № 5528939. 25 Jun. 1996.

УДК 621.382 DOI: 10.31114/2078-7707-2020-3-114-119

Разработка алгоритмов калибровки аналого-цифровых преобразователей с использованием математической модели на примере АЦП последовательного приближения

М.Н. Скрипниченко[1, 2]

[1]НИУ МИЭТ, г. Москва

[2]АО НПЦ ЭЛВИС, mskripnichenko@elvees.com

***Аннотация* — В статье представлен метод разработки и отладки алгоритмов для устройств смешанного сигнала с использованием математической модели. В качестве устройства смешанного сигнала использовался АЦП последовательного приближения. Получены выражения, описывающие состояние преобразователя при переключении разрядов и семплирующего ключа. Рассмотрены причины, ухудшающие динамические характеристики преобразователя, в частности, разброс конденсаторов. Учет этого эффекта добавлен в математическую модель. Для уменьшения негативного влияния на характеристики преобразователя разработан алгоритм предварительной калибровки матрицы, учитывающий разброс конденсаторов. Затем было проведено моделирование математической модели, учитывающее как разброс конденсаторов, так и физический шум. По результатам моделирования выяснилось, что при использовании алгоритма отношение сигнала к шуму увеличивается на 7.3 дБ, а динамический диапазон, свободный от паразитных составляющих, на 16.8 дБ по отношению к полной шкале.**

***Ключевые слова* — АЦП ПП, SAR ADC, моделирование АЦП, калибровка АЦП ПП, математическая модель АЦП.**

I. Введение

По мере увеличения разрядности АЦП увеличивается влияние негативных эффектов при производстве и эксплуатации микросхемы. Среди основных нежелательных эффектов можно выделить разброс параметров конденсаторов при производстве [1] и офсет дифференциальных пар [2].

Для компенсации упомянутых выше эффектов используются следующие типы калибровки:

- предварительная, учитывающая эффекты производства;
- фоновая, учитывающая эффекты эксплуатации - повышение температуры, падение напряжения в определенных местах микросхемы;
- внешняя, учитывающая и эффекты эксплуатации, и эффекты производства.

Использование калибровки предполагает разработку сложного алгоритма, требующего длительного моделирования для проверки работоспособности. Современные средства проектирования схем смешанного сигнала [3] позволяют проводить подобное моделирование, проверяя реализацию алгоритма с использованием аналоговой части. При данном маршруте проектирования необходимо реализовать алгоритм на HDL и отладить непосредственно во время смешанного моделирования, что требует временных затрат.

В качестве альтернативы традиционного маршрута смешанного моделирования предлагается использовать поведенческую модель аналоговой части. Весьма распространена разработка поведенческой модели на Verilog-A, что подразумевает использование цифровой части на HDL[4-6]. В данной работе предлагается разработать и модель, и соответствующие алгоритмы оцифровки и калибровки.

Математическая модель должна функционировать аналогично схеме в аналоговом симуляторе, но может при этом учитывать только определенные эффекты.

II. Математическая модель АЦП последовательного приближения

A. Принцип работы АЦП

На рис. 1. изображена структурная схема АЦП последовательного приближения (ПП). Ключевые элементы преобразователя - регистр ПП в составе цифровой части АЦП, цифро-аналоговый преобразователь (ЦАП), компаратор, устройства выборки-хранения (УВХ). В современных преобразователях [7] УВХ совмещено с матрицей С2С в ЦАП.

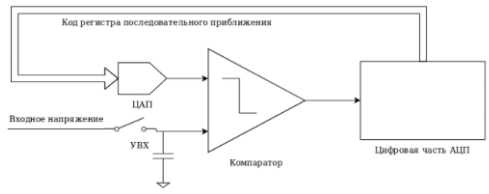


Рис. 1. Структурная модель АЦП ПП

Цифровая часть АЦП ПП реализует алгоритм двоичного поиска. На первом такте оцифровки старший бит регистра ПП устанавливается в единицу, все

остальные биты - в ноль. Поскольку входы ЦАП подключены к регистру ПП, на выходе преобразователя формируется напряжение, соответствующее половине опорного напряжения. Компаратор сравнивает напряжения на выходах ЦАП и УВХ, и в зависимости от его решения старший бит остается в единице, если напряжения на выходе УВХ больше выхода ЦАП, либо переключается в ноль, если напряжение на выходе ЦАП меньше, чем напряжение на выходе УВХ. Таким образом, напряжение входного сигнала определяется с разрешением ½ от опорного напряжения.

На втором такте оцифровки старший бит регистра ПП не меняется, а следующий по старшинству бит устанавливается в единицу, и идет следующее сравнение, что приводит к разрешению ¼ от опорного напряжения. После прохождения N тактов оцифровки входной сигнал известен с разрешением $1/2^N$ от опорного напряжения.

B. Структура матрицы конденсаторов

Для разработки матрицы конденсаторов используются различные схемы. Простая схема подразумевает параллельное включение конденсаторов с увеличивающимся в два раза номиналом. Подобная схема изображена на рис. 2. Недостаток данной схемы состоит в том, что для многоразрядных матриц размеры старших конденсаторов будут превосходить допустимые размеры кристаллов на порядки.

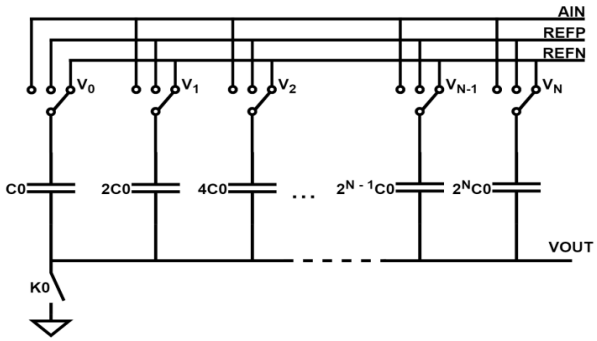


Рис. 2. Матрица с двоичными конденсаторами

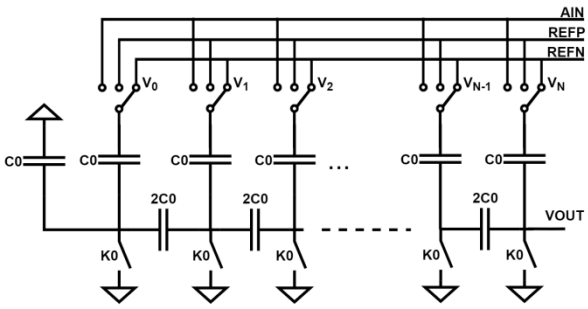


Рис. 3. Матрица типа C2C

Другой вариант – построение матрицы типа C2C с конденсаторами емкостью C, управляемыми цифровой частью, и разделительными конденсаторами номиналом 2C. Недостаток данной схемы в том, что количество семплирующих ключей K0, фиксирующих нулевой потенциал на шине Vout, равно количеству разрядных конденсаторов, что продемонстрировано на рис. 3. В качестве промежуточного варианта используется разделенная матрица конденсаторов [5]. Данный подход сочетает преимущество обоих подходов – используются конденсаторы разумного размера и малое количество ключей. Пример схемы с разделенными конденсаторами изображен на рис. 4.

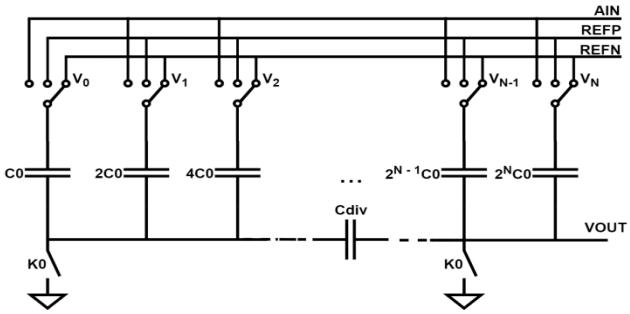


Рис. 4. Разделенная матрица

C. Составление математической модели

При написании математической модели использован операторный метод [8], заменяющий дифференциально-интегральные выражения алгебраическими, что упрощает процесс расчета.

Рассмотрим структурную схему матрицы конденсаторов. Основа математической модели – зависимость напряжения на входе компаратора со стороны матрицы в зависимости от переключения ключей. Для этого составляется система уравнений по первому правилу Кирхгофа для общего вывода конденсаторов в каждой из секций.

При разомкнутом семплирующем ключе подтягивания общего потенциала к земле будет выполняться принцип сохранения заряда в замкнутой системе – суммарный заряд матрицы постоянен, при переключении напряжения Vi заряд перераспределяется по матрице, что приводит к изменению общего потенциала. Для получения зависимости значения общего потенциала на входе компаратора выведем аналогичную зависимость для всех общих потенциалов в каждой секции.

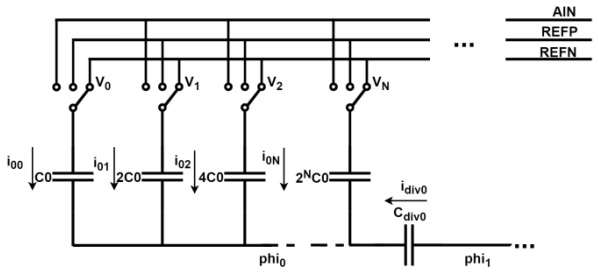


Рис. 5. Направления токов через конденсаторы

Рассмотрим матрицу из 3 секций, в каждой из которых N конденсаторов. В случае матрицы с бо́льшим количеством секций увеличивается количество уравнений для промежуточных секций,

составленных по тому же принципу, что и уравнение для средней секции в приведенном ниже примере.

Составим уравнения токов в младшей секции конденсаторной матрицы в состоянии, когда ключ, притягивающий общий потенциал к земле, разомкнут. Согласно первому закону Кирхгофа, сумма токов, сходящихся в одном узле, равна нулю. При этом будем считать, что в момент переключения напряжения Vi ток через разрядные конденсаторы и разделительный конденсатор течет к общему потенциалу phi0, как обозначено на рис. 5. Таким образом, получатся следующие уравнения:

$$\sum_{k=0}^{N-1} i_{0k} + i_{div0} = 0$$

$$\sum_{k=0}^{N-1} C_{0k} \frac{d(U_{0k}(t) - phi_o(t))}{dt} + C_{div0} \frac{d(pho_1(t) - phi_o(t))}{dt} = 0$$

Совершив прямое преобразование Лапласа, получим следующее выражение:

$$\sum_{k=0}^{N-1} C_{0k} \frac{U_{0k}(p) - phi_o(p)}{p} + C_{div0} \frac{pho_1(p) - phi_o(p)}{p} = 0$$

Из этого выражения можно вывести зависимость напряжения в точке phi0 от напряжений Vx и phi1 и произвести обратное преобразование Лапласа:

$$phi_o(t) = \frac{\sum_{k=0}^{N-1} C_{0k} * U_{0k}(t) + C_{div0} * phi_1(t)}{\sum_{k=0}^{N-1} C_{0k} + C_{div0}} \quad (1)$$

После аналогичных расчетов для средней и старшей секции получается зависимость изменения напряжения в узлах phi1 и phi2 при изменении напряжения Vx. Если подставить формулу (1) в формулу для средней секции, а затем выразить оттуда phi1, из выражения исчезнет переменная phi0. После аналогичных операций с выражением для старшей матрицы получается выражение зависимости узла phi2 от значений Vx, т.е. формула для зависимости напряжения на входе компаратора от напряжений на конденсаторах. Выведенная формула – основа для математической модели матрицы конденсаторов. Например, для матрицы из двух секций с одним конденсатором в каждой формула примет следующий вид:

$$V_{OUT} = \frac{V_0 * C_0 * C_{div0} + V_1 * C_1 * (C_0 + C_{div0})}{C_0 * C_1 + C_0 * C_{div0} + C_1 * C_{div0}}$$

D. Модель разброса конденсаторов и модель шума

Для моделирования разброса конденсаторов к емкости каждого конденсатора случайным образом добавлялось или вычиталось значение функции равномерного распределения от нуля до 0.01 веса младшего конденсатора в секции.

Модель шума представляет собой аддитивный источник на входе компаратора [9].

E. Использование математической модели

На основе приведенных выше формул описана математическая модель АЦП последовательного приближения с событийно-ориентированной архитектурой [10]. Событиями, при наступлении которых изменяется состояние схемы, считаются переключения семплирующего ключа K0 и разрядных ключей.

Проведено схемотехническое моделирование матрицы, состоящей из конденсаторов, подтвердившее корректное функционирование математической модели.

Описанная выше модель универсальна – с ее помощью можно моделировать не только стандартные процедуры слежения, семплирования и оцифровки сигналов, но и произвольные алгоритмы, направленные на улучшение работы матрицы конденсаторов в составе АЦП.

III. Алгоритм предварительной калибровки матрицы конденсаторов

Одна из причин ухудшения динамических характеристик АЦП – разброс емкостей конденсаторов в матрице при производстве микросхемы. Для улучшения характеристик используются алгоритмы, учитывающие разброс при формировании выходного кода АЦП. Далее будет приведено описание алгоритма предварительной калибровки конденсаторов и результаты моделирования алгоритма с использованием математической модели.

Алгоритм калибровки основан на возможности представить конденсатор как линейную комбинацию младших конденсаторов:

$$C_n = \sum_{i=0}^{n-1} C_i * K_{ni}, \quad (2)$$

где C_n – емкость n-го конденсатора,

K_{ni} – коэффициент представления i-го конденсатора в линейном разложении n-го конденсатора, принадлежит множеству {0, 1}.

Достигаемая при этом точность равна приращению напряжения при переключении младшего конденсатора. Поэтому для проверки корректности разложения необходимо убедиться, что

$$\left| \Delta V_n - \sum_{i=0}^{n-1} \Delta V_i * K_{ni} \right| < \Delta V_0,$$

где V_n – приращение напряжения при переключении n-го конденсатора,

V_0 – приращение напряжения при переключении младшего конденсатора,

V_i – приращение напряжения при переключении i-го конденсатора.

При измерении отношения младших конденсаторов сложно получить приемлемую точность ввиду малого количества конденсаторов, представленных в описанном выше линейном разложении. Для расчета межразрядных отношений конденсаторы разделяются на две группы – младшие некалибруемые и старшие калибруемые. Вводится понятие “веса” конденсатора – безразмерной величины, отражающей его емкость. Отношение весов двух конденсаторов с точностью до веса младшего используемого при калибровке конденсатора равно отношению емкостей. Веса младших конденсаторов принимаются заранее известными константами.

Зная представление калибруемого конденсатора (2), можно рассчитать его вес, представив его как сумму весов конденсаторов, входящих в разложение:

$$W_n = \sum_{i=0}^{n-1} W_i * K_{ni}$$

После расчета веса конденсаторов будет получено межразрядное отношение для любой пары конденсаторов, поскольку отношение весов двух произвольных конденсаторов равны отношению емкостей этих конденсаторов с точностью емкости младшего конденсатора.

Завершающий этап – калибровка полной шкалы. Цель калибровки полной шкалы – установить соответствие между весом конденсатора и его вкладом в выходной код АЦП, где код из всех нулей соответствует нулевому напряжению на входе, а код из всех единиц соответствует максимально возможному. Для получения выходного кода с разрядностью OW (Output Width) необходимо присвоить каждому конденсатору вес

$$Wfs_n = \frac{\sum_{i}^{n-1} W_i * K_{ni}}{\sum_{l} W_l}$$

где W_l – веса конденсаторов, являющихся частью устройства выборки-хранения.

Таким образом, итоговый код будет представлять собой скалярное произведение вектора весов конденсатора Wfs и кода на матрице конденсаторов C2C, полученный в результате оцифровки:

$$\mathrm{Re}\,sult = \sum_{i=0}^{n-1} Wfs_i * CODE_i$$

IV. Оценка результатов оцифровки

В качестве критерия оценки результатов оцифровки используется параметр ENOB – количество эффективных разрядов.

Для оценки ENOB рассчитывается отношение интегральной мощности сигнала к интегральной мощности шума [11], как это указано на рис. 6.

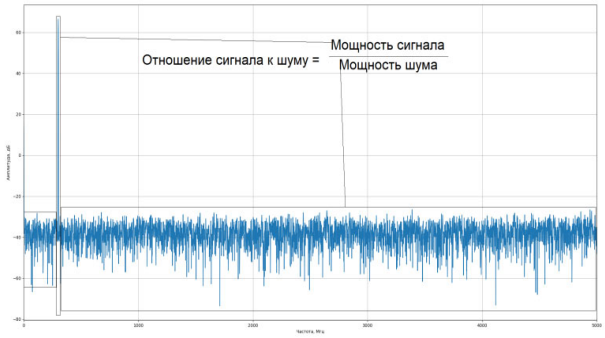


Рис. 6. Отношение сигнала к шуму на спектре

Для расчёта количества эффективных разрядов используется следующая формула:

$$ENOB = \frac{(SNR - 1.76 дБ)}{6.02 дБ}$$

V. Результаты моделирования

Проведено моделирование АЦП ПП – предварительная калибровка конденсаторов и оцифровка 2000 семплов синусоидального сигнала.

Калибровка и оцифровка проходили в различных условиях – без модели физического шума и модели разброса конденсаторов, с учетом обеих моделей и с учетом каждой модели по отдельности.

При моделировании алгоритмов использовалась модель преобразователя с разделенной матрицей, состоящей из 3 секций по 7 конденсаторов. В качестве УВХ использовались 4 старших конденсатора старшей секции. В каждой секции до разброса конденсаторов устанавливается бинарное отношение емкостей двух соседних конденсаторов.

Разделительный конденсатор подобран таким образом, чтобы приращение напряжения на входе компаратора при переключении младшего конденсатора старшей секции было вдвое больше, чем при переключении старшего разряда младшей секции.

Величина шума задается функцией нормального распределения с математическим ожиданием 0 В и среднеквадратичным отклонением 32 мкВ при значении полной шкалы АЦП в 3 В. Значения получены по результатам схемотехнического моделирования блока компаратора по технологии 180 нм.

Таблица 1

Результаты моделирования алгоритма калибровки

Параметры моделирования	Наличие предварительной калибровки	SINAD, дБ	ENOB, биты
Без шума, без разброса конденсаторов	Без калибровки	113.57	18.57
	С калибровкой	113.54	18.56
С шумом, без разброса конденсаторов	Без калибровки	89.9	14.64
	С калибровкой	89.3	14.55
Без шума, с разбросом конденсаторов	Без калибровки	86.46	14.1
	С калибровкой	96.5	15.7
С шумом, с разбросом конденсаторов	Без калибровки	82.4	13.4
	С калибровкой	89.7	14.6

Как можно видеть из результатов моделирования, указанных в табл. 1, без шума и разброса конденсаторов предварительная калибровка не дает никакого эффекта, поскольку сохраняется бинарное межразрядное отношение.

При появлении шума проведение предварительной калибровки даже ухудшает результаты, поскольку калибровка проводится аналогично с шумом. Для улучшения результатов каждая калибровка проводится 4 раза для снижения влияния шума. Как результат, отношение сигнала к шуму ухудшилось всего на 0.6 dB по отношению к SNR сигнала, измеренного без калибровки.

При разбросе конденсаторов без шума видно улучшение при проведении калибровки – более 10 dB SNR. Между тем количество эффективных разрядов уменьшилось, поскольку уменьшилась и эффективная емкость матрицы из-за изменения емкости разделительных конденсаторов.

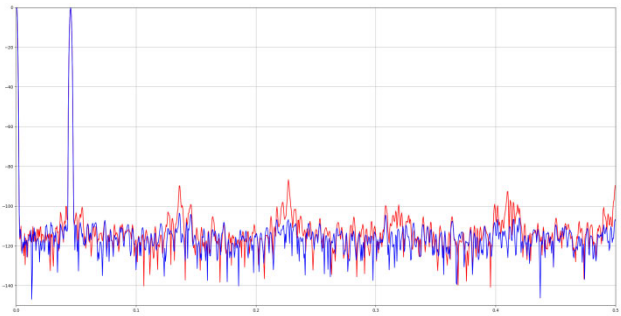


Рис. 7. Спектр оцифрованного сигнала при моделировании с шумом и разбросом конденсаторов без коррекции (красный график) и с коррекцией (синий график)

Спектр сигналов с коррекцией и без при моделировании с шумом и разбросом конденсаторов (наиболее приближенные к реальности условия) приведен на рис. 7. Отношение сигнала к шуму увеличилось на 7.3 дБ, или на 1.2 эффективных разряда. Кроме того, динамический диапазон, свободный от паразитных составляющих, увеличился на 16.8 дБ – с 86.7 до 103.5 дБ.

VI. Вывод

В статье предложен способ использования модели при разработке и отладке алгоритмов калибровки, ускоряющий данные процессы.

Разработана математическая модель аналого-цифрового преобразователя последовательного приближения на основе разделенной матрицы, одновременно являющейся и цифро-аналоговым преобразователем, и устройством выборки-хранения. С помощью разработанной модели проведено исследование влияния разброса конденсаторов на уменьшение количества эффективных разрядов.

Алгоритм, учитывающий разброс конденсаторов, показал эффективность в условиях разброса конденсатора и шума на входе компаратора. Благодаря использованию алгоритма отношение сигнала к шуму возросло на 7.3 дБ, что эквивалентно 1.2 эффективных разрядов. Динамический диапазон, свободный от паразитных составляющих, увеличился на 16.8 дБ.

VII. Дальнейшее применение

Разработанная модель АЦП в дальнейшем планируется для использования при сравнении эффективности различных алгоритмов фоновой калибровки и при функциональной верификации цифровой части преобразователя.

Модель имеет возможность дальнейшего развития путём учета дополнительных эффектов – нелинейности и дополнительных источников шума.

Благодарности

Выражаю благодарность своим научным руководителям Андрею Александровичу Беляеву и Алексею Викторовичу Зайцеву за ценные советы при проведении исследования и рекомендации по оформлению статьи.

Поддержка

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-31-90081.

Литература

[1] Lei S. и др. Analysis on Capacitor Mismatch and Parasitic Capacitors Effect of Improved Segmented-Capacitor Array in SAR ADC // 2009 Third International Symposium on Intelligent Information Technology Application. 2009.

[2] Shen J. и др. A 16-bit 16-MS/s SAR ADC With On-Chip Calibration in 55-nm CMOS // IEEE Journal of Solid-State Circuits. 2018. Т. 53. № 4. С. 1149-1160.

[3] [Электронный ресурс]. URL: https://www.cadence.com/content/dam/cadence-www/global/en_US/documents/services/cadence-vcad-simpli-ds.pdf (дата обращения: 19. 06. 2020).

[4] Santhanalakshmi M., Yasoda K. Verilog-A implementation of energy-efficient SAR ADCs for biomedical application // 2015 19th International Symposium on VLSI Design and Test. 2015.
[5] Li Y., Lian Y. Improved binary-weighted split-capacitive-array DAC for high-resolution SAR ADCs // Electronics Letters. 2014. Т. 50. № 17. С. 1194-1195.
[6] Осипов Д.Л. Модель ЦАП на основе матрицы конденсаторов с разделителем в составе АЦП последовательных приближений // Проблемы разработки перспективных микро- и наноэлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2012. С. 382-387.
[7] Lei S. и др. Analysis on Capacitor Mismatch and Parasitic Capacitors Effect of Improved Segmented-Capacitor Array in SAR ADC // 2009 Third International Symposium on Intelligent Information Technology Application. 2009.
[8] Бессонов Л.А. Гл. 8. Переходные процессы в линейных электрических цепях // Теоретические основы электротехники. Электрические цепи: учебник. 11-е изд., перераб. и доп. М.: Гардарики, 2007. С. 231, 235-236. 701 с. 5000 экз. ISBN 5-8297-0046-8, ББК 31.21, УДК 621.3.013(078.5).
[9] Luo Y. и др. Input Referred Comparator Noise in SAR ADCs // IEEE Transactions on Circuits and Systems II: Express Briefs. 2019. Т. 66. № 5. С. 718-722.
[10] Clark T., Barn B. Event driven architecture modelling and simulation // Proceedings of 2011 IEEE 6th International Symposium on Service Oriented System (SOSE). 2011.
[11] IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters // IEEE Std 1241-2010 (Revision of IEEE Std 1241-2000). 2011.

High-Level Model Based Calibration Technique Design for SAR ADC

M.N. Skripnichenko[1, 2]

[1]Moscow Institute of Electronic Engineering, Moscow

[2]JSC Elvees RND Centre, mskripnichenko@elvees.com

***Abstract* — This paper presents a method of algorithm developing and debugging of mixed signal devices using a Python mathematical model. A successive approximation register ADC is used as the mixed signal device. A splitted capacitor array with small numbers of sampling switches and capacitors of reasonable sizes is used in mathematical model.**

To simplify calculations, the operator method, which replaces differential-integral expressions with algebraic ones, is used. The basis for the mathematical model is the dependence of the voltage at the input of the comparator on the matrix side depending change in switch states of the keys. Value of the function of uniform distribution from zero to 0.01 of the smallest capacitor in the section was randomly added or subtracted to each capacitor to simulate the dispersion of capacitors. The noise model is an additive source at the input of the comparator. As result, there is a mathematical model of SAR ADC with event-driven architecture.

Events that change the state of the circuit are considered to be switching the sampling key K0 and bit switches. One of the reasons for the deterioration of the dynamic characteristics of the ADC is mismatch in capacitor array during chip fabrication. To improve the characteristics, the algorithm that takes into account capacitors mismatch is used.

Such algorithm shows efficiency in the conditions of capacitor mismatch and comparator input noise. With this algorithm, the signal to noise ratio is increased by 7.3 dB, which is equivalent to 1.2 effective bits. Spurious-free dynamic range increases by 16.8 dB. Using the mathematical model when designing and debugging calibration algorithms allows you to speed up these processes.

***Keywords* — SAR ADC, ADC simulation, SAR ADC calibration, ADC math model.**

REFERENCES

[1] Lei S. и др. Analysis on Capacitor Mismatch and Parasitic Capacitors Effect of Improved Segmented-Capacitor Array in SAR ADC // 2009 Third International Symposium on Intelligent Information Technology Application. 2009.
[2] Shen J. and oth. A 16-bit 16-MS/s SAR ADC With On-Chip Calibration in 55-nm CMOS // IEEE Journal of Solid-State Circuits. 2018. Т. 53. № 4. С. 1149-1160.
[3] URL: https://www.cadence.com/content/dam/cadence-www/global/en_US/documents/services/cadence-vcad-simpli-ds.pdf (access date: 19. 06. 2020).
[4] Santhanalakshmi M., Yasoda K. Verilog-A implementation of energy-efficient SAR ADCs for biomedical application // 2015 19th International Symposium on VLSI Design and Test. 2015.
[5] Li Y., Lian Y. Improved binary-weighted split-capacitive-array DAC for high-resolution SAR ADCs // Electronics Letters. 2014. Т. 50. № 17. С. 1194-1195.
[6] Osipov D.L. Model` CzAP na osnove matricy kondensatorov s razdelitelem v sostave ACzP posledovatel`ny`x priblizhenij (Capacitor split array matrix based DAC for SAR ADC) // Problemy` razrabotki perspektivny`x mikro- i nanoe`lektronny`x sistem - 2012. Sbornik trudov / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2012. S. 382-387 (in Russian).
[7] Lei S. и др. Analysis on Capacitor Mismatch and Parasitic Capacitors Effect of Improved Segmented-Capacitor Array in SAR ADC // 2009 Third International Symposium on Intelligent Information Technology Application. 2009.
[8] Bessonov L.A. Gl. 8. Perexodny`e processy` v linejny`x e`lektricheskix cepyax (Transition process in linear electrical nets) // Teoreticheskie osnovy` e`lektrotexniki. E`lektricheskie cepi: uchebnik. 11-e izd., pererab. i dop. M.: Gardariki, 2007. S. 231, 235-236 (in Russian).
[9] Luo Y. и др. Input Referred Comparator Noise in SAR ADCs // IEEE Transactions on Circuits and Systems II: Express Briefs. 2019. Т. 66. № 5. С. 718-722.
[10] Clark T., Barn B. Event driven architecture modelling and simulation // Proceedings of 2011 IEEE 6th International Symposium on Service Oriented System (SOSE). 2011.
[11] IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters // IEEE Std 1241-2010 (Revision of IEEE Std 1241-2000). 2011.

УДК 004.896. DOI: 10.31114/2078-7707-2020-3-120-125

Обратная разработка печатных плат с использованием алгоритма обезьян

А.М. Штучный[1], В.М. Курейчик[2]

[1]НКБ «МИУС» ЮФУ, г. Таганрог, shtuchnyy@sfedu.ru

[2]ИКТИБ ЮФУ, г. Таганрог, vmkureychik@sfedu.ru

***Аннотация* — Авторами статьи проведено исследование целью которого, является определение недостатков существующих методов автоматизации обратной разработки печатных плат, определение путей их модернизации. Задачей статьи является разработка нового алгоритма сегментации для использования в системах автоматизированной обратной разработки печатных плат. В статье приведен обзор современного состояния проблемы обратной разработки печатных плат. Сделаны выводы о пригодности рассматриваемых подходов и возможные пути улучшения работоспособности. Одним из путей такого улучшения является применение современных средств предварительной обработки изображения, в частности, сегментации изображения. Проведен обзор методов сегментации, основанных на алгоритме кластеризации и существующих современных алгоритмов кластеризации. Сделаны выводы о пригодности использования данного подхода. В статье авторами предложен новый алгоритм сегментации изображений. Данный алгоритм основан на сочетании достоинств алгоритмов обезьян и сегментации изображений к-средних и с-средних. Преимуществом такого алгоритма является самостоятельное определение количества сегментов и их центров, которое обеспечивается применением алгоритма обезьян, и точная сегментация изображения благодаря алгоритму к-средних и с-средних. Авторами был проведен эксперимент. Его целью подтверждения качеств модернизированной системы обратной разработки печатных плат. Задачами эксперимента являются: 1) подтверждение работоспособности и конкурентности предложенного авторами алгоритма сегментации изображений относительно существующих алгоритмов; 2) подтверждение конкурентоспособности авторского модернизированного подхода автоматизированной обратной разработки печатных плат. В ходе эксперимента удалось установить, что предложенный авторами алгоритм сегментации изображений работо- и конкурентоспособен. Он обладает большей точностью, чем существующие аналоги. Модернизированная авторами система так же превосходит существующие аналоги в области количества распознанных компонентов. Новизной данной работы является модернизация метода автоматизации процесса обратной разработки печатных плат. Принципиальным отличием является использование нового метода сегментации, основанного на алгоритмах к-средних и нечеткой с-средних сегментации изображений и алгоритма обезьян.**

***Ключевые слова* — обратная разработка, обратная разработка печатных плат, алгоритмы сегментации, к-средних, нечеткий с-средних, алгоритм обезьян.**

I. Введение

Текущее развитие науки и техники привело к появлению в современности таких тенденций, которые в совокупности образуют технологию Индустрия 4.0. Понятие «Индустрия 4.0» отождествлено с «четвертой промышленной революцией». Одним из принципов которой является максимальная автоматизация всех процессов производства. Существует проблема, заключающаяся в отсутствии технической документации на разработанные ранее радиоэлектронные изделия и макеты. Данная проблема связанна с развитием отрасли электроники и микроэлектроники и дальнейшем ее спадом. Это повлекло за собой огромное количество разработанных образцов аппаратуры, на ряд которых отсутствует техническая документация. Решением задачи восстановления документации по имеющимся образцам занимается такое направление разработки, названное обратной разработкой или реверс-инжиниринг. Это направление используется для помощи при поиске неисправностей, копировании изделий и проверке защиты от копирования.

II. Обзор современного состояния проблемы. Реверс-инжиниринг

На данный момент существуют попытки автоматизации данного процесса, одни из широко известных описаны в работах [11, 12, 13]. В работе [11] предложена реализация автоматизации процесса обратной разработки печатных плат, путем применения средств распознания изображений алгоритмы использованы из библиотеки для реализации компьютерного зрения OpenCV. Результаты стандартные и широко известные алгоритмы распознавания показывают не самые высокие. В работе [12] авторы выявили явное описание рабочего процесса для неразрушающего реверс-инжиниринга печатных плат для современного уровня техники. Предложена программная архитектура, поддерживающая рабочий процесс и вводя в нее элемент автоматизации. Данная работа показывает, что современное развитие науки и техники может решать поставленную задачу обратной разработки. Как показали опыты по использованию

различных обработок изображения и распознания, использование алгоритмов сегментации изображения, повышает уровень обнаружения компонентов и доводит его до 65 процентов от общего количества элементов. В качестве алгоритма сегментации был предложен алгоритм водораздела. В работе [13] продемонстрирована работа по обратной разработке с использованием рентгеновской визуализации печатной платы. Использование такого метода повысило рабочий диапазон для анализа печатной платы. Показано данный подход позволяет анализировать и межслойные проводники, и соединения.

Подводя итог существующим работам по автоматизации обратной работы печатных плат, можно увидеть, что в основном работа по автоматизации заключается в применении алгоритмов распознавания к изображениям печатных плат, с целью определения элементов печатных плат. Как было отмечено в работе [12], применение алгоритмов сегментации перед распознанием изображения повышает результативность. Авторы делают заключение, что применение совершенных алгоритмов сегментации может увеличить результативность существующих систем. Предлагается модернизировать существующий подход новым алгоритмом сегментации.

III. Обзор современного состояния проблемы. Сегментация изображений

На текущий момент существует множество подходов к сегментации изображений. Одними из востребованных являются алгоритмы на основе кластеризации, такие как к-средних (K-Means, KM) и нечетких с-средних (Fuzzy C-Means, FCM).

В работе [1] приведена модификация алгоритмов KM и FCM. Алгоритм получил название к-средних и нечетких с-средних (K-Means and Fuzzy C- Means, KMandFCM). Были проведены тестирования алгоритма в сравнении с оригинальными алгоритмами KM и FCM. Достоинством предложенного алгоритма является меньшее время работы и показатель средней квадратической ошибки. Недостатками является унаследованное от этих алгоритмов необходимость точно знать количество кластеров в изображении, а также их центры.

В [2] представлен алгоритм нечеткого С-среднего вейвлет-фрейма для сегментации изображений на графах. Достоинством является приемлемая сложность вычислений, высокая адаптивность к данным изображения и шуму и могут использоваться для анализа характеристик шума. Предложенный алгоритм имеет более широкий спектр применения. Недостатком является увеличенные вычислительные затраты.

Исследование [3] посвящено анализу влияния распределения данных на результаты кластеризации. Исследованы алгоритмы кластеризации KM и FCM. FCM показывает худшие результаты в наборах данных с большим разбросом размеров кластеров.

В [5] предложен метод использования KM и FCM алгоритмов сегментации для изображений головного мозга с целью поиска опухолей. Метод заключается в использовании алгоритма KM для предварительной сегментации, а FCM для уточнения формы объекта, далее применяются алгоритмы классификации для определения стадии опухоли. Данный подход продемонстрировал более точный результат.

В [6] предложен пространственный нечеткий с-средний алгоритм сегментации с использованием модели Мамфорда Шаха (spatial fuzzy c-means using Mumford Shah model), который позволяет автоматически определять внутренние контуры, эффективно определять размытые контуры, повышать устойчивость к шуму и повышать общую точность сегментации с меньшим числом итераций. Данный алгоритм обладает точностью определения кластеров оригинального алгоритма FCM, однако время работы существенно меньше.

Авторы отмечают, что оптимального алгоритма сегментации не существует, и они не лишены недостатков, одним из которых является невозможность самостоятельно определять количество сегментов и их центры. Однако алгоритм к-средних и с-средних (KMandFCM) показывает не плохие результаты на тестовых задачах. Авторы статьи предлагают модифицировать его алгоритмом обезьян для автоматического поиска количества кластеров и их центров.

IV. Постановка проблемы исследования

Цель исследования разработка новой системы реверс-инжиниринга печатных плат или модификация существующей путем применения более совершенного алгоритма сегментации. Задача исследования – разработка нового алгоритма сегментации изображений. В основу разработанного алгоритма сегментации легли алгоритм сегментации, предложенный в [1], и алгоритм обезьяньего поиска, предложенный в [9], и его модификации, предложенные в [10] для кластерного анализа.

Алгоритм кластеризации – это функция a: $X \rightarrow Y$, которая любому объекту $x \in X$ ставит в соответствие номер кластера $y \in Y$. Множество Y в некоторых случаях известно заранее, однако чаще ставится задача определения оптимального числа кластеров с точки зрения того или иного критерия качества кластеризации. При решении задачи кластеризации метки исходных объектов y_i изначально не заданы, и даже само множество Y может быть неизвестно.[7] Одним из простейших алгоритмов кластеризации данных является алгоритм K-средних (k-means). Он предполагает быстрый кластерный анализ путем выделения K сегментов (кластеров), которые располагаются на максимальном расстоянии друг от друга, где центры кластеров соответствуют локальным максимумам плотности распределения данных. Базовый алгоритм K-средних предполагает случайный или эвристический выбор K центров кластеров,

размещение каждого пикселя изображения в кластер с ближайшим центром к этому пикселю, после чего заново пересчитываются центры кластеров до сходимости процесса [8].

V. Описание алгоритма

Работа алгоритма авторов заключается в использовании алгоритма обезьян для поиска центров кластеров и их количества, а далее применяется алгоритм сегментации. Последовательность авторского алгоритма сегментации AO на основе KMandFCM

1. Процесс инициализация популяции агентов.
2. Процесс движения вверх (climb process).
3. Процесс локальных прыжков (watch-jump process).
4. Процесс сегментации изображения алгоритмом KMandFCM.

A. Процесс инициализации популяции агентов

В оригинальном AO оказывает влияние на точность, но для задачи сегментации изображений каждый компонент данных имеет разные интервалы, что несколько нивелирует оказываемое влияние выбора начальной популяции. Для i - агента (i обезьяны) произвольно выберем K выборки (каждый образец включает в себя p компоненты) из набора данных.

B. Процесс движения вверх

Это поэтапная процедура изменения позиций агентов от исходных позиций к новым, которые должны улучшить целевую функцию. Предназначен для стохастической аппроксимации возмущения на основе псевдоградиента. Для i - агента позиция определяется Xi = ($x_{i,1}$, $x_{i,2}$, ..., $x_{i,\,K*p}$), i = 1,2, ..., M соответственно. $f(Xi)$ - соответствующее значение пригодности. Процесс задается следующим образом:

1) Произвольно генерируем два вектора Δx_i = ($\Delta x_{i,1}$, $\Delta x_{i,2}$,…, $\Delta x_{i,K*p}$) , где
$$\Delta x_{ij} = \begin{cases} a \text{ с вероятностью } 1/2 \\ -a \text{ с вероятностью } 1/2 \end{cases} \quad (1)$$
и, j=1, 2, …, $K*p$. И α (α > 0) – параметр набора высоты, определяется самостоятельно, определяет точность аппроксимации локального решения. Чем меньше параметр, тем точнее решение.

2) Вычисляем
$$f'_{ij}(X_i) = \frac{f(X_i+\Delta\chi_\iota)-f(X_\iota-\Delta\chi_\iota)}{2\Delta\chi_{\iota j}} \quad (2)$$
j=1, 2, …, $K*p$. Вектор $f'_{ij}(X_i)$ называется псевдоградиентом целевой функции в точке X_i и описывается $f'_{ij}(X_i) = (f'_{i,1}(X_i), f'_{i,2}(X_i), \ldots, f'_{i,K*p}(X_i))$/

3) Установим
$$y_j = x_{ij} + a \cdot sign(f'_{ij}(X_i)) \quad (3)$$
j=1, 2, …, $K*p$, положим Y=(y_1,y_2, …, y_{K*p}).

4) Обновим множество значений X_i множеством Y, если множество возможно, в противном случае оставляем без изменений.

5) Повторим шаги (1) - (4), пока не будет достигнуто максимально допустимое количество итераций (называемое номером набора высоты, обозначаемое Nc).

C. Процесс движения локальных прыжков

После процесса подъема каждый агент прибывает на свой локальный максимум. Тогда он должен определить, есть ли другие максимумы больше, чем текущий. При наличии он совершит прыжок туда из текущей позиции, и снова повторит набор высоты, пока не достигнет максимума. Для i - агента позиция определяется Xi = ($x_{i,1}$, $x_{i,2}$, ..., $x_{i,\,K*p}$), i = 1,2, ..., M. Этот процесс задается следующим образом:

1) Произвольно выбрать числа для y_j из (x_{ij}-b, x_{ij}+b) j=1,2, …, $K*p$, положим Y = (y_1, y_2, ..., y_{K*p}) и b параметр называется зрением агентов, которые определяется самостоятельно. Чем больше допустимое пространство задачи, тем больше значение.
2) Обновим Xi с помощью Y при условии, что и f (Y) ≥ f (Xi) и возможны. В противном случае повторим шаг 1), пока не будет найдена соответствующая точка.

D. Процесс сегментации изображения

После повторений процессов локальных прыжков и набора высоты производим сегментацию изображений по алгоритму к-средних и с-средних (KMandFCM), с учетом того, что начальные положения уже найдены.

1. Устанавливаем количество t = 0.

2. Шаг KM: назначьте каждый вектор Xi своему ближайшему центру кластера, используя формулу (4)
$$d(X_i, \mu_j) = \sqrt{\sum_{l=1}^{d}(x_{il} - \mu_{jl})^2} \quad . \quad (4)$$

3. FCM-Step: установите t = t + 1.

4. Для каждого кластера Cj вычислите центр μj, используя формулу (5)
$$\mu_j^{t+1} = \frac{\sum_{i=1}^{N}(u_{ji})^m x_i}{\sum_{i=1}^{N}(u_{ji})^m}. \quad (5)$$

5. Вычислить новую матрицу членства $U_{k\,X\,N}^{(t)}$, используя формулу (6)
$$u_{ji}^{t+1} = \left[\sum_{l=1}^{k}\left(\frac{\left\|X_i-\mu_j^t\right\|^2}{\left\|X_i-\mu_j^t\right\|^2}\right)^{1/m-1}\right]^{-1} \quad . \quad (6)$$

6. Присвойте объекты данных кластерам, используя матрицу членства.

7. Вычислить процентное изменение, используя формулу (7)
$$Percentage\ change = \frac{|\Psi_t-\Psi_{t+1}|}{\Psi_t} \times 100 \ . \quad (7)$$

8. Остановите процесс, если процентное изменение < α. В противном случае установите t = t + 1.
9. Шаг KM: для каждого кластера Cj вычислите новый центр μj, используя формулу (5).
10. Присвойте каждому вектору Xi ближайший центр кластера, используя формулу (6).
11. Вычислить процентное изменение, используя формулу (7).
12. Остановите процесс, если процентное изменение <α. В противном случае перейдите к шагу 3.

VI. Эксперимент

A. *Цель эксперимента*

Целью эксперимента является подтверждение эффективности авторской модернизированной системы обратной разработки печатных плат.

Задачами эксперимента являются:

1. Определение эффективности авторского алгоритма сегментации в сравнении с существующими алгоритмами FCM, PSO-FCM.
2. Сравнение систем обратной разработки печатных плат, авторской с использованием нового алгоритма сегментации и существующей, предложенной в работе [12].

Эксперимент проводился в среде MATLAB на ЭВМ Asus процессор Intel N5000 ОЗУ 8 ГБ.

B. *Эксперимент алгоритма сегментации*

Для проведения эксперимента и апробации работы алгоритма сегментации на начальном этапе выбраны три тестовых изображения печатных плат: с защитной маской, с защитным лаковым слоем и без защитных покрытий. Данные изображения были подвергнуты сегментации тремя разными алгоритмами, в том числе и тем, что предложен авторами статьи. Первый алгоритм – это не модифицированный алгоритм нечетких с-средних (Fuzzy C- Means, FCM). Второй – алгоритм нечетких с-средних модифицированный алгоритмом оптимизации роя частиц для поиска начальных точек кластера (Fuzzy C-Means - Particle Swarm Optimization, FCM-PSO). Третьим алгоритмом в данном тесте будет предложенный авторами алгоритм сегментации обезьян на основе к-средних и с-средних алгоритма кластеризации (Monkey Segmentation Based on K-means and Fuzzy C-Means MSbKMandFCM). Для оценки работоспособности алгоритма используем параметры чувствительности (Sensitivity, Se), специфичности (Specificity, Sp) и точности (Accuracy, Acc)

$$Se = TP / (TP+FN) \quad (6)$$

$$Sp = TP / (TN+FP) \quad (7)$$

$$Acc = TP+TN / (TP+FN+TN+FP) \quad (8)$$

где TP - истинно положительный результат, FN - ложный отрицательный, TN - истинно отрицательный, FP - ложный положительный.

Полученные результаты работы алгоритмов внесены в таблицу 1.

Таблица 1

Результаты работы алгоритмов

Название алгоритма	Чувствительность Se %	Специфичность Sp %	Точность Acc %
FCM	81	93,7	87,6
PSO-FCM	83,6	94,6	92,7
Авторский алгоритм MSbKMandFCM	**86,9**	**98,5**	**96,5**

Как видно из таблицы полученных результатов, предложенный авторами алгоритм превосходит существующие алгоритмы по параметрам чувствительности, точности и специфичности.

C. *Эксперимент алгоритма распознания*

Для подтверждения эффективности модернизации системы обратной разработки печатных плат был проведен эксперимент сравнивающий авторский метод работы системы обратной разработки и предложенный в [12], как исходный. Для оценки работоспособности алгоритма используем также параметры чувствительности, специфичности и точности. Полученные результаты работы систем внесены в таблицу 2.

Таблица 2

Результаты работы систем

Название алгоритма	Чувствительность Se %	Специфичность Sp %	Точность Acc %
Watershred+ OCR	60	67	65
Авторский алгоритм MSbKMandFCM + OCR	**68,3**	**76,6**	**74,3**

Как видно из таблицы полученных результатов, предложенная авторами модернизация системы превосходит оригинал по параметрам чувствительности, точности и специфичности.

VII. Выводы и заключение

Авторами предложена модернизация существующего метода автоматизации обратной разработки печатных плат. В статье проведен анализ текущего состояния проблемы как процесса обратной

разработки в целом, так и средств автоматизации этого процесса – а именно сегментации изображений. В статье предлагается адаптация алгоритма обезьян и алгоритма сегментации к-средних и нечеткого с-средних. Его преимуществом является самостоятельное определение количества кластеров и их центров. Проведено экспериментальное сравнение существующих алгоритмов с авторским. Из проведенных тестов алгоритмов сегментации, предложенный авторами алгоритм превосходит существующие алгоритмы по параметрам чувствительности, точности и специфичности. Так же проведено исследования авторской модернизации существующего метода обратной разработки печатных плат. Исследование показало превосходство авторской модернизации над существующим аналогом. Авторы делают вывод, использование более совершенных алгоритм сегментации повышают результативность всей системы в целом.

Поддержка

Работа выполнена при финансовой поддержке гранта РФФИ №18-07-0050.

Литература

[1] R. Kishor Duggirala – "Segmentation using hybridization of K-means and Fuzzy C-means algorithms", Introduction to Data Science and Machine Learning, Mar.2020.

[2] C. Wang, W. Pedrycz, J. Yang, M. Zhou, and Z. Li, "Wavelet frame-based fuzzy C-means clustering for segmenting images on graphs", IEEE Transactions on cybernetics, pp. 1-12, 2019.

[3] K. Zhou and S. Yang, "Effect of cluster size distribution on clustering: a comparative study of k-means and fuzzy c-means clustering", Patern analysis and applications, vol. 23, no.1, pp. 455-466, Mar. 2019.

[4] A. Sathish and J. Mohana Sundaram, "A comparative study on k-means and fuzzy c-means algorithm for breast cancer analysis," International journal of computational intelligence and informatics, vol. 4: no.1, April – June 2014 pp 54-58.

[5] D. D. Pingale and S. R. Todmal, "Brain tumor segmentation using k-means and fuzzy c-means clustering and its area calculation and stage using SVM algorithm", Journal of advances and scholarly researches in allied education, vol. 15, no. 3, pp. 27-32, May 2018.

[6] Frizilin R., Muthukumaravel A. – Comparative analysis of liver segmentation using k-means, fuzzy c-means and spatial fcm using mumford shah approach international journal of recent technology and engineering (IJRTE) ISSN: 2277-3878, Volume -7 Issue 6S3, April, 2019, pp 99-104.

[7] Курейчик В.М., А.С. Григораш - Программный комплекс решения задачи кластеризации, [Электронный ресурс], https://elibrary.ru/item.asp?id=29877268.

[8] Эль-Хатиб С.А. - Разработка и исследование методов сегментации изображений с применением бионических моделей, [Электронный ресурс], http://hub.sfedu.ru/media/diss/04acfd27-750f-4644-83ba-105238eb0219/Автореферат_ЭльХатиб_(05.13.17).pdf.

[9] Ruiqing Zhao Wansheng Tang - Monkey Algorithm for Global Numerical Optimization, Journal of Uncertain Systems Vol.2, No.3, pp.165-176, 2008.

[10] Xin Chen, Yongquan Zhou, and Qifang Luo -A Hybrid Monkey Search Algorithm for Clustering Analysis, Scientific World Journal Volume 2014, Article ID 938239, 16 pages.

[11] Ben Johnson - EE368: Reverse Engineering of Printed Circuit Boards, [Электронный ресурс], https://stacks.stanford.edu/file/druid:np318ty6250/Johnson_Reverse_Engineering_PCBs.pdf.

[12] Stephan Kleber, Henrik Ferdinand Nölscher, Frank Kargl - Automated PCB Reverse Engineering, [Электронный ресурс], https://www.usenix.org/system/files/conference/woot17/woot17-paper-kleber.pdf.

[13] N. Asadizanjani, M. Tehranipoor, and D. Forte, " PCB reverse engineering using nondestructive X-ray tomography and advanced image processing", IEEE Transaction on Components, Packaging and Manufacturing Technology, pp. 1-8, 2017.

Reverse PCB Design Using the Monkey Algorithm

A.M. Shtuchnyy, V.M. Kureychik

ICTIS SFU, Taganrog, vmkureychik@sfedu.ru

***Abstract* — The authors of the article have conducted a study, the purpose of which is to identify the shortcomings of existing methods for the automation of reverse engineering of printed circuit boards and to determine the ways of their modernization. The objective of the article is to develop a new segmentation algorithm for use in computer-aided reverse-circuit development of printed circuit boards. The article provides an overview of the current state of the problem of reverse engineering of printed circuit boards. Conclusions are made about the suitability of the approaches under consideration and possible ways to improve performance. One of the ways of such improvement is the use of modern means of preliminary image processing. A survey of segmentation methods based on the clustering algorithm and existing modern clustering algorithms is reviewed. Conclusions are drawn on the suitability of using this approach. In the article the authors have proposed a new algorithm for image segmentation. This algorithm is based on a combination of the advantages of monkey algorithms and image segmentation of k-means and s-means. The advantage of this algorithm is the independent determination of the number of segments and their centers, which is ensured by the application of the monkey algorithm and precise image segmentation due to the k-means and c-means algorithm. The authors have conducted an experiment. Its purpose is to confirm the qualities of a modernized reverse circuit board engineering system. The objectives of the experiment are: 1. confirmation of the operability and competitiveness of the algorithm proposed by the authors for image segmentation relative to existing algorithms; 2. confirmation of the competitiveness of the authors' modernized approach to automated reverse circuit board engineering. During the experiment, it was possible to**

determine that the image segmentation algorithm proposed by the authors is efficient and competitive. It has greater accuracy than existing systems. The system modernized by the authors also surpasses existing analogues in the field of the number of recognized components. The novelty of this work is the modernization of the method for automating the process of reverse engineering of printed circuit boards. The fundamental difference is the use of a new segmentation method based on k-means algorithms and fuzzy c-means image segmentation and the monkey algorithm.

***Keywords* — reverse engineering, reverse engineering of printed circuit boards, segmentation algorithms, k-means, fuzzy c-means, monkey algorithm.**

REFERENCES

[1] R. Kishor Duggirala – "Segmentation using hybridization of K-means and Fuzzy C-means algorithms", Introduction to Data Science and Machine Learning, Mar.2020.

[2] C. Wang, W. Pedrycz, J. Yang, M. Zhou, and Z. Li, "Wavelet frame-based fuzzy C-means clustering for segmenting images on graphs", IEEE Transactions on cybernetics, pp. 1-12, 2019.

[3] K. Zhou and S. Yang, "Effect of cluster size distribution on clustering: a comparative study of k-means and fuzzy c-means clustering", Patern analysis and applications, vol. 23, no.1, pp. 455-466, Mar. 2019.

[4] A. Sathish and J. Mohana Sundaram, "A comparative study on k-means and fuzzy c-means algorithm for breast cancer analysis," International journal of computational intelligence and informatics, vol. 4: no.1, April – June 2014 pp 54-58

[5] D. D. Pingale and S. R. Todmal, "Brain tumor segmentation using k-means and fuzzy c-means clustering and its area calculation and stage using SVM algorithm", Journal of advances and scholarly researches in allied education, vol. 15, no. 3, pp. 27-32, May 2018.

[6] Frizilin R., Muthukumaravel A. – Comparative analysis of liver segmentation using k-means, fuzzy c-means and spatial fcm using mumford shah approach international journal of recent technology and engineering (IJRTE) ISSN: 2277-3878, Volume -7 Issue 6S3, April, 2019, pp 99-104.

[7] Kureychik V.M., Grigorash A.S. – Programnyy kompleks resheniya zadachi clasterizacii (The software package for solving the clustering problem) [Electronic resource], https://elibrary.ru/item.asp?id=29877268 (in Russian).

[8] Khatib S.A. – Razrabotka i issledovanie metodov segmentacii izobrageniy s primeneniem bionicheskih modeley (Development and research of image segmentation methods using bionic models) [Electronic resource], http://hub.sfedu.ru/media/diss/04acfd27-750f-4644-83ba-105238eb0219/(05.13.17).pdf (in Russian).

[9] Ruiqing Zhao Wansheng Tang - Monkey Algorithm for Global Numerical Optimization, Journal of Uncertain Systems Vol.2, No.3, pp.165-176, 2008.

[10] Xin Chen, Yongquan Zhou, and Qifang Luo -A Hybrid Monkey Search Algorithm for Clustering Analysis, Scientific World Journal Volume 2014, Article ID 938239, 16 pages.

[11] Ben Johnson - EE368: Reverse Engineering of Printed Circuit Boards, [Электронный ресурс], https://stacks.stanford.edu/file/druid:np318ty6250/Johnson_Reverse_Engineering_PCBs.pdf.

[12] Stephan Kleber, Henrik Ferdinand Nölscher, Frank Kargl - Automated PCB Reverse Engineering, [Электронный ресурс], https://www.usenix.org/system/files/conference/woot17/woot17-paper-kleber.pdf.

[13] N. Asadizanjani, M. Tehranipoor, and D. Forte, " PCB reverse engineering using nondestructive X-ray tomography and advanced image processing", IEEE Transaction on Components, Packaging and Manufacturing Technology, pp. 1-8, 2017.

Разработка перспективных микро- и наноэлектронных элементов, схем и устройств

УДК 538.995+51.74 DOI: 10.31114/2078-7707-2020-3-127-132

Влияние полевой компоненты магнитного момента, обусловленного спин-поляризованным током инжекции, на динамику намагниченности в тонкопленочной трехслойной наноструктуре

Н.В. Островская, В.А. Скиданов

Институт проблем проектирования в микроэлектронике РАН, г. Москва

ost@ippm.ru

***Аннотация* — Приводятся результаты исследования уточненной модели спинового вентиля, а именно: построение бифуркационных диаграмм, определение пороговых значений токов и полей переключения элементов и тех значений токов и полей, при которых в данной трехслойной структуре существует нетривиальная динамика намагниченности.**

***Ключевые слова* — спиновый вентиль, уравнение Ландау–Лифшица–Гильберта, спиновая поляризация, макроспин, магнитный момент.**

I. Введение

Металлический спиновый нано-вентиль представляет собой основу элемента магниторезистивной памяти STT-MRAM, активно обсуждаемой в настоящее время. В основополагающей работе Дж. Слончевского [1] были заложены теоретические принципы функционирования такого элемента. Было показано, что крутящий магнитный момент (торк), создаваемый воздействием потока спин-поляризованных электронов, при определенной величине тока способен перевернуть намагниченность активного слоя вентиля к альтернативной ориентации, то есть, в терминах техники запоминающих устройств, из положения «0» в положение «1» либо обратно. В работах, последовавших вслед за [1], проводился более детальный теоретический и математический анализ функционирования модели такого вентиля (подробную библиографию можно найти, например, в обзорах [6,8,9]). В частности, в наших работах [2–4] был проведен анализ системы дифференциальных уравнений, описывающих динамику намагниченности свободного ферромагнитного слоя вентиля, методами качественной теории динамических систем [5]. Были определены пороговые значения тока и внешнего магнитного поля, способного перевернуть намагниченность в новое положение как для вентилей с продольной, так и для вентилей с перпендикулярной анизотропией свободного слоя. Были выявлены и такие значения параметров, при которых вентили функционируют как модуляторы выходного напряжения и как логические ячейки с тремя возможными равновесными состояниями, что можно использовать для создания вероятностных элементов в нейронных сетях.

Вместе с тем, впоследствии модель вентиля Слончевского была уточнена добавлением полевой компоненты крутящего магнитного момента (торка), обусловленного спин-поляризованным током инжекции [6,7]. И хотя в литературе отсутствуют точные количественные оценки влияния этой поправки, в некоторых работах можно встретить утверждение, что они незначительны (например, [6,8,9]). В настоящей работе приводятся результаты исследования уточненной модели вентиля методами качественной теории динамических систем, эффективно использованной нами при анализе сокращенной модели [1]. На основе этой теории проводится построение бифуркационных диаграмм, определение пороговых токов и полей переключения элементов и выявление тех значений токов и полей, при которых существует нетривиальная динамика намагниченности.

II. Теоретическая часть

Объектом исследования является трехслойная структура Co/Cu/Co, состоящая из двух слоев ферромагнитного материала (кобальт) и медной немагнитной прослойки, близкая к структурам, рассмотренным в работах [1–4]. Поперечное сечение структуры представляет собой квадрат со стороной 100 нм, одна из сторон которого параллельна оси легкого намагничивания ферромагнитных слоев (ось OX), толщина тонкого слоя в расчетах принята равной 5 нм. Намагниченность нижнего (толстого) слоя фиксирована, ее направление принимаем за положительное направление оси OX. Ось OZ перпендикулярна плоскости слоев. Параллельно OZ пропускается ток, плотность которого J находится в диапазоне от 0 до 10^{14} А/м^2 . Структура помещена во внешнее магнитное поле $\mathbf{H}$, направленное вдоль оси анизотропии (рис. 1). Рассматриваются как положительные, так и отрицательные значения поля. Предполагается, что первоначально векторы намагниченности ферромагнитных слоев сонаправлены (что соответствует значению «0», записанному в ячейке). Далее в ячейку подается ток, спины носителей которого на границе раздела Co/Cu поляризуются вдоль направления закрепленного ферромагнитного слоя, и, воздействуя на намагниченность свободного слоя, создают суммарный момент, способный перевернуть направление

намагниченности свободного слоя (записать в ячейку значение «1»). В данной работе рассматривается движение электронов только в одном направлении от закрепленного к свободному слою.

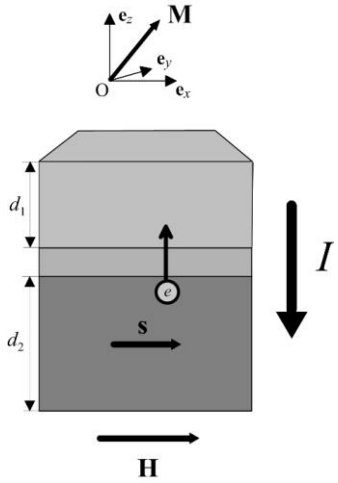


Рис. 1. Геометрия модели

Теоретическая модель явления, лежащего в основе работы спинового вентиля, была предложена в работе Дж. Слончевского [1]. Модель базируется на фундаментальном уравнении Ландау-Лифшица-Гильберта, описывающем динамику вектора намагниченности **M** в незакрепленном (свободном) ферромагнитном слое:

$$\frac{\partial \mathbf{M}}{\partial t} = -|\gamma|\,\mu_0\,[\mathbf{M}\times\mathbf{H}_{\text{eff}}] + \frac{\alpha}{M_s}\left[\mathbf{M}\times\frac{\partial \mathbf{M}}{\partial t}\right] + \mathbf{T}. \qquad (1)$$

Здесь $\mu_0 = 4\pi\cdot 10^{-7}$ н/А^2 — магнитная проницаемость вакуума, γ — гиромагнитное отношение: $\gamma = 0.28025\cdot 10^{11}$ Тл$^{-1}$с$^{-1}$, α — безразмерный коэффициент диссипации, M_s — намагниченность насыщения, $\mathbf{H}_{\text{eff}}$ — эффективное магнитное поле, отражающее те виды физических взаимодействий, которые учтены в модели. В данном случае

$$\mathbf{H}_{\text{eff}} = \mathbf{H} + \mathbf{H}_{\text{a}} + \mathbf{H}_{\text{f}}, \qquad (2)$$

где $\mathbf{H}$ — внешнее магнитное поле, $\mathbf{H}_{\text{a}}$ — эффективное поле магнитной анизотропии, $\mathbf{H}_{\text{f}}$ — эффективное поле размагничивания, возникающее за счет конечных размеров вентильной структуры. Последнее слагаемое в уравнении (1) — вращающий магнитный момент (торк), воздействующий на намагниченность свободного слоя со стороны спин-поляризованного тока инжекции. Согласно представлениям теоретической механики [7–10], момент силы, действующей на намагниченность в свободном слое, может быть разложен на три составляющих. Одна из этих составляющих совпадает с направлением намагниченности, т.е. создает нулевой момент, две другие взаимно ортогональны друг другу и записываются в следующем виде:

$$\mathbf{T} = \mathbf{T}^{\text{II}} + \mathbf{T}^{\perp} = |\gamma\mu_0|\,a\left[\mathbf{M}\times[\mathbf{M}\times\mathbf{s}]\right] + |\gamma\mu_0|\,b[\mathbf{M}\times\mathbf{s}],$$

где $a = G\dfrac{J\hbar}{ld|e|}$, $b = G\dfrac{J\hbar M_s}{ld|e|}$, J — плотность тока через поперечное сечение структуры, d — толщина свободного слоя, l — фактор Ланде, e — заряд электрона. Скалярная безразмерная функция G (**M**) согласно [1], имеет следующий вид:

$$G = \frac{4P^{3/2}}{(1+P)^3(3+(\mathbf{s},\mathbf{M})/M_s) - 16P^{3/2}} = \frac{c}{b+m_x},$$

где P — параметр спиновой поляризации.

Уравнение (1) сводится к безразмерному виду

$$\frac{\partial \mathbf{m}}{\partial \tilde{\tau}} = -[\mathbf{m}\times\mathbf{h}_{\text{eff}}] + \alpha\left[\mathbf{m}\times\frac{\partial \mathbf{m}}{\partial \tilde{\tau}}\right] + \mathbf{t}, \qquad (3)$$

где $\mathbf{h}_{\text{eff}} = \dfrac{\mathbf{H}_{\text{eff}}}{M_s}$, $\mathbf{t} = \dfrac{\mathbf{T}}{\gamma\mu_0 M_s^2}$, $\mathbf{m} = \dfrac{\mathbf{M}}{M_s}$, $|\mathbf{m}| = 1$, время $\tilde{\tau}$ измеряется в единицах $(\gamma\mu_0 M_s)^{-1}$. Здесь $\mathbf{h}_{\text{eff}} = \mathbf{h} + \mathbf{h}_{\text{a}} + \mathbf{h}_{\text{f}}$. В случае внешнего поля $\mathbf{h}$, направленного вдоль оси OX, слагаемое $\mathbf{h} = h\mathbf{e}_{\mathbf{x}}$. Поле анизотропии в данной модели также ориентировано вдоль OX

$$\mathbf{h}_{\text{a}} = k(\mathbf{m},\mathbf{e}_{\mathbf{x}})\mathbf{e}_{\mathbf{x}} = km_x\mathbf{e}_{\mathbf{x}},$$

где $k = 2K_a\mu_0^{-1}M_{\text{s}}^{-2}$, K_a — константа магнитной анизотропии. Поле размагничивания $\mathbf{h}_{\text{f}}$ определяется соотношением $\mathbf{h}_{\text{f}} = -\hat{\mathbf{q}}\mathbf{m}$, где тензор $\hat{\mathbf{q}}$ — форм-фактор размагничивания. В выбранной нами геометрии можно считать, что $\mathbf{h}_{\text{f}} = -m_z\mathbf{e}_{\mathbf{z}}$.

Если собрать воедино первое и последнее слагаемые в правой части уравнения (3), то получим уравнение (4)

$$\frac{\partial \mathbf{m}}{\partial \tilde{\tau}} = -\left[\mathbf{m}\times\left(\mathbf{h}_{\text{eff}} + g\mathbf{m}\times\mathbf{s} - g\mathbf{s}\right)\right] + \alpha\left[\mathbf{m}\times\frac{\partial \mathbf{m}}{\partial \tilde{\tau}}\right], \qquad (4)$$

$g = \dfrac{J\hbar}{ld|e|}G = jG$, j — безразмерная плотность тока. Это позволяет ввести новый вектор эффективного поля $\mathbf{f} = \mathbf{h}_{\text{eff}} + g\mathbf{m}\times\mathbf{s} - g\mathbf{s}$

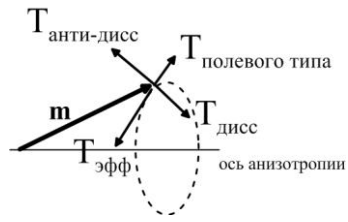


Рис. 2. Магнитные моменты, воздействующие на намагниченность в свободном слое вентиля.

Запишем вектор **f** в координатном виде с учетом того, что $[\mathbf{m}\times\mathbf{s}] = 0\cdot\mathbf{e}_{\text{x}} + m_z\mathbf{e}_{\text{y}} - m_y\mathbf{e}_{\text{z}}$. Таким образом,

$$\mathbf{f}=\begin{pmatrix} f_x \\ f_y \\ f_z \end{pmatrix}=\begin{pmatrix} h+km_x-\boxed{g} \\ -gm_z \\ -m_z+gm_y \end{pmatrix} \tag{5}$$

(в первой строке новый дополнительный член заключен в прямоугольник). После алгебраических преобразований, используя первый интеграл уравнения (1) $(\mathbf{m},\mathbf{m})=1$, получим уравнение, разрешенное относительно производных по времени

$$\frac{\partial \mathbf{m}}{\partial \tau}=-\left[\mathbf{m}\times\mathbf{f}\right]+\alpha\mathbf{f}-\alpha\mathbf{m}(\mathbf{m},\mathbf{f}), \tag{6}$$

где $\tau=\dfrac{\tilde{\tau}}{1+\alpha^2}=|\gamma|\dfrac{\mu_0 M_s}{1+\alpha^2}t$, $\mathbf{f}$ определяется соотношением (5). В координатной записи система (6) имеет вид

$$\begin{cases} \dfrac{dm_x}{d\tau}=(m_z f_y-m_y f_z)+\alpha f_x-\alpha m_x L, \\ \dfrac{dm_y}{d\tau}=(m_x f_z-m_z f_x)+\alpha f_y-\alpha m_y L, \\ \dfrac{dm_z}{d\tau}=(m_y f_x-m_x f_y)+\alpha f_z-\alpha m_z L. \end{cases}$$

где $L=(\mathbf{m},\mathbf{f})=km_x^2+m_x(h-g)-m_x^2$.

Ее развернутый координатный вид записан ниже:

$$\begin{aligned} \frac{dm_x}{d\tau}&=P(m_x,m_y,m_z)=-g(m_y^2+m_z^2)+m_y m_z+\alpha(h+km_x-g)-\alpha m_x L, \\ \frac{dm_y}{d\tau}&=Q(m_x,m_y,m_z)=gm_x m_y-m_x m_z-hm_z-km_x m_x-\alpha g m_z-\alpha m_y L, \\ \frac{dm_z}{d\tau}&=S(m_x,m_y,m_z)=m_y(h+km_x)+gm_x m_z+\alpha(gm_y-m_z)-\alpha m_z L, \end{aligned} \tag{7}$$

Система имеет первый интеграл и представляет собой систему с двумя степенями свободы.

Параметры структуры Co/Cu/Co, которые были использованы в численном расчете: $\alpha=0.02$, $P=0.35$, $\mu_0 M_s=1.76$ Тл, $K_a=0.53\cdot10^6$ Дж/м^3 [10], раздел 1. При этом нормировки основных переменных были следующими:

$$\begin{aligned} t&=\frac{1+\alpha^2}{\gamma\mu_0 M_s}\tilde{\tau}=0.2028\cdot10^{-11}\tau\ \ (\text{с}), \\ H&=M_s h=0.1406\cdot10^7\, h\ \ (\text{А/м}), \\ J&=\frac{d_1 e\mu_0 M_s^2}{\hbar}j=0.1873\cdot10^{14}\, j\ \ (\text{А/м}^2), \\ K_a&=\frac{\mu_0 M_s^2}{2}k=1.2325\cdot10^6\, k(\text{Дж/м}^3). \end{aligned}$$

III. Анализ динамической системы

Для проведения бифуркационного анализа этой системы нужно так же, как и ранее в [2,3], определить число равновесий в системе (ее особых точек) и их координаты. Их координаты определяются решением алгебраической системы

$$\begin{aligned} P(m_x,m_y,m_z)&=-g(m_y^2+m_z^2)+m_y m_z+\alpha(h+km_x-g)-\alpha m_x L=0, \\ Q(m_x,m_y,m_z)&=gm_x m_y-m_x m_z-hm_z-km_x m_x-\alpha g m_z-\alpha m_y L=0, \\ S(m_x,m_y,m_z)&=m_y(h+km_x)+gm_x m_z+\alpha(gm_y-m_z)-\alpha m_z L=0. \end{aligned} \tag{8}$$

Далее, линеаризовав систему (7) в окрестности каждой особой точки, необходимо найти спектр линейной системы и, при наличии особых точек типа фокус, найти те значения управляющих параметров (тока и поля), где действительная часть собственных значений линейных систем обращается в нуль. Тем самым, согласно теореме Андронова–Хопфа, можно определить линии рождения предельных циклов.

A. Основные особые точки

Так же, как и ранее в сокращенной системе уравнений в работах [2–4], легко убедиться, что система (7) имеет по крайней мере две особые точки $T_{1,2}(\pm1,0,0)$, симметрично расположенные на оси OX. Определим их тип. Общий вид системы (7), линеаризованной в окрестности особой точки $T_0(m_{x,0}, m_{y,0}, m_{z,0})$, можно записать как

$$\frac{d\mathbf{m}}{d\tau}\cong\mathbf{A}(\mathbf{m}-\mathbf{m}_0),$$

где $\mathbf{m}_0=\left(m_{x,0}, m_{y,0}, m_{z,0}\right)$ — радиус-вектор, проведенный из начала координат в точку T_0, $\mathbf{A}$ — числовая матрица

$$\mathbf{A}=\begin{pmatrix} \partial_{m_x}P & \partial_{m_x}P & \partial_{m_z}P \\ \partial_{m_x}Q & \partial_{m_y}Q & \partial_{m_z}Q \\ \partial_{m_x}S & \partial_{m_y}S & \partial_{m_z}S \end{pmatrix}\Bigg|_{T_0},$$

а символ ∂_m означает частную производную по переменной m.

Система (7), линеаризованная в окрестности точки $T_1(+1,0,0)$, имеет следующий спектр собственных значений:

$$\begin{aligned} \lambda_0&=2\alpha\left(-h-k+\frac{cj}{b+1}\right) \\ \lambda_{1,2}&=(\alpha+1)\frac{cj}{b+1}-\frac{1}{2}\alpha(2h+2k+1)\pm\frac{1}{2(b+1)}\sqrt{D_1}, \end{aligned} \tag{9}$$

где

$$\begin{aligned} D_1=&\left[(b+1)\sqrt{(1-\alpha^2)}-2cj(1-\alpha)-(b+1)(2h+2k+1)\right]\times \\ &\times\left[(b+1)\sqrt{(1-\alpha^2)}+2cj(1-\alpha)+(b+1)(2h+2k+1)\right]. \end{aligned}$$

При $D_1<0$ особая точка $T_1(+1,0,0)$ является фокусом, при $D_1\geq0$ может быть седлом или узлом.

Таким образом, из выражений (9) определяются три критические линии

$$L_1: 2cj(1-\alpha)+(b+1)(2h+2k+1+\sqrt{1-\alpha^2})=0,$$
$$L_2: 2cj(1-\alpha)+(b+1)(2h+2k+1-\sqrt{1-\alpha^2})=0,$$
$$L_3: 2cj(1+\alpha)-\alpha(b+1)(2h+2k+1)=0.$$

Параллельные линии L_1, L_2 делят плоскость на три части в зависимости от знака подкоренного выражения D_1: в полосе между этими линиями $D_1 \ge 0$, т.е. когда $\lambda_{1,2}$ действительны, особая точка $T_1(+1,0,0)$ представляет собой узел либо седло. Вне полосы $D_1 \le 0$, т.е. $T_1(+1,0,0)$ является фокусом. Устойчивость фокуса определяется знаком действительной части собственных чисел $\lambda_{1,2}$. Линия смены знака — линия L_3, она же, согласно теореме Андронова–Хопфа, является линией рождения/исчезновения предельного цикла вокруг особой точки $T_1(+1,0,0)$.

Для выяснения типа точки $T_1(+1,0,0)$ при действительных собственных значениях $\lambda_{1,2}$, рассмотрим знак их произведения. В случае $\lambda_1\lambda_2<0$ точка $T_1(+1,0,0)$ является седлом, в случае $\lambda_1\lambda_2>0$ узлом (устойчивым или неустойчивым в зависимости от знака каждого сомножителя):

$$\lambda_1\lambda_2 = $$
$$=(1+\alpha^2)\left[2g_1^2-2g_1h+h^2-(1+2k)g_1+(1+2k)h+k(k+1)\right],$$

где $g_1=cj/(b+1)$.

Произведение представляет собой уравнение кривой второго порядка, и в базисе собственных векторов матрицы квадратичной формы может быть записано в каноническом виде как

$$L_4:\ \frac{u_1^2}{p_1^2}+\frac{v_1^2}{q_1^2}=1, \qquad (10)$$

где

$$u_1=\left(\sqrt{5}+1\right)g_1-2h-2k-1, \qquad p_1^2=\frac{5-\sqrt{5}}{2},$$
$$v_1=\left(\sqrt{5}-1\right)g_1+2h+2k+1, \qquad q_1^2=\frac{5+\sqrt{5}}{2}.$$

Часть дуги в верхней полуплоскости управляющих параметров (h, j) отделяет область, в которой особая точка $T_1(+1,0,0)$ является седлом, от области, в которой она является узлом.

Приведем аналогичные уравнения критических линий для системы без полевого члена из работ [2–4]

$$L_1: 2\alpha cj+(b+1)(2h+2k+1+\sqrt{\alpha^2+1})=0,$$
$$L_2: 2\alpha cj+(b+1)(2h+2k+1-\sqrt{\alpha^2+1})=0,$$
$$L_3: 2cj-\alpha(b+1)(2h+2k+1)=0,$$
$$L_4: (b+1)^2\left(2h+2k+1\right)^2+4c^2j^2=1.$$

Сопоставляя соответствующие выражения, отмечаем, что при $j=0$ (на горизонтальной координатной оси) диаграммы для сокращенной модели [4] и исследуемой здесь модели совпадают. Выше горизонтальной оси имеет место заметный сдвиг линий $L_{1,2}$ относительно линий $L_{1,2}$ (Рис. 3a). Однако линии L_3 и L_3 отличаются друг от друга на величину, пропорциональную малому параметру α, практически сливаясь на диаграмме. Вместе с тем, эти линии являются основными характеристиками вентиля, которые отделяют режим с устойчивой параллельной конфигурацией намагниченности опорного и активного слоев структуры от неустойчивой конфигурации.

В окрестности точки $T_2(-1,0,0)$ линеаризованная система имеет следующие собственные значения:

$$\lambda_0=-2\alpha\frac{cj}{b-1}+h-k,$$
$$\lambda_{1,2}=-(\alpha+1)\frac{cj}{b-1}+\frac{1}{2}\alpha(2h-2k-1)\pm\frac{1}{2(b-1)}\sqrt{D_2}. \qquad (11)$$

где

$$D_2=\left[2cj(1-\alpha)-(b-1)(2h-2k-1)+(b-1)\sqrt{\alpha^2+1}\right]\times$$
$$\times\left[-2cj(1-\alpha)+(b-1)(2h-2k-1)+(b-1)\sqrt{\alpha^2+1}\right].$$

Отсюда получим еще три критические линии для выявления характерных динамических режимов намагниченности в активном слое трехслойного элемента (Рис. 3b)

$$L_5: 2cj(1-\alpha)-(b-1)(2h-2k-1)+(b-1)\sqrt{\alpha^2+1}=0,$$
$$L_6: 2cj(1-\alpha)-(b-1)(2h-2k-1)-(b-1)\sqrt{\alpha^2+1}=0,$$
$$L_7: -2cj(\alpha+1)+\alpha(2h-2k-1)(b-1)=0,$$

а также линию L_8, разделяющую области, в которых при $D_2\ge 0$ точка $T_2(-1,0,0)$ имеет тип седла и тип узла (находится из того же условия, что и выше линия L_4 для $T_1(+1,0,0)$). В этом случае произведение $\lambda_1\lambda_2$ равно

$$\lambda_1\lambda_2 = $$
$$=(1+\alpha^2)\left[2g_2^2-2g_2h+h^2+g_2(2k+1)-h(2k+1)+k(k+1)\right],$$

где $g_2=cj/(b-1)$.

Так же, как и выше, уравнение линии L_8 сводится к каноническому уравнению эллипса в базисе собственных векторов матрицы квадратичной формы

$$L_8:\ \frac{u_2^2}{p_2^2}+\frac{v_2^2}{q_2^2}=1,$$

где

$$u_2 = \left(\sqrt{5}+1\right) g_2 - 2h + 2k + 1, \qquad p_2^2 = \frac{3+\sqrt{5}}{2},$$

$$v_2 = \left(\sqrt{5}-1\right) g_2 + 2h - 2k - 1, \qquad q_2^2 = \frac{5+\sqrt{5}}{2}.$$

Уравнения соответствующих линий в модели, не учитывающей полевую компоненту вращательного момента, имеют вид [4]

$$L_5:\ 2\alpha cj + (b-1)\left(2h - 1 - 2k + \sqrt{\alpha^2+1}\right) = 0,$$

$$L_6: 2\alpha cj + (b-1)\left(2h - 1 - 2k - \sqrt{\alpha^2+1}\right) = 0,$$

$$L_7: 2cj - \alpha(b-1)(2h - 2k - 1)) = 0,$$

$$L_8: 4(b-1)^2\left(h - \frac{1}{2} - k\right)^2 + 4c^2 j^2 = 1.$$

На рис. 3б графически показано отклонение критических линий основных состояний равновесия сокращенной и обобщенной моделей вентиля. Аналогично предыдущему случаю, линии L_7 и L_7 отличаются на малую величину порядка α.

B. Дополнительные особые точки

Для нахождения координат дополнительных особых точек, как и ранее в работах [2–4], выразим компоненту m_y из третьего уравнения алгебраической системы (8) и подставим ее в первые два уравнения. Далее, последовательно исключая из первых двух уравнений компоненту m_z, приходим к следующему уравнению для компоненты m_x:

$$\sum_{i=0}^{4} A_i(k,h,j,\alpha,b,c) m_x^i = 0, \qquad (12)$$

где

$$A_0 = h^2b^2 - 2bhcj + c^2j^2 = A_0 - 2bhcj + c^2j^2,$$

$$A_1 = 2hk + 2k^2b + h + 2bk - cj(b + 2bk + 2h) = A_1 - cj(b + 2bk + 2h),$$

$$A_2 = b^2k^2 + b^2k + 4hbk + j^2c^2 + 2hb + h^2 - cj(k+1) = A_2 - cj(k+1),$$

$$A_3 = 2b^2hk + b^2h + 2bh^2 = A_3,$$

$$A_4 = k(k+1) = A_4$$

(A_i — соответствующие коэффициенты многочлена в уравнении без учета полевой компоненты вращательного момента). Зная компоненту m_x, из уравнений (8) легко вывести выражение для определения m_z:

$$m_z^2 = m_x(1-m_x^2)\frac{cj}{b+m_x} \times$$

$$\times \frac{-akm_x^2 - a(h+bk)m_x + cj(1+a) - abh}{(acj+1+k)m_x^2 + (bk+b+h)m_x + bh - cj}.$$

Теперь компоненту m_y можно определить из условия $m_x^2 + m_y^2 + m_z^2 = 1$.

Распределение корней многочлена (12) показано на Рис. 3c. На координатной плоскости «поле–ток» в безразмерных единицах представлены критические линии бифуркаций рождения/уничтожения особых точек для сокращенной динамической системы (пунктирные линии) и для системы с учетом полевой компоненты вращательного момента (сплошные линии).

В областях XI и XII дополнительных особых точек две. Это фокусы, расположенные симметрично относительно оси анизотропии. В области X четыре попарно аксиально симметричных точки, два фокуса и два седла. Вне криволинейной фигуры, объединяющей области X, XI, XII, дополнительных особых точек нет.

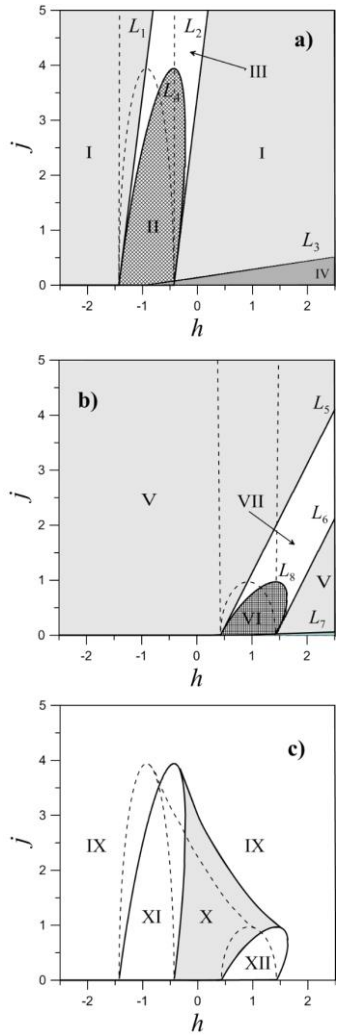


Рис. 3. Диаграммы типов состояний равновесия намагниченности в активном слое спин-вентильной структуры и их устойчивости в зависимости от величины управляющих поля и тока

IV. Заключение

Проведенное аналитическое исследование показало, что учет полевой компоненты торка в математической модели спинового вентиля не влияет на качественный результат оценки устойчивости и типа состояний равновесия намагниченности активного слоя вентиля.

Критическая линия потери устойчивости основных состояний равновесия $T_1(+1,0,0)$ и $T_2(-1,0,0)$ с точностью до величины малого параметра α совпадает с аналогичной критической линией для сокращенной модели.

Отдельного рассмотрения требует исследование предельных циклов в обобщенной модели, которые играют важную роль для разработки и проектирования спин-трансферных нано-осцилляторов.

ЛИТЕРАТУРА

[1] Slonczewski J. Current-driven excitation of magnetic multilayers // J.Magn.Magn.Matter — 1996 — Vol.159, P. L1–L7.

[2] N. Ostrovskaya, V. Skidanov, I.Iusipova “Bifurcations in the dynamical system for three-layered magnetic valve”, Solid State Phenomena, Vols. 233–234 (2015), pp. 431–434 doi:10.4028/www.scientific.net/SSP.233–234.431

[3] Островская Н.В., Скиданов В.А., Юсипова Ю.А., Классификация динамических режимов переключения намагниченности в трехслойной ферромагнитной структуре в зависимости от спин-поляризованного тока инжекции и внешнего магнитного поля–I. Продольная анизотропия, Компьютерные исследования и моделирование, 2016, Т.8, №4, С. 605–620. http://crm.ics.org.ru/uploads/crmissues/crm_2016_4/16.08.02.pdf

[4] N. V. Ostrovskaya, Iu. A. Iusipova, Qualitative Theory of Dynamical Systems for Control of Magnetic Memory Elements, Physics of Metals and Metallography, 2019, Vol. 120, No. 13, pp. 1291–1298. (Q3) https://doi.org/10.1134/S0031918X19130209

[5] Андронов А. А., Леонтович Е.А., Гордон И.И., Майер А.Г. Качественная теория систем второго порядка. —М.: Наука, 1966 — 568 с.

[6] А.К. Звездин, К.А. Звездин, А.В. Хвальковский, °Обобщенное уравнение Ландау–Лифшица и процессы переноса спинового момента в магнитных наноструктурах // УФН, 2008, Т. 178, №4, с. 438442 DOI: 10.3367/UFNr.0178.200804i.0436

[7] Zimmler M.A. *et al.,* Current-induced effective magnetic fields in Co/Cu/Co nanopillars, PhysRev B **70**, 184438 (2004)

[8] Evgeny Y. Tsymbal, I. Zutic, *Handbook of Spin Transport*, CRC Press, London–Ney York, 2012, 777 p.

[9] Kronmuller H., Parkin S., *Handbook of Magnetism and Advanced Magnetic Materials*, Wiley, 2007, 3064 p.

Field-like Torque-Component Influence on the Magnetization Dynamics in the Three-Layered Nanostructure

N.V. Ostrovskaya, V.A. Skidanov

Institute for Design Problems in Microelectronics of the Russian Academy of Sciences, ost@ippm.ru

***Abstract* — The normal form of the dynamical system describing the motion of the magnetization in the active layer of the three-layered STT-MRAM element was derived with the field-like component of the torque taken into account. The qualitative analysis of the dynamical system was performed. On the “field–current” plane the regions where the behavior of the trajectories is topologically equivalent have been determined. The critical lines separated the regions have been found analytically. The results have been compared with those obtained for the case without the field-like component of the torque in the equation of the motion.**

***Keywords* — magnetic random access memory, MRAM, magnetization reversal, generalized Landau-Lifshits-Gilbert equation, dynamical system, bifurcation, Andronov-Hopf theorem**

REFERENCES

[1] Slonczewski J. Current-driven excitation of magnetic multilayers // J.Magn.Magn.Matter — 1996 — Vol.159, P. L1–L7.

[2] N. Ostrovskaya, V. Skidanov, I.Iusipova “Bifurcations in the dynamical system for three-layered magnetic valve”, Solid State Phenomena, Vols. 233–234 (2015), pp. 431–434 doi:10.4028/www.scientific.net/SSP.233–234.431.

[3] N. Ostrovskaya, V. Skidanov, I.Iusipova. Classification of dynamical switching regimes in a three-layered ferromagnetic nanopillar governed by spin-polarized injection current and external magnetic field I — Longitudinal anisotropy \\ COMPUTER RESEARCH AND MODELING 2016 VOL. 8 NO. 4 P. 605−620. http://crm.ics.org.ru/uploads/crmissues/crm_2016_4/16.08.02.pdf.

[4] N. V. Ostrovskaya, Iu. A. Iusipova, Qualitative Theory of Dynamical Systems for Control of Magnetic Memory Elements, Physics of Metals and Metallography, 2019, Vol. 120, No. 13, pp. 1291–1298. (Q3) https://doi.org/10.1134/S0031918X19130209.

[5] Andronov A.A., Leontovich E.A., Gordon I.I., Mayer A.G., Qualitative theory of the second-order systems // Moscow, 1966, 568 p.

[6] A K Zvezdin, K A Zvezdin and A V Khvalkovskiy, The generalized Landau–Lifshitz equation and spin transfer processes in magnetic nanostructures // Physics-Uspekhi, Volume 51, Number 4.

[7] Zimmler M.A. *et al.,* Current-induced effective magnetic fields in Co/Cu/Co nanopillars, PhysRev B **70**, 184438 (2004).

[8] Evgeny Y. Tsymbal, I. Zutic, Handbook of Spin Transport, CRC Press, London–Ney York, 2012, 777 p.

[9] Kronmuller H., Parkin S., Handbook of Magnetism and Advanced Magnetic Materials, Wiley, 2007, 3064 p.

УДК 621.384.5, 537.533 DOI: 10.31114/2078-7707-2020-3-133-138

Структура и электрофизические свойства пористых диэлектриков, модифицированных углеродом

Ю.В. Сахаров

Томский государственный университет систем управления и радиоэлектроники

iurii.v.sakharov@tusur.ru

***Аннотация* — Предложен физический метод получения пористых пленок диоксида кремния (SiO_2) и пентаоксида тантала (Ta_2O_5) в вакуумных условиях. Исследованы структура и свойства пористых пленок, полученных в результате самоорганизации при магнетронном распылении составной мишени. Установлены корреляции количества и размера пор, структуры и свойств пористых пленок. Показано, что процесс самоорганизации, приводящий к формированию пространственно распределенных пор, изменяет электрофизические свойства диэлектрических пленок и расширяет их функциональное назначение. Выявлено наличие общих тенденций в изменениях электрофизических свойств и структуры поверхности пленок SiO_2 и Ta_2O_5 при введении в них углерода, что позволяет предполагать возможность аналогичных изменений и в других оксидных диэлектриках, формируемых в плазме тлеющего разряда. Установлено, что наличие развитой пористой структуры способствует повышению селективной адсорбционной способности исследуемых диэлектриков.**

***Ключевые слова* — самоорганизация, мезапористые тонкие пленки, диоксид кремния, пентаоксид тантала, электрофизические свойства, магнетронное распыление, углерод.**

I. Введение

В последние годы изучению пористых пленок диэлектриков был придан новый импульс в связи с существенным расширением сферы их практического применения. Такие пленки могут применяться как в микроэлектронике, в качестве изоляционных материалов с низкой диэлектрической проницаемостью, фотонике, в качестве просветляющих покрытий в оптоэлектронных приборах, так и в качестве исходных материалов для получения наномембран и селективных газочувствительных сенсорных устройств [1 – 4]. В связи с этим разработано достаточно много методов получения пористой структуры диэлектрика, такие как анодирование, золь-гель метод, матричный (темплатный) синтез [5, 6]. Все перечисленные методы являются химическими, что затрудняет их встраивание в традиционные маршруты изготовления изделий микро- и наноэлектроники.

Цель данной работы заключалась в разработке совместимых с технологическим процессом производства интегральных схем методов формирования пористых пленок кремния (SiO_2) и пентаоксида тантала (Ta_2O_5), а также установление взаимосвязи технологических режимов формирования пленок с их структурными и электрофизическими свойствами..

II. Методика эксперимента и измерений

В основе предлагаемого метода заложен принцип самоорганизации, протекающий в плазме тлеющего разряда, создаваемого магнетронным источником распыления, катодом которого выступали составные мишени Si:C (графит) или Ta:C (графит) (рис. 1). При этом площадь графита на составной мишени, выраженная в процентах (S_c), варьировалась, что отражалось на изменении количества и размеров пор. Распыление проводилось в атмосфере кислорода при парциальном давлении $1 \cdot 10^{-2}$ мм рт. ст. и токе разряда 200 мА, что соответствует плотности разрядного тока 5 мА/см^2 и мощности разряда 80 Вт. При таких условиях получаются диэлектрические пленки диоксида кремния (SiO_2) и пентаоксида тантала (Ta_2O_5), а введение углерода должно способствовать формированию развитой пористой структуры

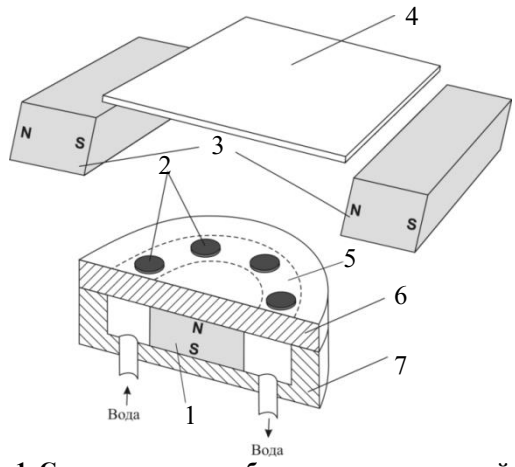


Рис. 1. Схематическое изображение магнетронной распылительной системы:
1 – постоянный магнит; 2 – углеродные диски; 3 – магнитная отклоняющая система
для отвода плазмы от подложки; 4 – подложка; 5 – зона распыления; 6 – составная мишень; 7 – магнитопровод

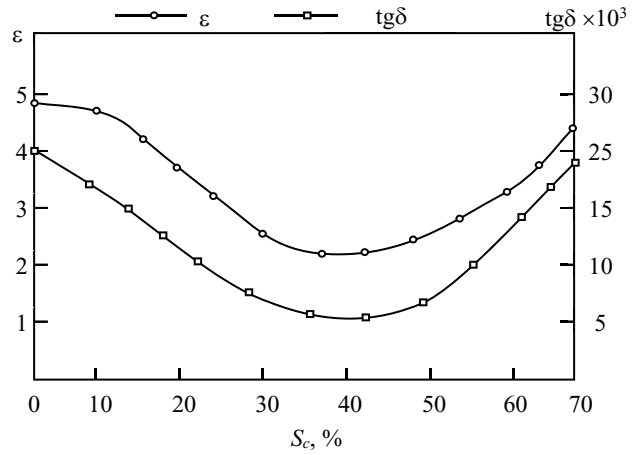
Ранее данный метод был запатентован и применялся для получения пленок SiO_2 с низкой диэлектрической проницаемостью, однако предполагается, что он может быть распространен и на другие оксидные пленки, в частности Ta_2O_5, применяемые в микро- и наноэлектронике [7, 8]. Формирование пор при таком процессе объясняется образованием газообразных соединений CO или CO_2, которые покидая пленку разрыхляют ее, образуя в ней сквозные поры и газовые включения [7]. При этом уровень разрыхления определяется интенсивностью протекания химической реакции, а следовательно, степенью модификации диэлектрика углеродом – *Sc*.

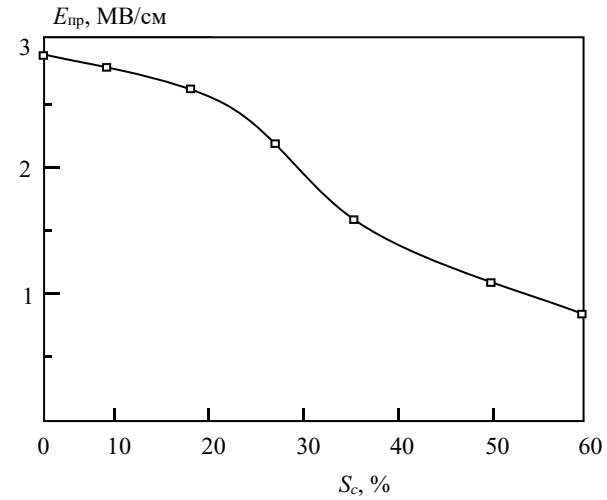
Толщина диэлектрических пленок при проведении электрофизических исследований составляла около 100 нм. В качестве электродов при проведении электрических измерений использовались пленки Al толщиной около 100 нм, нанесенные термическим испарением в вакууме. Толщина диэлектрических пленок в процессе нанесения контролировалась по времени, а после нанесения определялась методом эллипсометрии. Температура подложки в процессе нанесения была близка к комнатной. Для исключения влияния высокотемпературной плазмы была разработана магнитная отклоняющая система (3), позволяющая отвести плазму от подложки. Это позволило не только снизить температурное воздействие на подложку, но и значительно уменьшить радиационное воздействие, что особенно актуально при нанесении диэлектрика на подложки, содержащие полупроводниковые электрические схемы или гетероструктуры с квантовыми ямами. Конденсаторные структуры Al-SiO_2-Al и Al-Ta_2O_5-Al формировались в виде матриц с активной площадью 1x1 мм на ситалловых подложках марки СТ-50-1 размером 60×48×0,6 мм.

Определение количества и размеров пор осуществлялось с помощью электрохимического высаживания меди. Ширина оптической щели Тауца (E_T) определялась экстраполяцией зависимости $(\alpha E)^{1/2}$ от энергии фотона *E* в диапазоне длин волн 200-1100 нм [9]. Спектральная зависимость коэффициента поглощения пленок (α) определялась по спектрам пропускания и отражения с помощью спектрометра USB2000. Определение толщины и коэффициента преломления диэлектрических пленок осуществлялось с помощью спектрального эллипсометрического комплекса. Для исследования поверхности пленок использовался сканирующий электронный микроскоп, а также атомно-силовой микроскоп Certus Optic U с совмещенным оптическим микроскопом. Микроанализ осуществлялся с помощью микроанализатора Bruker Quantax 50 EDX в составе электронного микроскопа Hitachi TM-1000. Спектральный анализ исследуемых пленок был проведен с использованием ИК-спектрометра в диапазоне частот 500 – 5000 $см^{-1}$.

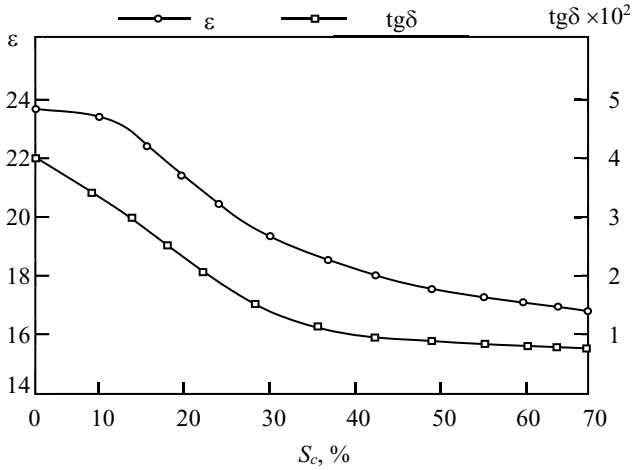
III. Результаты экспериментов и их анализ

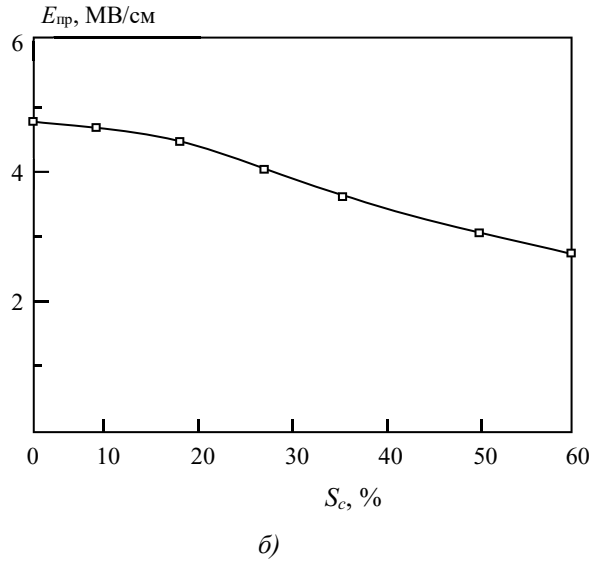
Электрические свойства. Исследование электрической емкости и соответствующей ей диэлектрической проницаемости на низких частотах (1 кГц) структур Al-SiO_2-Al и Al-Ta_2O_5-Al показало общую тенденцию по изменению диэлектрической проницаемости и тангенса угла диэлектрических потерь с увеличением процентного содержания графита на составной мишени при $Sc < 40\%$, однако при больших значениях *Sc* качественный вид зависимостей различался. При этом зависимость электрической прочности от *Sc* была схожей, и монотонно убывала для обоих структур (рис. 2).





а)





б)

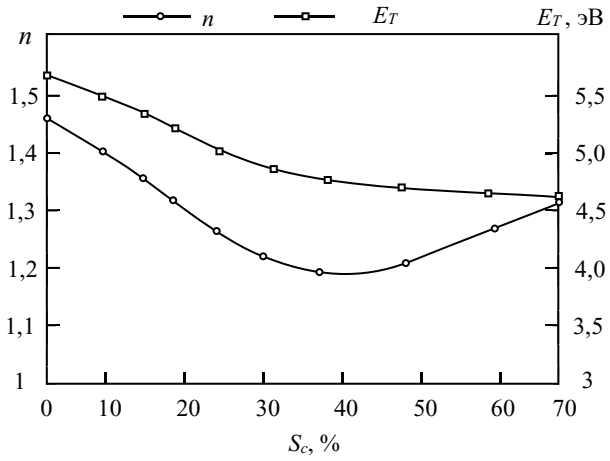
Рис. 2. Зависимость диэлектрической проницаемости ε, тангенса угла потерь tgδ и электрической прочности Eпр от Sc для структуры Al-SiO_2-Al (а) и Al-Ta_2O_5-Al (б)

Очевидно, что уменьшение диэлектрической проницаемости для пленок SiO_2 может быть связано только с образованием газовых включений, поскольку все другие возможные явления (образование химических связей кремния с углеродом, образование углеродных включений) привели бы к противоположному результату. Снижение тангенса угла диэлектрических потерь связано с уменьшением электропроводности пленок. Снижение электропроводности пористых пленок уже отмечалось в литературе при исследовании пористого кремния. В работе [10] приводится доказательство гипотезы, объясняющей низкую проводимость пористого кремния образованием обедненных областей вокруг пор. При этом в качестве причин образования обедненных областей предполагается захват носителей заряда ловушками на поверхности пор. Перенос носителей заряда в этом случае будет в значительной степени зависеть от величины пористости, диаметра пор, размеров обедненных областей, от эффективности процессов захвата носителей на ловушки.

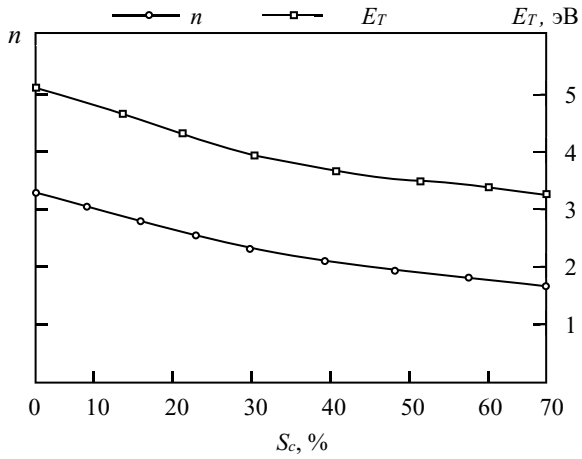
Рост этих величин при *Sc* > 40% связан с недостатком в пленке кислорода и образованием пленок SiOx , в которых x начинает стремиться к единице. При этом могут образовываться локальные области, содержащие недоокисленный кремний, что повышает тангенс угла диэлектрических потерь. Это подтверждается данными микроанализа, данными Оже-спектроскопии, а также данными ИК-спектрометрии. Уменьшение электрической прочности вполне характерно для пористых пленок, имеющих неоднородную структуру, и вероятнее всего связано с проникновением материала верхнего электрода в диэлектрическую пленку, что подтверждается микроскопическими исследованиями на рис. 5 г, а также исследованиями других авторов [11].

Проводя прямую аналогию, предполагается, что аналогичные изменения происходят и в пленках Ta_2O_5, однако вид зависимостей в них несколько иной, что может быть связано с химическими свойствами самого Ta.

Оптические свойства. Исследование физических свойств диэлектрических пленок SiO_2 и Ta_2O_5 показали изменение показателя преломления n и ширины оптической щели E_T (рис. 3).



а)



б)

Рис. 3. Зависимость показателя преломления n (на длине волны λ=632 нм) и ширины оптической щели E_T от Sc для структуры Al-SiO_2-Al (а) и Al-Ta_2O_5-Al (б)

Поведение показателя преломления коррелирует с изменением диэлектрической проницаемости, что хорошо согласуется с теорией. Уменьшение ширины оптической щели может быть связано как с изменением электронной структуры самих диэлектрических пленок, так и с наличием газа в порах.

Исследование пористости диэлектрических пленок было проведено методом адсорбционно-емкостной порометрии, основанным на анализе электрической емкости в условиях капиллярной конденсации паров

воды [12]. Полученная зависимость показывает резкое увеличение пористости при Sc > 18 %, что хорошо соотносится с изменением электрических свойств. Достигнув максимального значения при Sc ≈ 50 %, пористость начинает незначительно убывать, что связано с наличием в пленке несвязанного кремния, увеличивающего диэлектрическую проницаемость за счет обеднения пленки кислородом, о чем свидетельствуют данные анализа элементного состава (рис.4). Возможно также незначительное снижение естественной пористости за счет захлопывания пор или увеличения диэлектрического остова. При этом качественный вид зависимости для пленок SiO_2 и Ta_2O_5 одинаков.

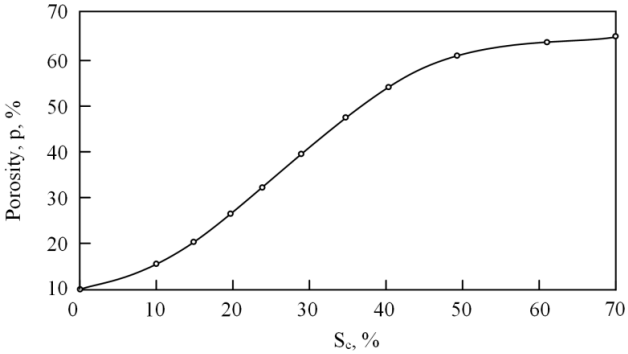


Рис. 4. Соотношение между пористостью диэлектрической пленки SiO_2 и Sc

Морфология поверхности также претерпевает изменения (рис. 5). Комплексный анализ полученных микрофотографий позволяет представить структуру пленки SiO_2 в виде плотной упаковки стержней с различными координационными числами. В пленке можно выделить пористый и барьерный (остов) слои. При этом на рис. 5 б, г видно, что пористый слой занимает большую часть объема. Барьерный слой (остов) – достаточно тонкая и плотная пленка, расположенная у основания пор. Она не является пористой, а лишь имеет небольшие неровности на поверхности, из которых впоследствии начинает вырастать пористая пленка диоксида кремния. Производный параметр $d_п$ – размер пор – выражается диаметром вписанной между стержнями окружности. Оценка диаметра пор показала, что увеличение относительной площади, занимаемой графитом на составной двухкомпонентной мишени с 18 до 72 %, приводит к уменьшению эффективного радиуса пор в диапазоне 40–10 нм и увеличению пористости в диапазоне 10–75 %. По классификации Дубинина М.М. данный вид пор может быть отнесен к мезопорам, или переходным [10]. Увеличение толщины пленок свыше 400 нм приводит к снижению пористости за счет осаждения большей части материала на краях пор, что вызывает их постепенное зарастание.

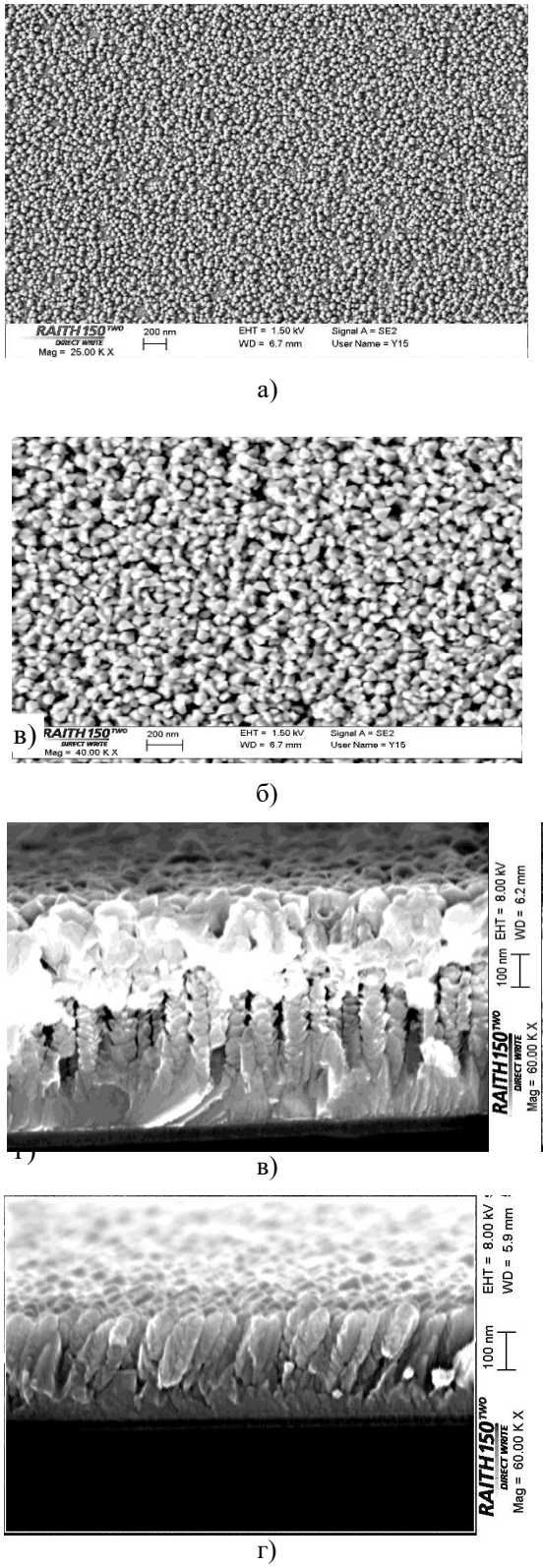


Рис. 5. Поверхность пористого диэлектрика SiO_2 (Sc = 60%), полученная с помощью зондового микроскопа: а – поверхность, б – скол подложки, в – поверхность (с верхним алюминиевым электродом толщиной 200 nm), г – скол подложки (с верхним Al электродом толщиной 200 nm)

Спектральный анализ. Анализ состава исследуемых пленок SiO_2, выполненный с помощью микроанализатора, показал некоторое увеличение количества кислорода с ростом Sc, аналогичный рост наблюдался и в пленках Ta_2O_5. При этом ИК спектры исследуемых пленок показывают резкое увеличение поглощения на длине волны ν=2350 $см^{-1}$ соответствующее колебаниям связей C–O. Также есть изменения в области: ν_1 =3000 $см^{-1}$, ν_2 =3400 $см^{-1}$, ν_3 =3600 $см^{-1}$, а также небольшие изменения пика ν_4 =935-940 $см^{-1}$. Пики ν_1, ν_2, ν_3 обычно относят к OH-группам и молекулам H_2O, пик ν_4 принадлежит Si-O-Si связи (валентные колебания) [13].

Предположительно это может быть связано с наличием воды в порах за счет капиллярного эффекта, а также продуктов реакции – газов CO или CO_2. Это также может быть связано с адсорбцией газов CO или CO_2 из атмосферы [14]. Амплитуда данного пика возрастает с ростом *Sc*, что может быть связано с появлением кислородных вакансий в кремнии и появлению отрицательного заряда. Появившийся при этом эффективный отрицательный заряд на атоме кремния дополнительно увеличивает адсорбционную способность. Таким образом, происходит стимулированная адсорбция. Предварительные эксперименты уже показали наличие селективности адсорбции углеводородов, газа CO, а также органических соединений с различными функциональными группами [15].

IV. Заключение

1. Эксперименты показали, что введение углерода в процессе формирования пленок SiO_2 и Ta_2O_5 приводит к формированию самоорганизующейся пористой структуры. При этом размер и плотность пор определяются количеством вводимого углерода.

2. Электрические и оптические параметры пленок SiO_2 и Ta_2O_5 во многом определяются пористостью и имеют схожие тенденции в некоторых интервалах, однако общий вид зависимости определяется химическими свойствами самого распыляемого материала.

3. Наличие общих тенденций в изменениях электрофизических свойств и структуры поверхности пленок SiO_2 и Ta_2O_5 при введении в них углерода позволяет полагать, что аналогичные изменения будут проявляться и в других оксидных диэлектриках, формируемых в плазме тлеющего разряда, однако качественный вид зависимости будет различным.

4. Формирование пористой структуры способствует повышению селективной адсорбционной способности исследуемых диэлектриков, преимущественно за счет капиллярной конденсации в мезапорах, а также стимулированной адсорбции, что может служить основой для создания газочувствительных сенсорных устройств.

Поддержка

Работа выполнена коллективом научной лаборатории интегральной оптики и радиофотоники при финансовой поддержке Министерства науки и высшего образования РФ в рамках соглашения №075-03-2020-237/1 от 05 марта 2020г. (внутренний номер проекта FEWM-2020-0040). Экспериментальные результаты получены с использованием оборудования ЦКП «Импульс» (регистрационный номер 200568).

Литература

[1] Gidley DW, Peng H, Vallery R, Soles CL, Lee H, Vogt BD, et al. Porosity of Low Dielectric Constant Materials. Dielectric Films for Advanced Microelectronics. John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester; 2007

[2] Sadykov AI, Kushnir SE, Roslyakov IV, Baranchikov AE, Napolskii KS. Selenic acid anodizing of aluminium for preparation of 1D photonic crystals. Electrochem. Commun. 2019; 100: 104-107.

[3] Sakharov Y, Troyan P, Zhidik Y. Energy efficient sensors based on carbon-modified silica films. International Siberian Conference on Control and Communications, SIBCON; 2019 April 18-20; Tomsk.

[4] Zhang H, Wang Y, Zhu X, Li Y, Cai W. Bilayer Au nanoparticle-decorated WO3 porous thin films: On-chip fabrication and enhanced NO2 gas sensing performances with high selectivity. Sens. Actuators, B. 2019;280: 192-200.

[5] Zhang C, Shi Y, Fu Z. A facile method for the fabrication of SiO2 and SiO2/TiO2 hollow particles using Na2SO4 particles as templates. J. Sol-Gel Sci. Technol. 2019;91(3): 431-440.

[6] Ma S, Wang Y, Liu C, Xu Q, Min Z. Preparation and characterization of nanoporous polyimide membrane by the template method as low-k dielectric material. Polym. Adv. Technol. 2016;27(3): 414-418.

[7] Sakharov YuV, Troyan PE. Technology of porous silicon dioxide films synthesis and their electrical properties. 24th International Crimean Conference Microwave and Telecommunication Technology, CriMiCo; 2014 September 7-13; Sevastopol, Crimea: 682-683.

[8] Способ получения пористого диоксида кремния: патент на изобретение № 2439743 Рос. Федерация: МПК: H01L 21/316, B82B 3/00 / С.П. Усов, Ю.В. Сахаров, П.Е. Троян; заявитель и патентообладатель Томский государственный университет систем управления и радиоэлектроники. – № 2010118778/28; заявл. 11.05.2010; опубл. 10.01.2012, Бюл. № 1.

[9] Tumuluri A, Lakshun NK, Raju JK. Band gap determination using Tauc's plot for LiNbO3 thin films. Int. J. of ChemTech Res. 2014;6: 3353-3356.

[10] Дубинин М.М. Микропористость и адсорбционные свойства углеродных адсорбентов / М.М. Дубинин // Изв. АН СССР. Сер. хим. – 1983. –№ 3. – С. 487–493.

[11] Vanstreels K, Ciofi I, Barbarin Y, Baklanov M. Influence of porosity on dielectric breakdown of ultralow-k dielectrics. J. Vac. Sci. Technol., B. 2013; 31(5): 050604.

[12] Adamyan A, Adamian Z, Aroutiounian V. Capacitance method for determination of basic parameters of porous silicon. Phys. Status Solidi C. 2007; 4(6): 1976-1980.

[13] Grill A, Neumayer DA. Structure of low dielectric constant to extreme low dielectric constant SiCOH films: Fourier transform infrared spectroscopy characterization. J. of App. Phys. 2003;94(10): 6697-6707.

[14] Cui S , Yu S, Lin B, Shen X, Zhang X, Gu D Preparation of amine-modified SiO2 aerogel from rice husk ash for CO2 adsorption. J. Porous Mater. 2017;24(2): 455-461.
[15] Чувствительный элемент датчика углеводородов: патент на полезную модель №101197 Рос. Федерация: МПК: G01N 27/12 / С.П. Усов, Ю.В. Сахаров, П.Е. Троян; заявитель и патентообладатель Томский государственный университет систем управления и радиоэлектроники. – № 2010116215/28; заявл. 23.04.2010; опубл.10.01.2011, Бюл. № 1.

Structure and Electrophysical Properties of Porous Carbon-Modified Dielectrics

Yu.V. Sakharov

Tomsk State University of Control Systems and Radioelectronics

iurii.v.sakharov@tusur.ru

***Abstract* — A physical method of receiving porous oxide films in vacuum conditions is brought forward in this work. The structure and properties of porous films received as a result of self-organization at magnetron spattering of a compound target are investigated in it. Correlations of the quantity and size of pores, the structure and properties of porous films are determined, as well. The self-organization process proves to form spatially spattered pores, to change electrophysical properties of dielectric films and expand their functions. The presence of general trends in changes in the electrophysical properties and structure surface of thin films SiO_2 and Ta_2O_5 upon the introduction of carbon was revealed. This suggests the possibility of similar changes in other oxide dielectrics formed in glow discharge plasma. It is established that the presence of a developed porous structure enhances the selective adsorption ability of the studied dielectrics.**

***Keywords*— self-organization, mesoporous thin films, silicon dioxide, tantalum pentoxide, electrophysical properties, magnetron sputtering, carbon.**

REFERENCES

[1] Gidley DW, Peng H, Vallery R, Soles CL, Lee H, Vogt BD, et al. Porosity of Low Dielectric Constant Materials. Dielectric Films for Advanced Microelectronics. John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester; 2007.
[2] Sadykov AI, Kushnir SE, Roslyakov IV, Baranchikov AE, Napolskii KS. Selenic acid anodizing of aluminium for preparation of 1D photonic crystals. Electrochem. Commun. 2019; 100: 104-107.
[3] Sakharov Y, Troyan P, Zhidik Y. Energy efficient sensors based on carbon-modified silica films. International Siberian Conference on Control and Communications, SIBCON; 2019 April 18-20; Tomsk.
[4] Zhang H, Wang Y, Zhu X, Li Y, Cai W. Bilayer Au nanoparticle-decorated WO_3 porous thin films: On-chip fabrication and enhanced NO_2 gas sensing performances with high selectivity. Sens. Actuators, B. 2019;280: 192-200.
[5] Zhang C, Shi Y, Fu Z. A facile method for the fabrication of SiO2 and SiO_2/TiO_2 hollow particles using Na_2SO_4 particles as templates. J. Sol-Gel Sci. Technol. 2019;91(3): 431-440.
[6] Ma S, Wang Y, Liu C, Xu Q, Min Z. Preparation and characterization of nanoporous polyimide membrane by the template method as low-k dielectric material. Polym. Adv. Technol. 2016;27(3): 414-418.
[7] Sakharov YuV, Troyan PE. Technology of porous silicon dioxide films synthesis and their electrical properties. 24th International Crimean Conference Microwave and Telecommunication Technology, CriMiCo; 2014 September 7-13; Sevastopol, Crimea: 682-683.
[8] Sakharov YV, Usov SP, Troyan PE. The method of obtaining porous silicon dioxide. RU2439743 (Patent) 2012.
[9] Tumuluri A, Lakshun NK, Raju JK. Band gap determination using Tauc's plot for LiNbO3 thin films. Int. J. of ChemTech Res. 2014;6: 3353-3356.
[10] Dubinin M.M. Mikroporistost' i adsorbcionnye svojstva uglerodnyh adsorbentov / M.M. Dubinin // Izv. AN USSR. Ser. him. – 1983. –№ 3. – pp. 487–493.
[11] Vanstreels K, Ciofi I, Barbarin Y, Baklanov M. Influence of porosity on dielectric breakdown of ultralow-k dielectrics. J. Vac. Sci. Technol., B. 2013; 31(5): 050604.
[12] Adamyan A, Adamian Z, Aroutiounian V. Capacitance method for determination of basic parameters of porous silicon. Phys. Status Solidi C. 2007; 4(6): 1976-1980.
[13] Grill A, Neumayer DA. Structure of low dielectric constant to extreme low dielectric constant SiCOH films: Fourier transform infrared spectroscopy characterization. J. of App. Phys. 2003;94(10): 6697-6707.
[14] Cui S , Yu S, Lin B, Shen X, Zhang X, Gu D Preparation of amine-modified SiO2 aerogel from rice husk ash for CO2 adsorption. J. Porous Mater. 2017;24(2): 455-461.
[15] Usov, S.P., Sakharov, Y.V., Troyan, P.E. The Sensitive Element of the Sensor Hydrocarbons. RU101197 (Patent) 2011.

УДК 621.38.049.77.002.3 DOI: 10.31114/2078-7707-2020-3-139-146

Новые спиропираны для создания элементов молекулярной электроники и фотоники

А.Д. Пугачев[1], И.В. Ожогин[1], М.Б. Лукьянова[1], Б.С. Лукьянов[1], А.С. Козленко[1], И.А. Ростовцева[1], Н.И. Макарова[1], А.В. Метелица[1], В.В. Ткачев[2]

[1]НИИ Физической и органической химии ЮФУ, г. Ростов-на-Дону, artem_d_pugachev@mail.ru; lab811@ipoc.sfedu.ru

[2]Институт проблем химической физики Российской Академии наук, г. Черноголовка Московской обл.

***Аннотация*—В работе описывается получение новых фотохромных соединений – перспективных молекулярных переключателей для создания элементов молекулярной электроники и фотоники, а также устройств памяти. Путем изучения структурных особенностей и спектрально-кинетических характеристик подтверждается их эффективность в качестве материала для этой сферы применения.**

***Ключевые слова*— молекулярная электроника, молекулярные переключатели, спиропираны.**

I. Введение

Органические фотохромные молекулы входят в состав огромного числа гибридных структур, материалов и устройств, работающих на наноразмерных масштабах под дистанционным контролем с помощью светового излучения [1–4]. Среди широкого спектра органических фотохромных соединений спиропираны представляют собой один из наиболее интересных и интенсивно изучаемых классов из-за их высокой светочувствительности, структурной изменчивости и относительно легкой возможности модификации структуры [5–8].Фотохромные свойства спиропиранов обусловлены фотолитическим расщеплением связи $C_{спиро}$–O под воздействием ультрафиолетового излучения, что приводит к образованию ярко окрашенной формы мероцианина (МЦ). Помимо различий в спектрах поглощения, спироциклические (СП) и мероцианиновые формы спиропиранов отличаются друг от друга многими физико-химическими характеристиками, такими как дипольный момент, сродство к ионам металлов, флуоресценция и т. д., что делает эти соединения эффективными молекулярными переключателями. Такие переключатели находят применение в различных областях науки и техники [9–12], однако особый интерес они представляют при создании элементов для молекулярной электроники и фотоники [7,8,13–20].

В настоящее время вопрос создания альтернативного компьютера становится все более актуальным. Это связано с тем, что современная вычислительная техника базируется на кремниевых транзисторах. Для создания более мощных вычислительных систем требуется разместить как можно больше транзисторов и других элементов на наименьшей площади.

Ввиду того, что уменьшение размеров кремниевых транзисторов уже почти невозможно из-за недопустимого соотношения сигнал/шум при размерах меньше 10 нм, можно предположить, что кремниевая вычислительная техника близка к максимуму своих возможностей. Для продолжения совершенствования вычислительной техники и увеличения ее мощности активно рассматривается возможность создания альтернативных компьютеров, например, молекулярного [21] и квантового. В работе молекулярного компьютера предполагается использовать отдельные молекулы в качестве вычислительных элементов, способных передавать цифровой сигнал (0 или 1). Такую роль способны выполнять фотохромные соединения, изменяющие спектр поглощения под действием электромагнитного излучения вследствие структурной трансформации.

Фотохромные трансформации спиропиранов в кристаллическом состоянии и в полимерных материалах представляют большой интерес, так как они применяются для создания материалов, использующихся для записи и хранения информации[22].

Ранее нами была показана эффективность использования катионных спиропиранов для создания светочувствительных компонент элементов энергонезависимой оптической памяти, основанной на OFET полевых транзисторах, позволяющих утилизировать как перезаписываемую, так и постоянную память [23]. Перспективные органические фотомагнетики получены на основе молекулярных систем, где в качестве фотохромной компоненты используется положительно заряженный спиропиран (SP^+), а роль магнитной составляющей выполняет магнитно-активный анион [24].

Устройства записи и считывания информации функционируют в диапазоне длин волн 650 – 1000 нм. Однако немногие спиропираны характеризуются отличным от нуля поглощением в этой области, что также препятствует их активному использованию в данной области. При введении катионного заместителя можно ожидать также батохромного сдвига максимумов

поглощения для открытой (МЦ) и закрытой (СП) форм в связи с увеличением цепи сопряжения. Для мероцианиновых изомеров таких катионных спиропиранов справедливо ожидать поглощения в длинноволновой области (более 650 нм) ввиду структурного сходства с цианиновыми красителями.

Таким образом, цель данной работы состояла в разработке новых перспективных солевых спиропиранов с заместителями в 2H-хроменовом фрагменте, перспективных для создания элементов молекулярной электроники и фотоники, а также устройств записи и хранения информации.

II. Обсуждение результатов

Синтетическая часть работы заключалась в получении индолиновых спиропиранов, содержащих сопряженный катионный фрагмент винил-3*H*-индолия в положении 8′ и атомы галогена (F, Cl или Br) в положении 6′ 2H-хроменового фрагмента молекулы. Новые катионные спиропираны **1a-c** были синтезированы простым *one-pot* методом, заключающимся в реакции конденсации двойного молярного эквивалента 1,2,3,3-тетраметил-3H-индолия перхлората **2** и соответствующих ароматических диальдегидов **3a-c** в присутствие одного молярного эквивалента триэтиламина (схема 1). Этот метод позволил нам получить целевые соединения в виде ярко окрашенных твердых веществ с умеренным выходом (37 – 56 %) после перекристаллизации или колоночной хроматографии.

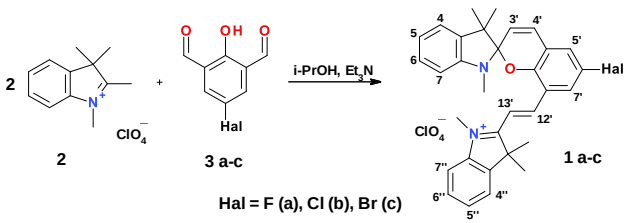


Схема 1. Синтез спиропиранов1a-c

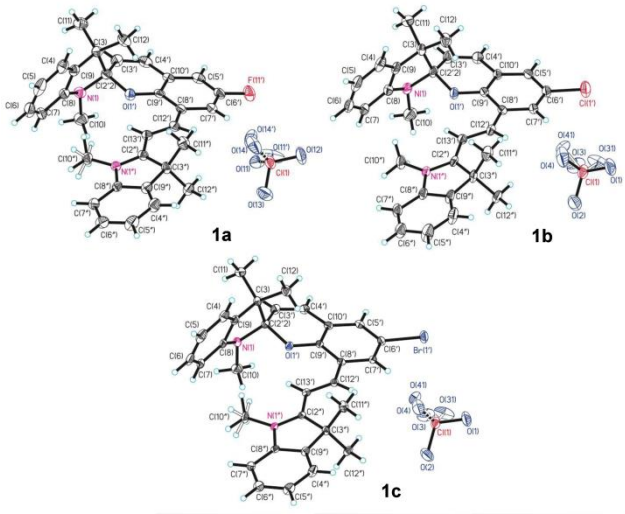


Рис. 1. ORTEP-диаграммы соединений 1a-c, полученные методом РСА

Строение полученных соединений было доказано методами ИК и ЯМР спектроскопии. Описание спектров приводится в экспериментальной части.

Структура монокристаллов спиропиранов **1a-c**, полученных путем медленного испарения растворителя из их растворов, исследована методом рентгеноструктурного анализа (РСА). Диаграммы ORTEP, иллюстрирующие их молекулярную структуру, показаны на рис. 1.

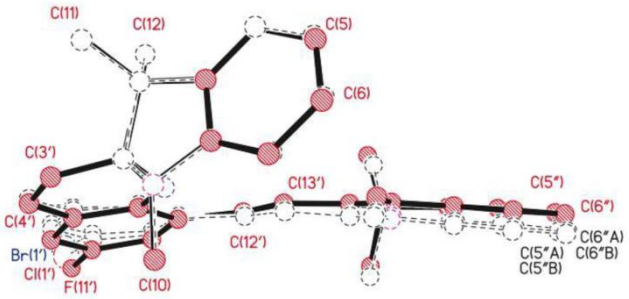


Рис. 2. Наложение молекулярных структур соединений 1a-c

Таблица 1

Некоторые длины l [Å] и углы ω [град]связей, для ***1a-c***

Связь	***l* (1a), Å**	***l* (1b), Å**	***l* (1c), Å**
O(1′)–C(9′)	1.345	1.353	1.364
O(1′)–C(2′2)	1.480	1.478	1.490
N(1)–C(8)	1.417	1.420	1.409
N(1)–C(2′2)	1.438	1.438	1.449
N(1)–C(10)	1.437	1.452	1.453
C(2′2)–C(3′)	1.492	1.497	1.483
C(3′)–C(4′)	1.321	1.325	1.329
C(6′)–Hal	1.361	1.736	1.893
C(8′)–C(12′)	1.451	1.456	1.451
C(12′)–C(13′)	1.356	1.356	1.347
C(2′′)–C(3′′)	1.500	1.525	1.526
C(2′′)–C(13′)	1.429	1.425	1.426
C(2′′)–N(1′′)	1.323	1.332	1.319
C(8′′)–N(1′′)	1.412	1.427	1.418
Угол	***ω*(1a)**	***ω* (1b)**	***ω*(1c)**
C(9′)–O(1′)–C(2′2)	123.19	122.97	122.04
C(8)–N(1)–C(2′2)	107.70	106.98	107.40
C(3′)–C(2′2)–O(1′)	110.80	111.04	111.16
C(2′2)–C(3)–C(9)	101.12	100.84	101.06
C(5′)–C(6′)– C(7′)	122.60	120.02	121.34
C(5′)–C(6′)–Hal	119.53	119.32	119.22
C(8′)–C(12′)–C(13′)	127.95	128.46	128.33
C(2′′)–C(13′)–C(12′)	124.06	123.29	124.22
C(13′)–C(2′′)–N(1′′)	121.32	120.64	121.45
C(3′′)– C(2′′)–N(1′′)	109.69	109.60	109.54
C(2′′)–N(1′′)–C(8′′)	111.97	111.35	112.21

На рис. 2 показано изображение молекул **1a-c**, полученное наложением по индолиновому гетероциклу. При почти полном совпадении соединений **1b** и **1c** положение катионного фрагмента соединения **1a** совершенно иное. Расстояние между фенильными кольцами составляет 0,77 Å. Характер взаимной ориентации катионного фрагмента показан на рис. 2 (сплошные линии - максимальная разница в положениях атомов не превышает 0,1 Å). Длины и углы некоторых связей для исследуемых молекул приведены в табл. 1.

Спектрально-кинетические исследования спиропиранов **1a-c** проводились в ацетонитрильных растворах. Все спиропираны проявляли фотохромные свойства при комнатной температуре, схема фотоизомеризации приводится ниже (Схема 2). Спектральные, кинетические и фотолюминесцентные параметры соединений приведены в таблице 2, изменения спектра поглощения при облучении УФ для **1a-c** показаны на рис. 3–5 соответственно.

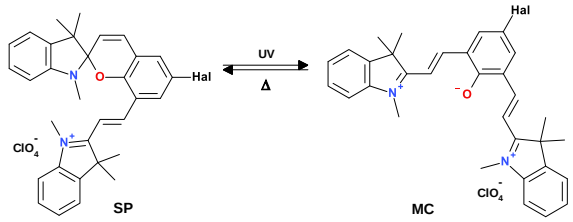


Схема 2. Фотоизомеризация солевых спиропиранов 1a-c

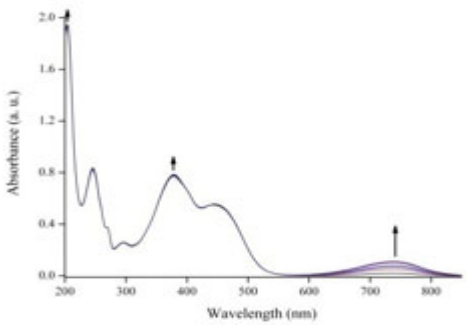


Рис. 3. Изменения спектров поглощения 1a при УФ-облучении ($\lambda_{обл}$ = 365 нм, dt = 10 с) в ацетонитриле, С = $3.9 \cdot 10^{-5}$ М, Т = 293 К.

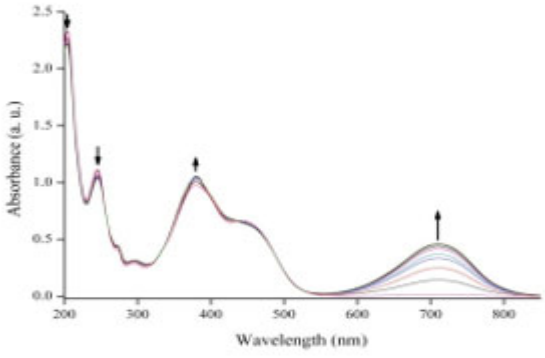


Рис. 4. Изменения спектров поглощения 1b при УФ-облучении ($\lambda_{обл}$ = 365 нм, dt = 10 с) в ацетонитриле, С = $3.9 \cdot 10^{-5}$ М, Т = 293 К.

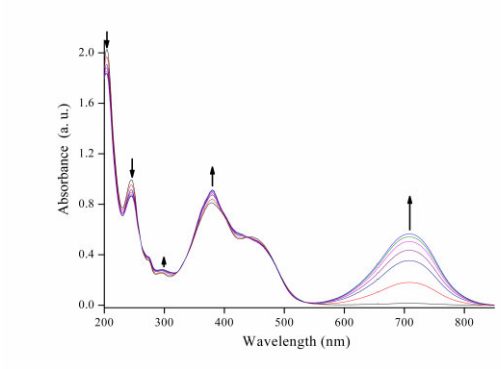


Рис. 5. Изменения спектров поглощения 1c при УФ-облучении ($\lambda_{обл}$ = 365 нм, dt = 10 с) в ацетонитриле, С = $3.9 \cdot 10^{-5}$ М, Т = 293 К.

Таблица 2

*Спектральные, кинетические и фотолюминесцентные (ФЛ) свойства соединений **1a-c** в ацетонитриле при комнатной температуре.*

№	Форма	Поглощение	ФЛ		$\tau_{мц}$, с
		$\lambda_{макс}$, нм ($\varepsilon \cdot 10^{-4}$, $М^{-1} \cdot см^{-1}$)	$\lambda_{макс}$, нм	$\Phi_{фл}$	
1a	СП	445* (1.47), 379 (2.01), 296 (0.66), 270* (0.96), 246 (2.12), 204 (4.96)	-	-	-
	МЦ	738	791	0.012	27.8
1b	СП	446 (1.96), 380 (2.90), 295 (0.87), 272*(1.22), 245 (3.32), 205 (6.95)	-	-	-
	МЦ	709	771	0.023	189.5
1c	СП	444*(1.55), 379 (2.33), 296 (0.73), 276* (0.98), 245 (2.84), 205 (5.79)	-	-	-
	МЦ	708	768	0.020	238.7

*–плечо

В стандартных условиях соединения **1a-c** в ацетонитрильных растворах существуют в закрытой спироциклической форме (SP, схема 2). Все полученные спиропираны, содержащие катионные фрагменты, отличаются от большинства известных нейтральных спиробензо- и спиронафтопиранов наличием сильных полос поглощения в видимой области для СП-изомеров с максимумами в диапазонах 379 – 380 и 444 – 446 нм, обусловленными наличием катионного фрагмента винил-3*H*-индолия, который значительно увеличивает длину цепи сопряжения в 2Н-хроменовой части молекулы. Благодаря этому кристаллы полученных фотохромных солей, а также их растворы в органических растворителях имеют глубокую окраску.

Следует отметить, что открытые МЦ изомеры изученных спиропиранов имеют довольно сходную структуру с цианиновыми красителями, которые широко используются в качестве поглощающих и излучающих в

ближней ИК области флуоресцентных зондов для биовизуализации. Это структурное сходство позволило нам ожидать, что МЦ формы целевых соединений будут поглощать и излучать в одном и том же диапазоне длин волн (предположительно в ближней ИК области) с цианиновыми красителями (в частности Cy-7), и эти ожидания оправдались. После облучения растворов спиропирана ультрафиолетовым светом появились новые широкие полосы поглощения с максимумами в диапазоне 708 – 738 нм в результате фотоиндуцированного раскрытия пиранового цикла с образованием МЦ изомеров. Следует отметить, что максимум поглощения открытой формы соединения **1a**, содержащей заместитель фтора, представляется наиболее «сдвинутым» в красную область (λ = 738 нм) среди всех известных фотохромных спиропиранов и имеет батохромный сдвиг 38 нм по сравнению со спиропираном ряда бензоселеназола, описанного ранее [25]. Замена фтора на другие галогены (Cl и Br) привела к гипсохромному сдвигу максимума поглощения на 29 и 30 нм соответственно.

Флуоресцентные исследования целевых соединений **1a-c** показали, что в отличие от закрытых СП форм фотоиндуцированные МЦ изомеры обладают фотолюминесцентными свойствами в ближней ИК-области: максимумы излучения были обнаружены в диапазоне 768 – 791 нм (рис.6, Таблица 2). Квантовые выходы флуоресценции варьируются в диапазоне 0.012–0.023, что сопоставимо с коммерчески доступными красителями Cy7, которые обеспечивают квантовые выходы 0.033–0.044 [26]. Влияние структуры спиропиранов на их флуоресцентные спектры такое же, как и на спектры поглощения - положение максимума излучения открытой формы сдвигается в красную область на 20 – 23 нм от фторного производного **1a** до хлорного **1b** и бромного **1c**. В то же время эффективность флуоресценции открытой МЦ формы спиропирана **1a** почти вдвое меньше, чем у остальных соединений.

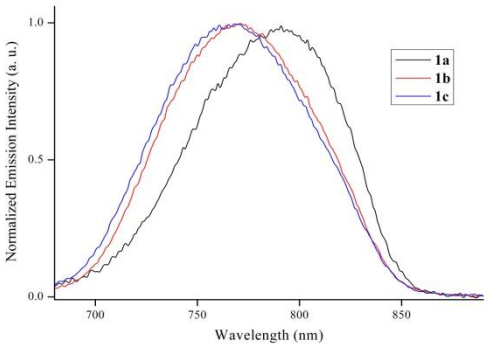


Рис. 6. Нормированная эмиссия ($\lambda_{возб}$ = 665 нм) МЦ-изомеров 1a-c в ацетонитриле, T = 293 K.

После прекращения облучения происходит обратная термическая реакция рециклизации МЦ изомера в исходную СП форму, поэтому оптическая плотность в ближней ИК-области начинает снижаться. Моноэкспоненциальный характер кинетики термического обесцвечивания показан на рис. 7. Время жизни $\tau_{МЦ}$ ярко окрашенных МЦ изомеров лежит в диапазоне 27.8 – 238.7 с при 293 K, увеличиваясь в 8.6 раз при переходе от спиропирана **1a** к **1c**. Следует также отметить, что введение слегка электроноакцепторных галогеновых заместителей положительно сказалось на фотохромных свойствах спиропиранов, увеличив относительную стабильность их открытых форм. Таким образом, время жизни МЦ формы синтезированного солевого спиропирана значительно превосходит подавляющее большинство соединений этого класса органических фотохромов.

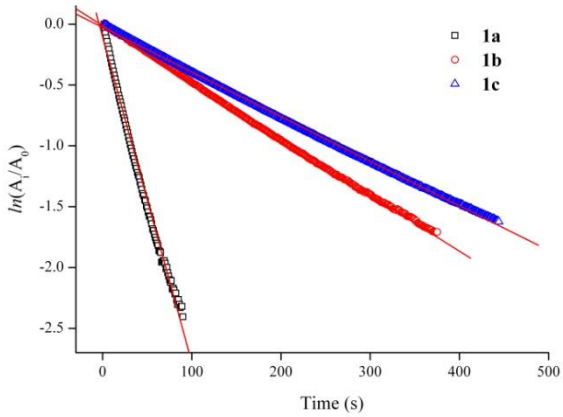


Рис. 7. Логарифмический график изменения относительного поглощения при максимальных длинах волн поглощения мероцианиновой формы соединений 1a-c в зависимости от времени тепловой релаксации в растворе ацетонитрила, T = 293 K.

III. Экспериментальная часть

Все реагенты были приобретены у «AlfaAesar» и «Merck» и использовались в том виде, в котором они были получены. Использованные органические растворители были очищены и высушены в соответствии со стандартными методами.

Спектры ЯМР регистрировали на спектрометре Bruker AVANCE-600 (600 МГц) в растворах ДМСО-d_6. Положение сигналов исследуемых веществ определялось по δ-шкале и проведено относительно сигналов остаточных протонов дейтерорастворителя ДМСО-d_6 (2.49 м.д.).

ИК спектры соединений регистрировали на ИК спектрометре Varian Excalibur 3100 FT-IR с использованием метода частичного внутреннего отражения.

Электронные спектры поглощения и кинетические кривые исследуемых соединений регистрировали на спектрофотометре Agilent – 8453, оборудованном термостатирующей ячейкой. Облучение растворов фильтрованным светом ртутной лампы высокого давления проводили на оборудовании Newport 66902. Фотолюминесцентные спектры измеряли на флуоресцентном спектрофотометре Varian Cary Eclipse. Ацетонитрил спектрального класса («Aldrich») использовали для приготовления растворов. Квантовые выходы

флуоресценции определяли относительно метиленового синего в воде в качестве стандарта (φ = 0,02 ± 0,005).

Масс-спектры высокого разрешения регистрировали на спектрометре Bruker Maxis (электрораспылительная ионизация, в растворе ацетонитрила, с использованием HCO_2Na-HCO_2H для калибровки).

Элементный анализ проводился классическим методом [27].

Температуры плавления определяли на приборе Фишера-Джонса (Fisher Scientific).

Кристаллы, пригодные для монокристаллического рентгеноструктурного анализа, выращивали медленным испарением раствора соединений **1a-c** в смеси ацетонитрила и этилового спирта с объемным соотношением 1: 1. Параметры кристаллической элементарной ячейки и трехмерного набора интенсивностей были получены на дифрактометре Agilent Xcalibur Eos (MoK-α-излучение, графитовый монохроматор, метод ω-сканирования). Эмпирический учет поглощения проводился по методике Multiscan. Структура была расшифрована прямым методом и уточнена методом наименьших квадратов F^2 с использованием матрицы SHELXTL в анизотропном приближении для неводородных атомов. Все расчеты выполнены с использованием программного комплекса SHELXTL

1,3,3-триметил-6′-фтор-8′-[(E)-2-(1′′,3′′,3′′-триметил-3*H*-индолий-2′′-ил)винил]спиро[индолино-2,2′-2*H*-хромен]перхлорат 1a. 1.094 г (0.004 моль) 1,2,3,3-тетраметил-3*H*-индолия перхлората **2** внесли в кипящий раствор 0.336 г (0.002 моль) альдегида **3a** в 20 мл изопропилового спирта. Затем добавили по каплям 0.28 мл триэтиламина. Смесь кипятили 3 часа. Растворитель выпаривали и остаток оставляли на ночь при комнатной температуре для образования осадка. Осадок отфильтровывали. Очищали с помощью колоночной хроматографии на силикагеле (элюент - хлороформ). Перекристаллизовали из ацетонитрила. Выход 56.2 %. $T_{пл}$ 248 – 249°C .

ИК спектр, ν, $см^{-1}$: 1610 (C=C); 1307, 1295 ($C_{аром}$–N); 1097(ClO_4^-); 1022 (C–F); 929 ($C_{спиро}$–O).

ЯМР^{1}H (ДМСО-d_6) δ, м.д. (*J*, Гц): 7.98–7.95 (м, 2H, H–12′,H-7′), 7.83 (дд, *J* = 6.6, 2.1 Гц, 1H, H-7′′), 7.72 (дд, *J* = 6.1, 2.5 Гц, 1H, H-4′′), 7.62 – 7.56 (м, 2H, H-5′′, H-6′′), 7.52 (д, *J* = 16.6 Гц, 1H, H-13′), 7.45 (дд, *J* = 8.3, 3.0 Гц, 1H, H-5′), 7.25 – 7.18 (м, 2H, H-6, H-4), 7.16 (д, *J* = 10.4 Гц, 1H, H-4′), 6.92 (т, *J* = 7.4 Гц, 1H, H-5), 6.68 (д, *J* = 7.7 Гц, 1H, H-7), 6.10 (д, *J* = 10.3 Гц, 1H, H-3′), 3.75 (с, 3H, N^+–CH_3), 2.68 (с, 3H, N–CH_3), 1.30 (с, 3H, C(3′′)-CH_3), 1.27 (с, 6H, C(3)-CH_3+C(3′′)-CH_3), 1.18 (с, 3H, C(3)-CH_3).

ЯМР^{13}C (ДМСО-d_6) δ, м.д.: 181.55 (C-2′′), 156.63, 155.06, 150.79, 147.37, 144.78, 144.76, 143.27, 141.58, 135.99, 129.47, 128.95, 128.71, 127.79, 122.64, 121.58, 121.32, 121.29, 121.23, 120.87, 120.81, 119.81, 118.66, 118.49, 115.20, 114.96, 114.80, 114.11, 107.41 (C-7), 106.31 (C-2′2), 51.62 (C-3′′), 51.61 (C-3), 33.99 (C-10′′), 28.77 (C-10), 25.44 (C-12′′), 25.32 (C-11′′), 25.12 (C-12), 19.66 (C-11).

Масс-спектр. Найдено: $[M]^+$ 479.2483; по молекулярной формуле $C_{32}H_{32}FN_2O$ вычислено $[M]^+$ 479.2493.

Найдено, %: C 66.25; H 5.61; Cl 5.95; F 3.18; N 4.79. $C_{32}H_{32}FClN_2O_5$. Вычислено, %: C 66.38; H 5.53; Cl 6.14; F 3.28; N 4.84.

1,3,3-триметил-6′-хлор-8′-[(E)-2-(1′′,3′′,3′′-триметил-3*H*-индолий-2′′-ил)винил]спиро[индолино-2,2′-2*H*-хромен]перхлорат 1b. 1.094 г (0.004 моль) 1,2,3,3-тетраметил-3*H*-индолия перхлората **2** внесли в кипящий раствор 0.369 г (0.002 моль) альдегида **3b**в 20 мл изопропилового спирта. Затем добавили по каплям 0.28 мл триэтиламина. Смесь кипятили 6 часов. Растворитель выпаривали и остаток оставляли на ночь при комнатной температуре для образования осадка. Осадок отфильтровывали. Очищали с помощью колоночной хроматографии на силикагеле (элюент - хлороформ). Перекристаллизовали из ацетонитрила. Выход 37.4 %. $T_{пл}$250 – 251 °C.

ИК спектр, ν, $см^{-1}$: 1607 (C=C); 1303 ($C_{аром}$–N); 1092(ClO_4^-); 930 ($C_{спиро}$–O); 760(C–Cl).

ЯМР^{1}H (ДМСО-d_6) δ, м.д.: 8.18 (д, *J* = 2.5 Гц, 1H, H-7′), 7.95 (д, *J* = 16.5 Гц, 1H, H-12′), 7.85 – 7.82 (м, 1H, H-7′′), 7.74 – 7.71 (м, 1H, H-4′′), 7.61 (д, *J* = 2.4 Гц, 1H, H-5′), 7.60 – 7.55 (м, 2H, H-5′′, H-6′′), 7.52 (д, *J* = 16.6 Гц, 1H, H-13′), 7.23 – 7.19 (м, 2H, H-6, H-4), 7.16 (д, *J* = 10.4 Гц, 1H, H-4′), 6.93 (т, *J* = 7.5 Гц, 1H, H-5), 6.68 (д, *J* = 7.7 Гц, 1H, H-7), 6.09 (д, *J* = 10.3 Гц, 1H, H-3′), 3.70 (с, 3H, N^+–CH_3), 2.69 (с, 3H, N–CH_3), 1.33 (с, 3H, C(3′′)-CH_3), 1.30 (с, 3H, C(3′′)-CH_3), 1.26 (с, 3H, C(3)-CH_3), 1.17 (с, 3H,C(3)-CH_3).

ЯМР^{13}C (ДМСО-d_6) δ, м.д.: 182.14 (C-2′′), 153.55 (C-8′),147.81 (C-9), 145.24 (C-12′), 143.82 (C-9′′), 142.07 (C-8′′), 136.40 (C-8), 131.44 (C-5′), 129.99 (C-6′′), 129.63 (C-5′′), 129.45 (C-7′), 129.00 (C-4′), 128.35 (C-6), 125.25 (C-6′), 123.15 (C-4′′), 122.16 (C-10′), 122.10 (C-9′), 121.98 (C-4), 121.65 (C-3′), 120.39 (C-5), 115.72 (C-7′′), 114.78 (C-13′), 107.95 (C-7), 107.30 (C-2′2), 52.21 (C-3′′), 52.16 (C-3), 34.45 (C-10′′), 29.24 (C-10), 25.89 (C-12′′), 25.78 (C-11′′), 25.69 (C-12), 20.13 (C-11).

Масс-спектр. Найдено: $[M]^+$ 495.2187; по молекулярной формуле $C_{32}H_{32}ClN_2O$ вычислено $[M]^+$ 495.2198.

Найдено, %: C 66.43; H 5.64; Cl 11.79; N 4.64. $C_{32}H_{32}Cl_2N_2O_5$. Вычислено, %: C 64.54; H 5.38; Cl 11.93; N 4.70.

1,3,3-триметил-6′-бром-8′-[(E)-2-(1′′,3′′,3′′-триметил-3*H*-индолий-2′′-ил)винил]спиро[индолино-2,2′-2*H*-хромен]перхлорат 1c. 1.094 г (0.004 моль) 1,2,3,3-тетраметил-3*H*-индолия перхлората **2** внесли в кипящий раствор 0.458 г (0.002 моль) альдегида **3c** в 20 мл изопропилового спирта. Затем добавили по каплям 0.28 мл триэтиламина. Смесь кипятили 6 часов. Растворитель выпаривали и остаток оставляли на ночь при комнатной температуре для образования осадка. Осадок отфильтровывали. Очищали с помощью

колоночной хроматографии на силикагеле (элюент - хлороформ). Перекристаллизовали из ацетонитрила. Выход52.8 %. $T_{пл}$ 258 – 259 °C.

ИК спектр, ν, $см^{-1}$: 1607 (C=C); 1304 ($C_{аром}$–N); 1087(ClO_4^-); 930 ($C_{спиро}$–O); 668 (C–Br).

ЯМР^{1}H (ДМСО-d_6) δ, м.д. (*J*, Гц): 8.30 (д, *J* = 2.4 Гц, 1H, H-7′), 7.94 (д, *J* = 16.6 Гц, 1H, H-12′), 7.84 – 7.82 (м, 1H, H-7′′), 7.74 – 7.72 (м, 2H, H-4′′,H-5′), 7.62 – 7.55 (м, 2H, H-5′′, H-6′′), 7.51 (д, *J* = 16.6 Гц, 1H, H-13′), 7.25 – 7.19 (м, 2H, H-4, H-6), 7.16 (д, *J* = 10.4 Гц, 1H, H-4′), 6.93 (т, *J* = 7.3 Гц, 1H, H-5), 6.69 (д, *J* = 7.7 Гц, 1H, H-7), 6.08 (д, *J* = 10.3 Гц, 1H, H-3′), 3.68 (с, 3H, N^+-CH_3), 2.69 (с, 3H, N-CH_3), 1.33 (с, 3H, C(3′′)-CH_3), 1.30 (с, 3H, C(3′′)-CH_3), 1.26 (с, 3H, C(3)-CH_3), 1.17 (с, 3H, C(3)-CH_3).

ЯМР^{13}C (ДМСО-d_6) δ, м.д.: 181.63 (C-2′′), 153.46 (C-8′), 147.28 (C-9), 144.73 (C-12′), 143.30 (C-9′′), 141.54 (C-8′′), 135.86 (C-8), 133.68 (C-5′), 132.11 (C-7′), 129.46 (C-6′′), 128.92 (C-5′′), 128.39 (C-4′), 127.83 (C-4), 122.62 (C-4′′), 121.94 (C-9′, C-10′), 121.65 (C-6), 121.03 (C-3′), 119.87 (C-5), 115.19 (C-7′′), 114.23 (C-13′), 112.27 (C-6′), 107.43 (C-7), 106.80 (C-2′2), 51.70 (C-3′′), 51.64 (C-3), 33.91 (C-10′′), 28.71 (C-10), 25.36 (C-12′′), 25.26 (C-11′′), 25.17 (C-12), 19.60 (C-11).

Масс-спектр. Найдено: $[M]^+$ 539.1704; по молекулярной формуле $C_{32}H_{32}BrN_2O$ вычислено $[M]^+$ 539.1693.

Найдено, %: C 59.7; H 5.12; Br 12.37; Cl5.38;N 4.26. $C_{32}H_{32}ClBrN_2O_5$. Вычислено, %: C 60.05; H 5.0; Br 12.51; Cl 5.55; N 4.38.

IV. Заключение

Таким образом, нами были синтезированы и исследованы три новых фотохромных спиропирана ряда индолина с сопряженным катионным фрагментом для создания новых элементов молекулярной электроники, а также устройств хранения информации. Было обнаружено, что введение катионного винил-3*H*-индолиевого заместителя в положении 8′ фрагмента 2*H*-хромена делает структуру их фотоиндуцированных изомеров похожими на цианиновые красители и вызывает появление полос поглощения и излучения в ближнем ИК диапазоне. Показано, что точная настройка индолинового спиропирана с электроноакцепторным катионным фрагментом и галогенным заместителем может привести к красному сдвигу максимумов поглощения и испускания МЦ изомера до 738 и 790 нм, а также к увеличению времени жизни фотоиндуцированного изомера почти на порядок, в зависимости от природы атома галогена.

Мы ожидаем, что в будущем такие спиропираны с сопряженным катионным фрагментом такого типа будут использованы в качестве легко настраиваемых и управляемых светом компонентов устройств для молекулярной электроники и фотоники.

Поддержка

Работа выполнена при финансовой поддержке гранта Президента Российской Федерации для государственной поддержки молодых российских ученых – кандидатов наук МК-1721.2019.3, гранта РФФИ 20-03-00214 А, а также в рамках проведения эксперимента по рентгеноструктурному анализу (В.В. Ткачев) по теме Государственного задания 0089-2019-0011.

Литература

[1] Wang L., Li Q. Photochromism into nanosystems: towards lighting up the future nanoworld //Chemical Society Reviews. 2018. V. 47. №. 3. P. 1044–1097.
[2] Feringa B. L., Browne W. R. (ed.). Molecular switches. John Wiley & Sons. 2011. 296 P.
[3] Zhang J., Zou Q., Tian H. Photochromic materials: more than meets the eye //Advanced Materials. 2013. V. 25. №. 3. P. 378–399.
[4] Bouas-Laurent H., Dürr H. Organic photochromism (IUPAC technical report) //Pure and Applied Chemistry. 2001. V. 73. №. 4. P. 639–665.
[5] Lukyanov B. S., Lukyanova M. B. Spiropyrans: synthesis, properties, and application //Chemistry of Heterocyclic compounds. 2005. V. 41. №. 3. P. 281–311.
[6] Bertelson R. C. Spiropyrans //Organic Photochromic and Thermochromic Compounds. Springer, Boston, MA, 2002. P. 11-83.
[7] Klajn R. Spiropyran-based dynamic materials //Chemical Society Reviews. 2014. V. 43. №. 1. P. 148–184.
[8] Minkin V. I. Photo-, thermo-, solvato-, and electrochromic spiroheterocyclic compounds //Chemical reviews. 2004. V. 104. №. 5. P. 2751–2776.
[9] Natali M., Giordani S. Molecular switches as photocontrollable “smart” receptors //Chemical Society Reviews. 2012. V. 41. №. 10. P. 4010–4029.
[10] Paramonov S. V., Lokshin V., Fedorova O. A. Spiropyran, chromene or spirooxazine ligands: insights into mutual relations between complexing and photochromic properties //Journal of Photochemistry and Photobiology C: Photochemistry Reviews. 2011. V. 12. №. 3. P. 209–236.
[11] Abdel-Mottaleb M. S. A. et al. Lanthanide complexes of spiropyran photoswitch and sensor: Spectroscopic investigations and computational modelling //Photochemical & Photobiological Sciences. 2018. V. 17. №. 2. P. 221–230.
[12] Koçer A. et al. A light-actuated nanovalve derived from a channel protein //Science. 2005. V. 309. №. 5735. P. 755–758.
[13] Andréasson J., Pischel U. Storage and Processing of Information Using Molecules: The All-Photonic Approach with Simple and Multi-Photochromic Switches //Israel Journal of Chemistry. 2013. V. 53. №. 5. P. 236–246.
[14] Tamaki T. et al. Mechanical switching of current–voltage characteristics in spiropyran single-molecule junctions // Nanoscale. 2020. V. 12. №. 14. P. 7527–7531
[15] Huang X., Li T. Recent progress in the development of molecular-scale electronics based on photoswitchable molecules //Journal of Materials Chemistry C. 2020. V. 8. №. 3. P. 821–848.
[16] Walkey M. C. et al. Chemically and Mechanically Controlled Single-Molecule Switches Using Spiropyrans //ACS applied materials & interfaces. 2019. V. 11. №. 40. P. 36886–36894.
[17] Pinheiro C. et al. Multiresponsive chromogenic systems operated by light and electrical inputs //New Journal of Chemistry. 2009. V. 33. №. 10. P. 2144-2147.
[18] Tuktarov A. R. et al. Photocontrolled organic field effect transistors based on the fullerene C 60 and spiropyran hybrid molecule // RSC Advances. 2019. V. 9. №. 13. P. 7505–7508.

[19] Zhang H. et al. Interface engineering of semiconductor/dielectric heterojunctions toward functional organic thin-film transistors //Nano letters. 2011. V. 11. №. 11. P. 4939–4946.
[20] Suda M., Kato R., Yamamoto H. M. Light-induced superconductivity using a photoactive electric double layer //Science. 2015. V. 347. №. 6223. P. 743–746.
[21] Минкин В.И. Молекулярные компьютеры // «Химияи жизнь». 2004. № 2. С. 13–17
[22] Zhang H. et al. Photochromic response of nanoparticles of spiropyran–MnPS3 intercalate: A search for optically bistable nanocomponents //Journal of Photochemistry and Photobiology A: Chemistry. 2007. V. 186. №. 2-3. P. 173–177.
[23] Frolova L. A. et al. Design of rewritable and read-only non-volatile optical memory elements using photochromic spiropyran-based salts as light-sensitive materials //Journal of Materials Chemistry C. 2015. V. 3. №. 44. P. 11675–11680.
[24] Aldoshin S.M et al. Synthesis, structure, and the photomagnetic effect in crystals of 1,3,3,7′-tetramethylspiro[indoline-2,2′-2H-pyrano[3,2-f]quinolinium] tris(oxalato)chromate(III) // Russ. Chem. Bull. 2008. V. 57 . P. 2495–2505.
[25] Benniston A. C., Fortage J. Selenospiropyrans incorporating appended pyrene chromophores //Tetrahedron Letters. 2008. V. 49. №. 27. C. 4292–4295.
[26] James N. S. et al. Evaluation of polymethine dyes as potential probes for near infrared fluorescence imaging of tumors: Part-1 //Theranostics. 2013.V. 3. №. 9. P. 692.
[27] Гельман Н.Э., Терентьева Е.А., Шанина Т.М., Кипаренко *Л.М.* Методы количественного органического элементного анализа.М.: Химия; 1987

New Spiropyrans for Creating Molecular Electronics and Photonics Elements

A.D. Pugachev[1], I.V. Ozhogin[1], M.B. Lukyanova[1], B.S. Lukyanov[1], A.S. Kozlenko[1], I.A. Rostovtseva[1], N.I. Makarova[1], A.V. Metelitsa[1], V.V. Tkachev[2]

[1]Institute of Physical and Organic Chemistry, Southern Federal University, Rostov-on-Don,

artem_d_pugachev@mail.ru; lab811@ipoc.sfedu.ru

[2]Institute of Problems of Chemical Physics, Russian Academy of Sciences

Chernogolovka, Moscow Region

***Abstract* — Photochromic molecules which can absorb and emit light within the near-IR range (NIR) (650 – 1450 nm) are of great interest for using in molecular electronics and photonics. Here we report on new indolinespiropyrans containing conjugated cationic fragments and halogen substituents in the 2H-chromene moiety, which were synthesized by a simple one-pot method. The molecular structure of the obtained compounds was confirmed by FT-IR, ^{1}H and ^{13}C NMR spectroscopy (including 2D methods), HRMS, elemental and single crystal X-ray analysis. Photochemical studies revealed the photochromic activity of spiropyrans at the room temperature, which caused photoswitchable fluorescence in the near-IR region after UV-irradiation. While the spirocyclic forms of compounds demonstrated absorption bands in the UV-Vis spectra with maxima in the visible region at about 445 nm and were not fluorescent, the photogeneratedmerocyanine isomers absorbed in the near-IR range at 708-738 nm and emitted at 764-790 nm depending on substituent.**

***Keywords* — molecularelectronic, molecularswitches, spiropyrans.**

REFERENCES

[1] Wang L., Li Q. Photochromism into nanosystems: towards lighting up the future nanoworld //Chemical Society Reviews. 2018. V. 47. №. 3. P. 1044–1097.
[2] Feringa B. L., Browne W. R. (ed.). Molecular switches. John Wiley & Sons. 2011. 296 P.
[3] Zhang J., Zou Q., Tian H. Photochromic materials: more than meets the eye //Advanced Materials. 2013. V. 25. №. 3. P. 378–399.
[4] Bouas-Laurent H., Dürr H. Organic photochromism (IUPAC technical report) //Pure and Applied Chemistry. 2001. V. 73. №. 4. P. 639–665.
[5] Lukyanov B. S., Lukyanova M. B. Spiropyrans: synthesis, properties, and application //Chemistry of Heterocyclic compounds. 2005. V. 41. №. 3. P. 281–311.
[6] Bertelson R. C. Spiropyrans //Organic Photochromic and Thermochromic Compounds. Springer, Boston, MA, 2002. P. 11-83.
[7] Klajn R. Spiropyran-based dynamic materials //Chemical Society Reviews. 2014. V. 43. №. 1. P. 148–184.
[8] Minkin V. I. Photo-, thermo-, solvato-, and electrochromic spiroheterocyclic compounds //Chemical reviews. 2004. V. 104. №. 5. P. 2751–2776.
[9] Natali M., Giordani S. Molecular switches as photocontrollable “smart” receptors //Chemical Society Reviews. 2012. V. 41. №. 10. P. 4010–4029.
[10] Paramonov S. V., Lokshin V., Fedorova O. A. Spiropyran, chromene or spirooxazine ligands: insights into mutual relations between complexing and photochromic properties //Journal of Photochemistry and Photobiology C: Photochemistry Reviews. 2011. V. 12. №. 3. P. 209–236.
[11] Abdel-Mottaleb M. S. A. et al. Lanthanide complexes of spiropyran photoswitch and sensor: Spectroscopic

investigations and computational modelling //Photochemical & Photobiological Sciences. 2018. V. 17. №. 2. P. 221–230.
[12] Koçer A. et al. A light-actuated nanovalve derived from a channel protein //Science. 2005. V. 309. №. 5735. P. 755–758.
[13] Andréasson J., Pischel U. Storage and Processing of Information Using Molecules: The All-Photonic Approach with Simple and Multi-Photochromic Switches //Israel Journal of Chemistry. 2013. V. 53. №. 5. P. 236–246.
[14] Tamaki T. et al. Mechanical switching of current–voltage characteristics in spiropyran single-molecule junctions // Nanoscale. 2020. V. 12. №. 14. P. 7527–7531
[15] Huang X., Li T. Recent progress in the development of molecular-scale electronics based on photoswitchable molecules //Journal of Materials Chemistry C. 2020. V. 8. №. 3. P. 821–848.
[16] Walkey M. C. et al. Chemically and Mechanically Controlled Single-Molecule Switches Using Spiropyrans //ACS applied materials & interfaces. 2019. V. 11. №. 40. P. 36886–36894.
[17] Pinheiro C. et al. Multiresponsive chromogenic systems operated by light and electrical inputs //New Journal of Chemistry. 2009. V. 33. №. 10. P. 2144-2147.
[18] Tuktarov A. R. et al. Photocontrolled organic field effect transistors based on the fullerene C 60 and spiropyran hybrid molecule // RSC Advances. 2019. V. 9. №. 13. P. 7505–7508.
[19] Zhang H. et al. Interface engineering of semiconductor/dielectric heterojunctions toward functional organic thin-film transistors //Nano letters. 2011. V. 11. №. 11. P. 4939–4946.
[20] Suda M., Kato R., Yamamoto H. M. Light-induced superconductivity using a photoactive electric double layer //Science. 2015. V. 347. №. 6223. P. 743–746.
[21] MinkinV.I. Molecular computers // «Chemistry and life». 2004. № 2. C. 13–17
[22] Zhang H. et al. Photochromic response of nanoparticles of spiropyran–MnPS3 intercalate: A search for optically bistable nanocomponents //Journal of Photochemistry and Photobiology A: Chemistry. 2007. V. 186. №. 2-3. P. 173–177.
[23] Frolova L. A. et al. Design of rewritable and read-only non-volatile optical memory elements using photochromic spiropyran-based salts as light-sensitive materials //Journal of Materials Chemistry C. 2015. V. 3. №. 44. P. 11675–11680.
[24] Aldoshin S.M et al. Synthesis, structure, and the photomagnetic effect in crystals of 1,3,3,7′-tetramethylspiro[indoline-2,2′-2H-pyrano[3,2-f]quinolinium] tris(oxalato)chromate(III) // Russ. Chem. Bull. 2008. V. 57 . P. 2495–2505.
[25] Benniston A. C., Fortage J. Selenospiropyrans incorporating appended pyrene chromophores //Tetrahedron Letters. 2008. V. 49. №. 27. C. 4292–4295.
[26] James N. S. et al. Evaluation of polymethine dyes as potential probes for near infrared fluorescence imaging of tumors: Part-1 //Theranostics. 2013.V. 3. №. 9. P. 692.
[27] N. E. Gel´man, E.A. Terent´eva, T.M. Shanina, L.M. Kiparenko, Metody kolichestvennogo organicheskogo elementnogo analiza [Methods of Quantitative Organic Elemental Analysis], Khimiya, Moscow.1987. 296 P.

DOI: 10.31114/2078-7707-2020-3-147-150

Development and approbation of the method of microcircuits interchangeability efficiency evaluation in radar equipment based on critical circuit and parametric characteristics set

A.A. Shabanov[1], M.G. Putrya[2]

National Research University of Electronic Technology, Moscow,

[1]shabanov.andr1@yandex.ru, [2]pmg@miee.ru

***Abstract* — The research of the basic parametric characteristics of integrated circuits that affect the radar equipment was conducted, a comparative analysis of modulators and demodulators was carried out and the methodological approach of assessment of effectiveness of interchangeability of chips in a radar equipment is tested.**

***Keywords* — electronic component base, radiolocation, radar equipment, missile and space equipment, microwave microelectronics.**

I. Introduction

In the development, improvement, and repair of equipment, it is often necessary to replace electronic components. In particular, such situations are common in radar equipment. Accordingly, an important aspect of substitution is the development of certain techniques and technologies that allow the replacement of electronic components with improvement (or preservation) of the technical characteristics of the equipment. An analysis of the current state of microelectronics research showed no specific technique for evaluating chip interchangeability in radar equipment. The authors of various studies mainly study the issue of import substitution and the importance of this process, however, their research focuses more on the specific use of imported chips in military equipment. For example, in one of the articles, the authors discuss the problems of import substitution of the electronic component base in the defense sphere. Based on the production experience, the authors assess the domestic and imported electronic component base, analyze state measures on import substitution and propose concrete actions in the use of the import base [1]. However, this study does not have a specific methodology for evaluating the efficiency of chip interchangeability, there are no recommendations for improving the characteristics of integrated circuits (IC) under development but only shows the need to use foreign electronic component base (ECB) in conditions of poor quality of domestic chips under development.

To solve this problem, a chip interchangeability efficiency evaluation method was developed for in radar equipment based on a critical set of the circuit and parametric characteristics.

II. Method description

The essence of the developed method for evaluating the efficiency of the chip interchangeability is to determine the critical parameters of the chip under investigation (by comparison with the most competitive analog), in terms of operability, reliability and performance of the unit (s) of the equipment where it is used, as well as to assess the impact of the circuit and parametric characteristics of the chip on the characteristics of the radar equipment.

The basic idea of the method for evaluation of chip interchangeability efficiency is presented in the block diagram in Figure 1.

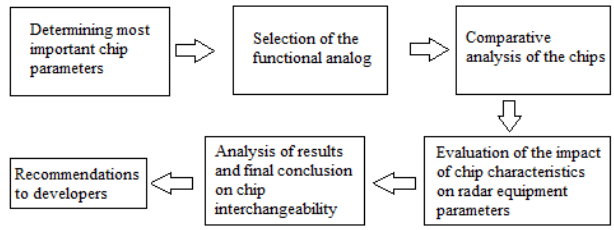


Fig. 1. Block diagram of the method

III. Approbation of the Method

The study of the possibility of effective replacement of IC with their improved versions or analogs, the cost of which is considerably lower, was carried out on the example of comparison of modulators and demodulators.

Currently, modulators and demodulators are widely used in radar equipment, especially in transmitters and receivers. The characteristics of the modulators and demodulators directly affect the characteristics of the transmitting and receiving paths, respectively.

For example, increasing the output power, suppressing the carrier frequencies and stray sidebands of the quadrature modulator allow to increase the radiated power of the transmitter, while reducing the consumption current of individual modules provides to decrease the total power consumption, which will permit in the future to introduce new developments with improved technologies into modern radar systems without additional power consumption.

During the first stage of testing the method, comparative analysis of quadrature modulator 1327MA015 and functional analog of ADL5375 used in radar systems was carried out.

The main comparative characteristics of the 1327MA015 and ADL5375 chips are shown in Table 1 [2, 3].

Table 1

The main characteristics of the 1327MA015 and ADL5375 chips

Chip designation	Output frequency range, GHz	LO Drive Level, dBm	Modulation bandwidth, MHz	1 dB output compression, dBm	Noise figure, dB	Supply voltage, V	Current consumption, mA
1327MA015	0,7 – 6,0	–7 to +6	0 – 750	+6,5	18	5	155
ADL5375	0,4 – 6,0	–6 to +6	0 – 750	+5	15,5	5	195

As a critical set of parameters of the compared ICs according to the developed method, the following set of parameters was determined: consumption current, carrier frequency suppression and sideband suppression, output signal level (power).

One of the most important characteristics of modulators and demodulators is current consumption [4]. In the comparative analysis, the ratio of current consumption to chip temperature was obtained for the 1327MA015 and the ADL5375 (Fig. 2). As a result of the study, at a power supply voltage of U_{CC} = 5 V and an ambient temperature of 25 °C, it was found that the consumption current of the chip 1327MA015 is 40 mA lower than that of the ADL5375, and therefore the power consumption is also lower.

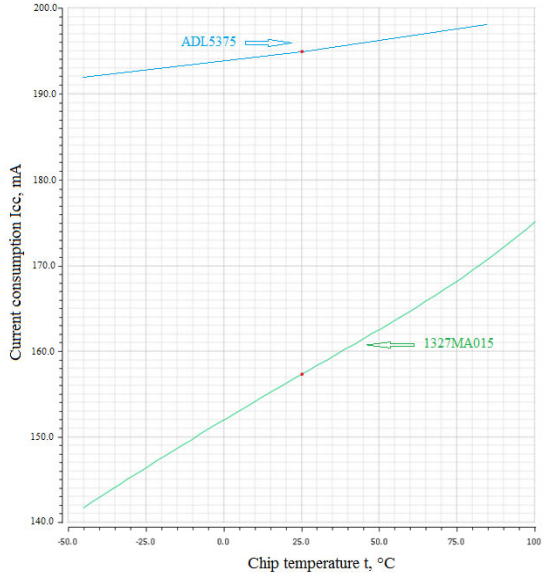


Fig. 2. The ratio of current consumption to chip temperature

Note that the main parameters for modulators are carrier frequency and sideband suppression. In the course of the conducted study, there were obtained ratios of carrier frequency suppression and sideband suppression on local oscillator frequency for 1327MA015 and functional analog of ADL5375 (Fig. 3, 4).

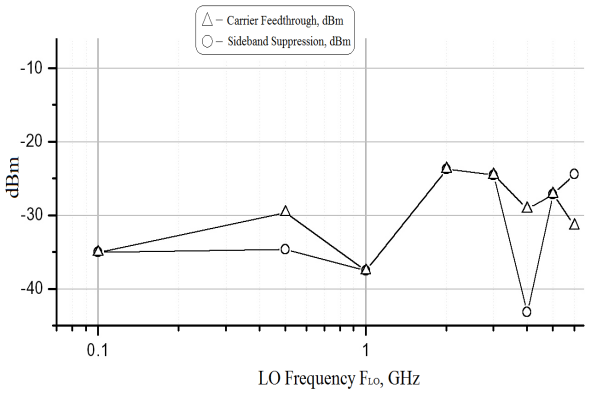


Fig. 3. Carrier frequency suppression and sideband suppression for 1327MA015

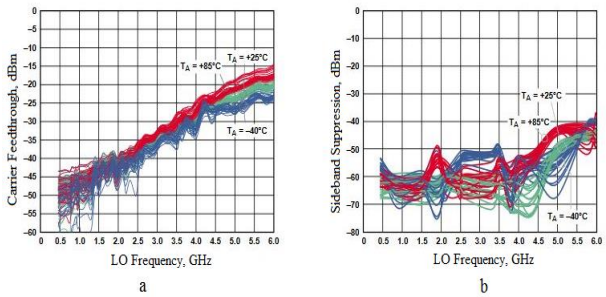


Fig. 4. Carrier frequency suppression (a) and sideband suppression (b) for ADL5375

Analysis of the results of the study showed that the ADL5375 chip is superior to the 1327MA015 chip in suppressing the carrier frequency by 10 dBm, and in suppressing the parasitic sideband by 20 dBm.

However, in the case of receiving/transmitting paths of radar equipment, this superiority is not critical and is offset by increased power consumption.

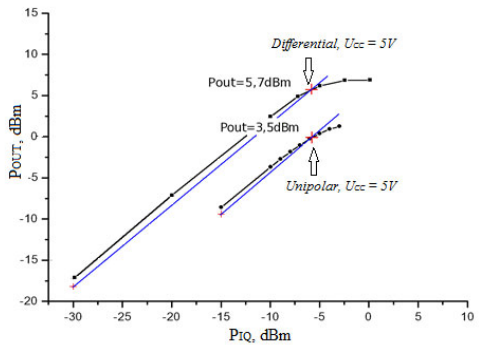


Fig. 5. The ratio of output 1 dB compression point to the level of the input modulating I- and Q-signals for 1327MA015

Also, consider the important and necessary parameter for monitoring - output signal level (power). Fig. 5 shows the ratio of the level (power) of the output signal of the modulator (output 1 dB compression point) P_{OUT} to the level of the input modulating I- and Q-signals at the frequency of the modulating signal f_{BB} = 10 MHz and at the frequency of the input signal F_I = 3 GHz for 1327MA015 chip.

To perform the comparative analysis, the ratio of the P_{OUT} output signal level (power) to input frequency F_I was obtained at the differential-mode of the ADL5375 chip (Fig. 6).

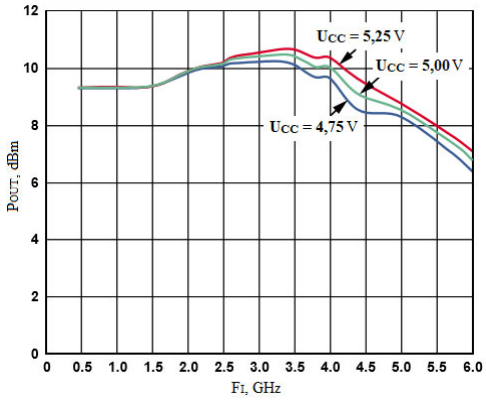


Fig. 6. The ratio of output 1 dB compression point to input frequency for ADL5375

From graphs 5 and 6 we can see that the output 1 dB compression point at differential-mode of the ADL5375 chip at the frequency of the input signal F_I = 3 GHz is greater than that of the 1327MA015 chip by 5 dBm. However, as the frequency of the input signal increases, the output 1 dB compression point of the ADL5375 chip drops significantly, and if F_I = 6 GHz reaches the values of the 1327MA015 chip.

Further, a brief parametric comparison of the quadrature demodulator 1327MB015 and the analog ADL5380 shown in Table 2 was performed [2, 3].

Table 2

The main characteristics of the 1327MB015 and ADL5380 chips

Chip designation	Output frequency range, GHz	Voltage conversion gain, dB	LO Drive Level, dBm	Modulation bandwidth MHz	1 dB intput compression, dBm	Noise figure, dB	Supply voltage, V	Current consumption, mA
1327MB015	0,1 – 6,0	3	–7 to +6	0 – 700	+6	20	5	155
ADL5380	0,4 – 6,0	6	–6 to +6	0 – 390	+8	15,5	5	195

As a result of the comparison of the modulators and demodulators, it has been found that the quadrature modulator 1327MA015 and demodulator 1327MB015 have an advantage over functional counterparts in power consumption, but worse in noise suppression within acceptable limits. For optimum carrier frequency and stray sideband suppression, subsequent modernization of quadrature modulators requires iterative adjustment between the phase and amplitude of the input signal. The zero value of the stray sideband can be achieved by adjusting the gain for each channel (I- and Q-channels). [5]

However, the main advantage of 1327MA015 and 1327MB015 chips is domestic production, which will allow enterprises that develop and manufacture radar equipment to qualitatively replace foreign analogs according to the concept of import substitution, but before replacing it is necessary to take into account the criticality of parametric deviations presented above.

By analyzing the obtained data, it may be concluded that the 1327MA015 chip has an advantage over the ADL5375 chip in power consumption, as well as in output signal stability under conditions of increased input signal frequency, but in order to improve the characteristics of the transmitting units of the equipment, it is necessary to improve suppression of the carrier frequency and parasitic sideband.

IV. Conclusions

As a result of the study, the main characteristics of quadrature modulators and demodulators were determined, equipment units in which ICs could be used were briefly defined, characteristics of the radar equipment were determined, which could be influenced by chip characteristics, and a method for evaluating the effectiveness of electronic component base interchangeability in radar equipment was tested.

The proposed method will allow to qualitatively improve the technology of evaluation of the interchangeability of ECB in radar equipment. This is achieved by detecting a critical set of IC parameters for each specific case of their application in radar equipment and by detailed analysis of their effect on equipment operability and reliability. The application of this method allows to reduce the number of unclaimed chips developed by domestic enterprises, to improve the quality of the developed ECB, as well as to show clearly which chips and with what parameters it is necessary to develop in order to meet the demand of enterprises producing radar equipment, as well as to obtain additional financial benefit from the production of chips.

Further research and improvement of the proposed methodological approach will make it possible to increase the efficiency of technical solutions for the interchangeability of chips in radar equipment based on a critical set of schematic and parametric characteristics.

Acknowledgments

The reported study was funded by RFBR, project number 19-37-90043.

References

[1] A. E. Alamov, I. Yu Balasov, and V. A. Bazhanov, “Import substitution of electronic components in the production of defense,” All-Russian economic journal, vol.11, pp. 17-27, 2015. [in Russian].

[2] URL: https://mri-progress.ru/ (checking date 04.04.2020).

[3] URL: https://www.analog.com/ (checking date 04.04.2020).

[4] R. Shabardin, N. Shabardina, I. Mukhin, D. Morozov and L. Nedashkovskiy. The development of quadrature modulators and demodulators 1800 mhz - 6 ghz with digital correction of parameters. Proceedings of the 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering, ElConRus 2019, 2019, pp.1612-1615.

[5] Pun K.-P. Et al. Circuit Design for Wireless Communications. Improved Techniques for Image Rejection in Wideband Quadrature Receivers. Boston, Dordrecht, London: Kluwer Academic Publishers, 2003.

УДК 621.384.5, 537.533

Разработка и апробация методики оценки эффективности взаимозаменяемости микросхем в радиолокационной аппаратуре на основании критической совокупности схемотехнических и параметрических характеристик

А.А. Шабанов[1], М.Г. Путря[2]

Национальный исследовательский университет «МИЭТ», Москва,

[1]shabanov.andr1@yandex.ru, [2]pmg@miee.ru

***Аннотация* — Данная статья посвящена исследованию, разработке и апробации методики оценки эффективности взаимозаменяемости микросхем в радиолокационной аппаратуре на основании критической совокупности параметрических и схемотехнических и параметрических характеристик модуляторов и демодуляторов отечественных микросхем и их зарубежных аналогов.**

***Ключевые слова* — электронная компонентная база, радиолокация, радиоэлектронная аппаратура, ракетно-космическая техника, СВЧ микроэлектроника.**

Литература

[1] Импортозамещение электронной компонентной базы в оборонном производстве [Текст] / А. Э. Алямов, И. Ю. Баласов, В. А. Бажанов // ЭКО : всероссийский экономический журнал. - 2015. - N 11. - С. 17-27.

[2] URL: https://mri-progress.ru/ (дата обращения 04.04.2020).

[3] URL: https://www.analog.com/ (дата обращения 04.04.2020).

[4] R. Shabardin, N. Shabardina, I. Mukhin, D. Morozov and L. Nedashkovskiy. The development of quadrature modulators and demodulators 1800 mhz - 6 ghz with digital correction of parameters. Proceedings of the 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering, ElConRus 2019, 2019, pp.1612-1615.

[5] Pun K.-P. Et al. Circuit Design for Wireless Communications. Improved Techniques for Image Rejection in Wideband Quadrature Receivers. Boston, Dordrecht, London: Kluwer Academic Publishers, 2003.

УДК 681.513.67 DOI: 10.31114/2078-7707-2020-3-151-157

Предисказители сигналов с прямым обучением для усилителей мощности

В.И. Джиган

Институт проблем проектирования в микроэлектронике РАН, г. Москва djigan@ippm.ru

***Аннотация* — Настоящая статья представляет две архитектуры адаптивных цифровых предисказителей сигналов (Digital Predistoters, DPD) для усилителей мощности радиопередатчиков. Это предисказители с прямым обучением. Они отличаются от известных тем, что обладают повышенной скоростью сходимости в случае использования в них адаптивного алгоритма по критерию наименьшего квадрата (Least Mean Square, LMS). Предлагаемое решение также позволяет использовать в качестве алгоритмов адаптации более эффективные по скорости сходимости и остаточной среднеквадратичной ошибке (СКО) в установившемся состоянии рекурсивные алгоритмы по критерию наименьших квадратов (Recursive Least Squares, RLS), которые не могут быть использованы в известных DPD с прямым обучением. Представлены результаты моделирования, демонстрирующие эффективность предложенного решения.**

***Ключевые слова* — цифровой предисказитель сигналов, Digital Predistorter (DPD), прямое обучение, нелинейный адаптивный фильтр, алгоритм по критерию наименьшего квадрата (Least Mean Square, LMS), рекурсивный алгоритм по критерию наименьших квадратов (Recursive Least Squares, RLS).**

I. Введение

Сегодня адаптивная обработка сигналов [1]-[5] играет все более важную роль в оборудовании радиотехнических систем различного назначения, где уже широко используются линейные или нелинейные адаптивные фильтры. Одной из задач, решаемых с помощью нелинейных адаптивных фильтров, является задача линеаризации усилителей мощности радиопередатчиков цифровых систем связи, в которых часто используются усилители работающее в режиме насыщения. Такие усилители обеспечивают не только высокий коэффициент полезного действия (КПД), но и вносят нелинейные искажения в передаваемые сигналы.

Проблема построения усилителей мощности, одновременно обладающих высоким КПД и малыми нелинейными искажениями, на сегодняшний день все еще не решена. Поэтому на практике устранение нелинейных искажений часто обеспечивается путем предискажения входных сигналов усилителей мощности. Предискажение осуществляется таким образом, что в результате выходной сигнал каскадного соединения «предисказитель и усилитель мощности» не содержит или практически не содержит нелинейных искажений [6]-[8]. Так как предискажение сигналов в общем случае осуществляется путем цифровой обработки сигналов, то такая технология называется цифровое предискажение, а устройства, реализующие эту технологию, – цифровыми предисказителями (Digital Predistorters, DPD).

Нелинейная передаточная функция DPD является обратной к нелинейной передаточной функции усилителя мощности. Как следствие, так называемые амплитудно-амплитудная (Amplitude-to-Amplitude Modulation, AM-AM) и амплитудно-фазовая (Amplitude-to-Phase Modulation, AM-PM) характеристики каскадного соединения «DPD и усилитель мощности» становятся линейными.

DPD обычно строятся на базе нелинейных адаптивных фильтров, в основе которых находятся многоканальные линейные адаптивные фильтры. Сегодня существует два основных вида DPD: с косвенным обучением (Indirect Learning, IL) [9]-[12] и с прямым обучением (Direct Learning, DL) [13]-[14].

В настоящей статье представлены две математически эквивалентные архитектуры DL DPD, отличающиеся от известных DL DPD-архитектур более высокой скоростью сходимости и меньшей среднеквадратичной ошибкой (СКО) в установившемся состоянии.

II. Предисказители с косвенным и прямым обучением

IL DPD обладают рядом известных недостатков. Так, входной сигнал IL DPD является зашумленным, поскольку поступает с выхода усилителя мощности, что смещает оптимальное решение задачи адаптивной фильтрации, лежащей в основе работы DPD. Также в таком DPD требуется использовать два фильтра: адаптивный и его копию. Ну а самое главное, что в этой архитектуре фильтр-копия DPD, осуществляющий предискажение сигнала, в каскаде с усилителем мощности, и усилитель мощности в каскаде с адаптивным DPD, осуществляющим оценку нелинейной передаточной характеристики усилителя, не коммутативны, так как являются нелинейными. Поэтому такая архитектура не является оптимальной.

Эти недостатки отсутствуют в DL DPD (см. рис. 1). Такой DPD с точки зрения архитектуры можно рассматривать как упрощённый вариант устройства активного шумоподавления (Active Noise Control, ANC) [15].

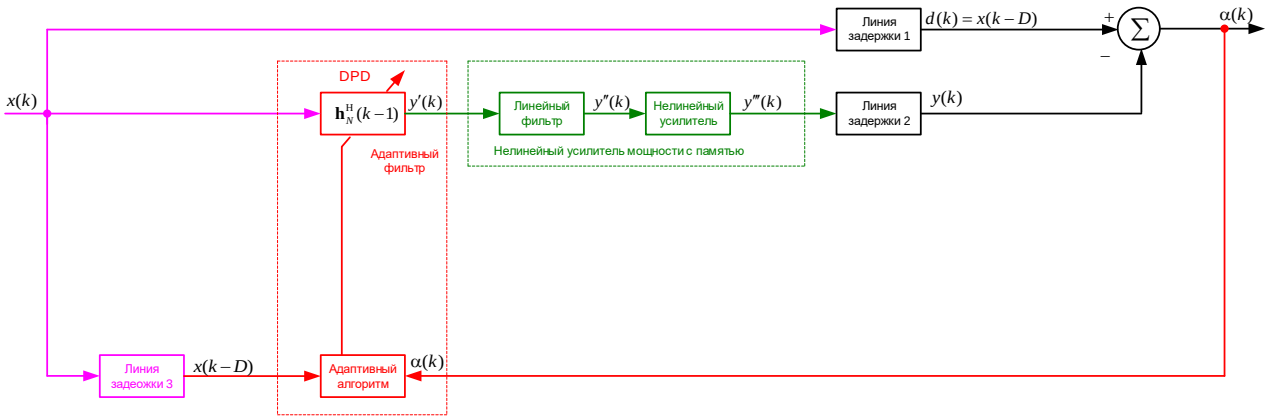


Рис. 1. Стандартный DL DPD

Архитектура нелинейного фильтра DPD определяется способом аппроксимации нелинейной передаточной функции усилителя мощности. Наиболее часто аппроксимация осуществляется с помощью полиномиальных фильтров, сплайнов или нейронных сетей [16]-[19]. Другие виды аппроксимации используются реже. Способы аппроксимации не являются предметом рассмотрения настоящей статьи. Независимо от способа аппроксимации, нелинейные адаптивные фильтры строятся на базе многоканальных линейных адаптивных фильтров, которые в процессе работы минимизируют среднеквадратичную ошибку (СКО) между требуемым и выходным сигналами.

В DPD обычно возникает задержка его выходного сигнала, обусловленная особенностями реализации (на рис. 1 они не показаны), что приводит к задержке выходного сигнала усилителя мощности $y'''(k)$. На рис. 1 эта задержка вносится «Линией задержки 2». Данная задержка вместе с задержкой собственно DPD (как фильтра) и нелинейного усилителя мощности, который в общем случае может быть представлен как нелинейный четырехполюсник с памятью, оценивается в D отсчетов обрабатываемых сигналов. Так как сигнал $y(k)$ появляется с задержкой в D отсчетов относительно передаваемого сигнала $x(k)$, то в задаче предискажения для формирования требуемого сигнала $d(k)$ адаптивного фильтра, сигнал $x(k)$ также должен быть задержан на D отсчетов, что осуществляется с помощью «Линии задержки 1», т.е. $d(k) = x(k - D)$. Из-за этого DPD должен функционировать таким образом, чтобы $y(k) \to x(k - D)$. Это достигается, если

$$|\alpha(k)| = |d(k) - y(k)| = |x(k - D) - y(k)| \to \min .$$

Следовательно, в данной задаче работа адаптивного алгоритма основана на использовании сигнала ошибки $\alpha(k)$, формируемого из задержанных сигналов. Поэтому сигнал $x(k)$, который также используется адаптивным алгоритмом для вычисления весовых коэффициентов DPD, должен быть задержан на такое же число отсчетов D. На рис. 1 эта задержка осуществляется с помощью «Линии задержки 3». Таким образом, входной сигнал для адаптивно алгоритма – это также задержанная копия сигнала $x(k)$.

Архитектура на рис. 1 – это стандартная архитектура DL DPD. В ее основе находится нелинейный адаптивный фильтр, который, как уже указывалось, может быть построен на базе многоканальных нелинейных фильтров, независимо от способа аппроксимации нелинейности. Для вычисления весовых коэффициентов адаптивного фильтра в DPD могут быть использованы любые адаптивные алгоритмы, базирующиеся на стратегиях градиентного поиска, такие как алгоритм по критерию наименьшего квадрата (Least Mean Square, LMS), его нормализованная версия (Normalized LMS, NLMS), а также ее обобщение – алгоритм аффинных проекций (Affine Projection, AP) или его быстрые, т.е. вычислительно эффективные версии (Fast AP, FAP) [4].

III. Проблемы предисказителей с прямым обучением

Из-за наличия «Линия задержки 3» в D отсчетов (см. рис. 1) максимально допустимый шаг сходимости градиентных алгоритмов $\mu_{\max}$ для адаптивных фильтров с комплексными весовыми коэффициентами, а случае DPD эти коэффициенты, как правило, являются комплексными, должен быть ограничен значением

$$\mu_{\max} = < \frac{2}{3\sum_{m=1}^{M} (N_m + D)\sigma_{x_m}^2}, \qquad (1)$$

где $\sigma_{x_m}^2$ – дисперсия входных сигналов $x_m(k)$ многоканального адаптивного фильтра, M – число каналов этого фильтра, а N_m – число весовых коэффициентов в каждом m-м канале.

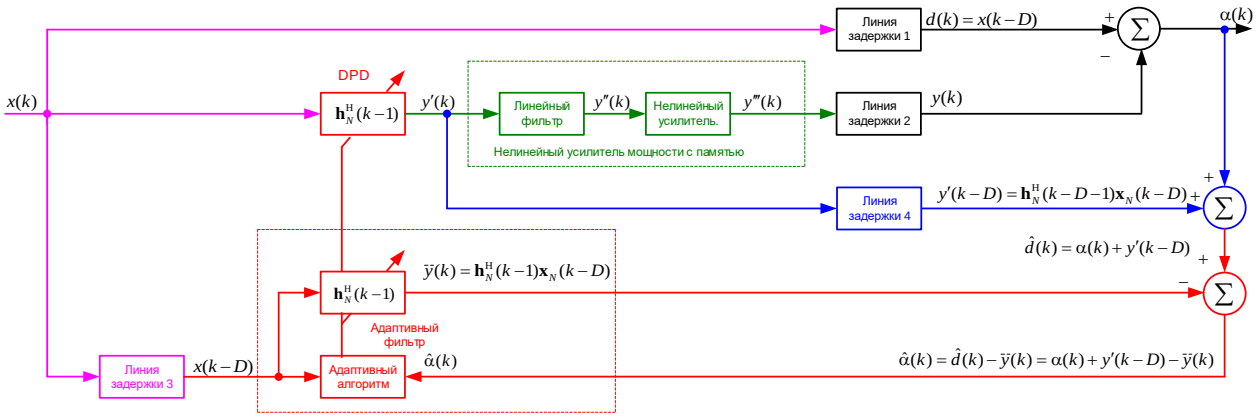


Рис. 2. Предлагаемый DL DPD

Очевидно, что значение (1) меньше, чем максимально допустимый шаг сходимости градиентных алгоритмов без задержки входного сигнала $x(k)$ [4]:

$$\mu_{\max} = < \frac{2}{3\sum_{m=1}^{M} N_m \sigma_{x_m}^2} . \qquad (2)$$

Это означает, что переходный процесс градиентных адаптивных фильтров, используемых в архитектуре (рис. 1) будет длиннее, чем в случае, если бы использовался шаг сходимости (2). Однако шаг сходимости (2) не может быть использован, так как он слишком большой, из-за чего адаптивный фильтр может стать нестабильным. Кроме того, более эффективные многоканальные адаптивные рекурсивные алгоритмы по критерию наименьших квадратов Recursive Least Squares (RLS) [4] не могут быть использованы в данной архитектуре, так как в них отсутствует параметр, подобный шагу сходимости, с помощью которого можно было бы замедлить процесс адаптации, обеспечивая тем самым стабильную работу.

IV. Архитектура модифицированных предисказителей с прямым обучением

В настоящей статье представлен вариант DL DPD, основанный на подходе, использованном в [20]–[22]. Для этого DL DPD (рис. 1) модифицируется таким образом, чтобы адаптивный фильтр и адаптивный алгоритм использовали одни и те же задержанные сигналы $x(k-D)$, как это показано на рис. 2.

В этом случае сигнал ошибки, используемый в адаптивном алгоритме образуется за два шага.

Шаг 1. Используя сигнал $\alpha(k)$, сигнал $d(k)$ оценивается как

$$\hat{d}(k) = d(k) - y(k) + y'(k-D) = \\ = \alpha(k) + y'(k-D),$$

где

$$y'(k-D) = \mathbf{h}_N^{\mathrm{H}}(k-D-1)\mathbf{x}_N(k-D) .$$

Шаг 2. Сигнал ошибки адаптивного алгоритма определяется как

$$\hat{\alpha}(k) = \hat{d}(k) - \bar{y}(k) ,$$

где

$$\bar{y}(k) = \mathbf{h}_N^{\mathrm{H}}(k-1)\mathbf{x}_N(k-D) .$$

Так как в установившемся состоянии $\mathbf{h}_N(k-D-1) \approx \mathbf{h}_N(k-1)$, то $y'(k-D) \approx \bar{y}(k)$, а

$$\hat{\alpha}(k) = \hat{d}(k) - \bar{y}(k) = \\ = \alpha(k) + y'(k-D) - \bar{y}\ (k) \approx \alpha(k). \qquad (3)$$

В настоящей статье в формулах строчными буквами обозначаются скалярные переменные и элементы векторов. Векторы и матрицы обозначаются жирными строчными и заглавными буквами, соответственно. Верхний индекс T обозначает операцию транспонирования вектора, а верхний индекс H – операцию эрмитова сопряжения, т.е. транспонирования вектора и комплексное сопряжение его элементов, обозначаемое символом $*$. Нижний индекс N обозначает число элементов в векторе или число элементов $N \times N$ в квадратной матрице.

Таким образом, выполнив указанную модификацию DPD (рис. 1), а также упростив ее, заменяя оценку импульсного отклика четырёхполюсника «DPD, линейный фильтр, нелинейный усилитель и линия задержки 2» одинаковыми «Линией задержки 1», «Линией задержки 3» и «Линией задержки 4», можно получить новую версию DL DPD в виде, представленном на рис. 2. В этой архитектуре DL DPD, адаптивный фильтр и адаптивный алгоритм используют один и тот же вектор входных сигналов $\mathbf{x}_N(k-D)$. Это, согласно (2), позволяет увеличить скорость сходимости градиентных LMS-, NLMS- и AP-алгоритмов за счет использования большего значения шага сходимости μ.

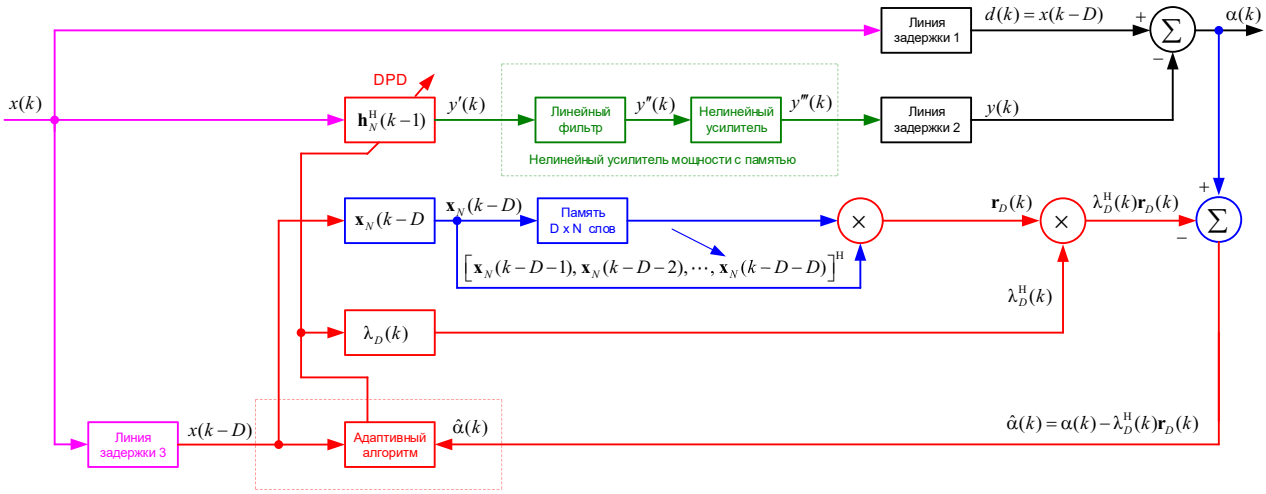


Рис. 3. Предлагаемый DL DPD при $N >> MD$

В архитектуре (рис. 1) могут быть использованы и RLS-алгоритмы адаптивной фильтрации, если корреляционная матрица $\mathbf{R}_N(k)=E\left\{\mathbf{x}_N(k)\mathbf{x}_N^{\mathrm{H}}(k)\right\}$ входных сигналов многоканального адаптивного фильтра не является вырожденной. Здесь $E\{\bullet\}$ – оператор усреднения.

В случае использования LMS-алгоритма, вычисление разности сигналов $y'(k-D)-\overline{y}(k)$, присутствующей в уравнении (3), может быть выполнено с малой вычислительной нагрузкой в DL DPD на рис. 3, который математически эквивалентен DL DPD на рис. 2. Для решения этой задачи используется метод [23].

Так как

$$\begin{aligned}&\hat{\alpha}(k)=\alpha(k)+\mathbf{h}_N^{\mathrm{H}}(k-D-1)\mathbf{x}_N(k-D)-\\&-\mathbf{h}_N^{\mathrm{H}}(k-1)\mathbf{x}_N(k-D)=\\&=\alpha(k)-\left[\mathbf{h}_N^{\mathrm{H}}(k-1)-\mathbf{h}_N^{\mathrm{H}}(k-D-1)\right]\mathbf{x}_N(k-D),\end{aligned}\tag{4}$$

то в (4), разность векторов $\mathbf{h}_N^{\mathrm{H}}(k-1)-\mathbf{h}_N^{\mathrm{H}}(k-D-1)$ можно вычислять рекурсивно. Чтобы это показать, для начала запишем уравнение вычисления весовых коэффициентов LMS-алгоритма LD DPD (рис. 2):

$$\mathbf{h}_N(k)=\mathbf{h}_N(k-1)+\mu(k)\,\mathbf{x}_N(k-D)\,\hat{\alpha}^*(k).\tag{5}$$

Уравнение (5) приведено в форме с переменным шагом сходимости $\mu(k)$. Его нужно учитывать в дальнейшем, если данный шаг меняется со временем (от отсчёта к отсчету) по определенному закону с целью уменьшения длительности переходного процесса адаптации в начале работе адаптивного фильтра и остаточной СКО в установившемся режиме [4].

Используя (5), вектор $\mathbf{h}_N$ для D предшествующих отсчетов можно представить с помощью D уравнений как

$$\begin{aligned}&\mathbf{h}_N(k-1)=\mathbf{h}_N(k-2)+\\&+\mu(k-1)\,\mathbf{x}_N(k-D-1)\,\hat{\alpha}^*(k-1),\end{aligned}\tag{6}$$

$$\begin{aligned}&\mathbf{h}_N(k-2)=\mathbf{h}_N(k-3)+\\&+\mu(k-2)\,\mathbf{x}_N(k-D-2)\,\hat{\alpha}^*(k-2),\end{aligned}\tag{7}$$

$$\vdots$$

$$\begin{aligned}&\mathbf{h}_N(k-D)=\mathbf{h}_N(k-D-1)+\\&+\mu(k-D)\,\mathbf{x}_N(k-D-D)\,\hat{\alpha}^*(k-D).\end{aligned}\tag{8}$$

Затем, используя (7) – (8), уравнение (6) можно представить как

$$\begin{aligned}&\mathbf{h}_N(k-1)=\\&=\mu(k-1)\,\mathbf{x}_N(k-D-1)\,\hat{\alpha}^*(k-1)+\\&+\mu(k-2)\,\mathbf{x}_N(k-D-2)\,\hat{\alpha}^*(k-2)+\\&+\ldots+\\&+\mu(k-D)\,\mathbf{x}_N(k-D-D)\,\hat{\alpha}^*(k-D)+\\&+\mathbf{h}_N(k-D-1).\end{aligned}\tag{9}$$

Тогда, используя (9), разность векторов весовых коэффициентов (4) можно записать как

$$\begin{aligned}&\mathbf{h}_N(k-1)-\mathbf{h}_N(k-D-1)=\\&=\left[\mathbf{x}_N(k-D-1),\mathbf{x}_N(k-D-2),\ldots.,\right.\\&\left.\ldots.,\mathbf{x}_N(k-D-D)\right]\times\\&\times\begin{bmatrix}\mu(k-1)\;\hat{\alpha}^*(k-1)\\\mu(k-2)\;\hat{\alpha}^*(k-2)\\\vdots\\\mu(k-D)\,\hat{\alpha}^*(k-D)\end{bmatrix}.\end{aligned}\tag{10}$$

Теперь, используя (10), скалярное произведение векторов в (4) можно вычислить как

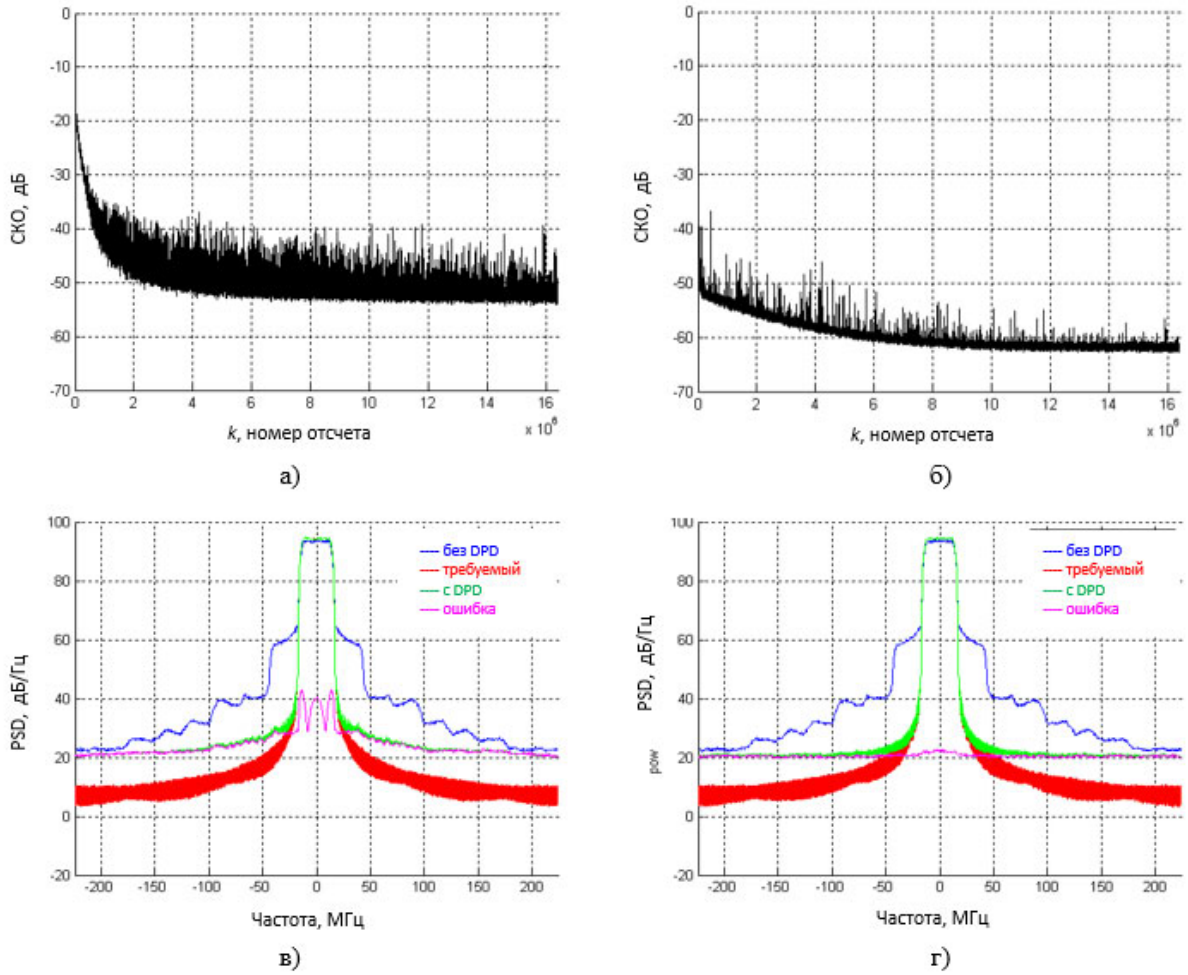


Рис. 4. Результаты моделирования: слева – стандартный DL DPD, справа – предлагаемый DL DPD, верхний ряд – переходные процессы в терминах СКО, нижний ряд – PSD обрабатываемых сигналов в установившемся режиме

$$\begin{aligned}&\left[\mathbf{h}_N^{\mathrm{H}}(k-1)-\mathbf{h}_N^{\mathrm{H}}(k-D-1)\right]\mathbf{x}_N(k-D)=\\&=\left[\mu(k-1)\,\hat{\alpha}(k-1),\ \mu(k-2)\,\hat{\alpha}(k-2),\ldots.,\right.\\&\left.\ldots,\mu(k-D)\,\hat{\alpha}(k-D)\right]\times\\&\times\begin{bmatrix}r_1(k-D-1)\\r_2(k-D-2)\\\vdots\\r_D(k-D-D)\end{bmatrix}=\lambda_D^{\mathrm{H}}(k)\mathbf{r}_D(k),\end{aligned}\tag{11}$$

где

$$\mathbf{r}_D(k)=\begin{bmatrix}\mathbf{x}_N^{\mathrm{H}}(k-D-1)\\\mathbf{x}_N^{\mathrm{H}}(k-D-2)\\\vdots\\\mathbf{x}_N^{\mathrm{H}}(k-D-D)\end{bmatrix}\mathbf{x}_N(k-D),\tag{12}$$

а

$$\begin{aligned}&\lambda_D(k)=\\&=\left[\ \mu(k-1)\,\hat{\alpha}^*(k-1),\ \mu(k-2)\,\hat{\alpha}^*(k-2),\ldots.,\right.\\&\left.\ldots.,\mu(k-D)\,\hat{\alpha}^*(k-D\ \right]^{\mathrm{T}}.\end{aligned}\tag{13}$$

Таким образом, используя (11) – (13), уравнение (4) можно вычислять как

$$\hat{\alpha}(k)=\alpha(k)-\lambda_D^{\mathrm{H}}(k)\mathbf{r}_D(k)\,.\tag{14}$$

Если $N >> DM$, то используя (14) вместо (4), можно уменьшить арифметическую сложность DL DPD на основне LMS-алгоритма.

Аналогичные вычисления могут быть использованы в NLMS- и AP-алгоритмах адаптивной фильтрации.

V. Моделирование эквалайзера

Для оценки качества предлагаемого DL DPD было проведено его моделирование с использованием LMS-алгоритма адаптивной фильтрации. Один из

результатов моделирования приведен на рис. 4. Для архитектуры (рис. 1), шаг сходимости был выбран из условия (1), а для архитектуры (рис. 2), – из условия (2). В моделировании были использованы модель усилителя мощности с некоторым типом нелинейности и способом ее аппроксимации. Величина задержки D равнялась 1000 отсчетам обрабатываемых сигналов.

На рис. 4а) и рис. 4б) приведены графики переходных процессов в терминах СКО $E\left\{ |\alpha(k)|^2 \right\}$. Из графиков видно, что известный DL DPD (рис. 1) существенно хуже по длительности переходного процесса и СКО в установившемся состоянии чем предлагаемый DL DPD (рис. 2). При более длинном наблюдении установлено, что переходный процесс в DPD (рис. 2) примерно в 50 раз короче, чем в DPD (рис. 1).

На рис. 4в) и рис. 4г) приведены графики спектральной плотности мощности (Power Spectral Density, PSD) в различных точках исследуемых устройств в установившемся состоянии. Здесь синими кривыми обозначены PSD сигнала на выходе нелинейного усилителя без DPD. Видно, что в этом сигнале образуются паразитные интермодуляционные составляющие, обусловленные нелинейной природой усилителя мощности. PSD сигнала на выходе усилителя мощности с DPD (зеленая кривая) практически совпадает с PSD передаваемого сигнала в основной полосе частот. Однако видно, что PDS (фиолетовая кривая) сигнала ошибки (разности сигналов на выходе усилителя мощности с DPD и на входе DPD) зависит от архитектуры DPD. Эта ошибка в DPD (рис. 1) больше чем в DPD (рис. 2).

Аналогичные результаты для RLS-алгоритма (в работе не представлены) показывают, что в таких же условиях моделирования переходный процесс в DPD (рис. 2) примерно в 1500 раз короче, чем в DPD (рис. 1), на базе LMS-алгоритма. И как уже указывалось, в архитектуре (рис. 1) RLS-алгоритмы не могут быть использованы вообще.

VI. Заключение

Таким образом, в настоящей работе продемонстрированы работоспособность предлагаемого DL DPD, его существенно большая скорость сходимости и меньшая СКО в установившемся состоянии при реализации DPD на основе LMS- и RLS-алгоритмов адаптивной фильтрации по сравнению с известной архитектурой DL DPD при ее реализации на основе LMS-алгоритма.

Литература

[1] Sayed A.H. Fundamentals of adaptive filtering. John Wiley and Sons, Inc., 2003. – 1125 p.

[2] Diniz P.S.R. Adaptive filtering algorithms and practical implementation, 4-th ed. Springer Science + Business Media, 2013. 652 p.

[3] Farhang-Boroujeny B. Adaptive filters theory and applications, 2-nd ed. John Willey & Sons, 2013. 778 p.

[4] Джиган В.И. Адаптивная фильтрация сигналов. Теория и алгоритмы. М.: Техносфера, 2013. 528 с.

[5] Haykin S. Adaptive filter theory, 5-th ed. Pearson Education Inc., 2014, 889 p.

[6] Nezami M.K. Fundamentals of power amplifier linearization using digital pre-distortion // High Frequency Electronics, 2004. V. 3. № 8. P. 54–59.

[7] Luo F.-L. Digital front-end in wireless communications and broadcasting. Cambridge University Press, 2011. 763 p.

[8] Gharaibeh K.M. Nonlinear distortion in wireless systems: modeling and simulation with MATLAB. – John Wiley & Sons Ltd., 2012. – 355 p.

[9] Gao F.X.Y., Snelgrove W.M. Adaptive linearization of a loudspeaker // Proceedings of the International Conference on Acoustics, Speech, and Signal Processing. 1991. P. 3589–3592

[10] Eun C., Powers E.W. A new Volterra predistorter based on indirect learning architecture // IEEE Transactions on Signal Processing. 1997. V. 4. № 1. P. 223–227.

[11] Lim Y.H., Cho Y.S., Cha I.W., Youn D. H. Adaptive nonlinear prefilter for compensation of distortion in nonlinear systems // IEEE Transaction on Signal Processing. 1998. V. 46. № 6. P. 1726–1730.

[12] Ding L., Zhou G.T., Morgan D.R., Ma Z., Kenney J.S. A robust digital baseband predistorter constructed using memory polynomial // IEEE Transaction on Comminications. 2004. V. 52. № 1. P. 159–165.

[13] Ding Y., Liu Y., Nikhamhang, Sano A. Adaptive linearization of power amplifier in OFDM systems // SICE-ICASE International Joint Conference. 2006. P. 751–754.

[14] Zou D., DeBrunner V.E., Novel adaptive nonlinear predistorters based on the direct learning algorithms // IEEE Transactions on Signal Processing. 2007. V. 55. № 1. P. 120–133.

[15] Kuo S.M., Morgan D.S. Active noise control // Proceedings of the IEEE. 1999. V. 87. № 6. P. 943–973.

[16] Mathews V.J., Sicuranza G.L. Polynomial signal Processing. Wiley-Interscience, 2000. 452 p.

[17] Scarpiniti M., Comminiello D., Parisi R., Uncini A. Nonlinear spline adaptive filtering // Signal Processing. 2013. V. 93. № 4. P. 772–783.

[18] Solovyeva E.B. Neural networks as nonlinear compensator models for digital communication systems // International Conference on Computer Technologies in Physical and Engineering Applications. 2014. V. 93. № 4. 2 p.

[19] Comminiello D., Principe J.C., Eds. Adaptive learning methods for nonlinear system modeling. Elsevier Inc., 2018. 367 p.

[20] Bouchard M., Quednau S. Multichannel Recursive-Least-Squares algorithms and Fast-Transversal-Filter algorithms for active noise control and sound reproducing system // IEEE Transactions on Speech and Audio Processing. 2000. V. 8. № 5. P. 606–618.

[21] Djigan V.I., Petrovsky A.A., Jingfan Qin, Yang Song. Modified hybrid active noise control system // Proceedings of the IEEE East-West Design and Test Symposium. 2015. P. 82–87.

[22] Djigan V.I., Dolgikh D.A., Smekalov A.I., Shi H. Predistortion device // United State Patent № US 10171041 B2. H 03F 1/32. Publ. 01.01.2019. 36 p.

[23] Poltman R.D.. Conversion of the delayed LMS algorithm into the LMS algorithm // IEEE Signal Processing Letters.

Direct Learning Digital Predistorters for Power Amplifiers

V.I. Djigan

Institute for design problems in microelectronics of Russian Academy of Sciences

Moscow, djigan@ippm.ru

***Abstract* — The power amplifier linearization problem arises in equipment of communication systems, where an amplifier of a transmitter has to operate in a saturation region, providing a high efficiency, but suffering from nonlinear distortions. The problem is often solved by means of the power amplifier input signal predistortion in a way, when the output signal of the predistorter and power amplifier in cascade becomes distortionless. As the predistortion is generally carried out in the digital domain, the technology is called a digital predistortion and the predistortion device is called a Digital Predistorter (DPD). A DPD produces a nonlinear transfer function, which is an inverse to that of a power amplifier. This action linearizes the Amplitude-to-Amplitude Modulation (AM-AM) and Amplitude-to-Phase modulation (AM-PM) functions of the DPD and power amplifier in cascade. DPDs are generally built on the non-linear adaptive filters base, which are represented by multichannel linear filters. Presently there are two main kinds of the DPDs: with indirect learning and with direct learning. The given paper presents a new direct learning DPD and demonstrates its efficiency comparing with the traditional direct learning DPD. The new DPD is presented in two mathematically equivalent forms. One of the forms proposes an efficient implementation, if DPD output signal delay in samples is much less then total number of weights of an adaptive filter, based on Least Mean Square (LMS) algorithm. The DPD simulation results are presented. The results in form of transient response an power spectral density graphs demonstrate the proposed DPD efficiency when the LMS and Recursive Least Squares (RLS) adaptive filtering algorithms are used comparing with traditional direct learning DPD, which can use only gradient search adaptive filtering algorithms like LMS, Normalized LMS (NLMS) or Affine Projection (AP).**

***Keywords* — Digital Predistorter (DPD), direct learning, nonlinear adaptive filter, Least Mean Square (LMS) algorithm, Recursive Least Squares (RLS) algorithm.**

REFERENCES

[1] Sayed A.H. Fundamentals of adaptive filtering. John Wiley and Sons, Inc., 2003. – 1125 p.

[2] Diniz P.S.R. Adaptive filtering algorithms and practical implementation, 4-th ed. Springer Science + Business Media, 2013. 652 p.

[3] Farhang-Boroujeny B. Adaptive filters theory and applications, 2-nd ed. John Willey & Sons, 2013. 778 p.

[4] Djigan V.I. Adaptivnaya fil'traciya signalov. Teoriya i algoritmy (Adaptive filtering: theory and algorithms). Moscow: Tekhnosfera, 2013, 528 p.

[5] Haykin S. Adaptive filter theory, 5-th ed. Pearson Education Inc., 2014, 889 p.

[6] Nezami M.K. Fundamentals of power amplifier linearization using digital pre-distortion // High Frequency Electronics, 2004. V. 3. № 8. P. 54–59.

[7] Luo F.-L. Digital front-end in wireless communications and broadcasting. Cambridge University Press, 2011. 763 p.

[8] Gharaibeh K.M. Nonlinear distortion in wireless systems: modeling and simulation with MATLAB. – John Wiley & Sons Ltd., 2012. – 355 p.

[9] Gao F.X.Y., Snelgrove W.M. Adaptive linearization of a loudspeaker // Proceedings of the International Conference on Acoustics, Speech, and Signal Processing. 1991. P. 3589–3592

[10] Eun C., Powers E.W. A new Volterra predistorter based on indirect learning architecture // IEEE Transactions on Signal Processing. 1997. V. 4. № 1. P. 223–227.

[11] Lim Y.H., Cho Y.S., Cha I.W., Youn D. H. Adaptive nonlinear prefilter for compensation of distortion in nonlinear systems // IEEE Transaction on Signal Processing. 1998. V. 46. № 6. P. 1726–1730.

[12] Ding L., Zhou G.T., Morgan D.R., Ma Z., Kenney J.S. A robust digital baseband predistorter constructed using memory polynomial // IEEE Transaction on Comminications. 2004. V. 52. № 1. P. 159–165.

[13] Ding Y., Liu Y., Nikhamhang, Sano A. Adaptive linearization of power amplifier in OFDM systems // SICE-ICASE International Joint Conference. 2006. P. 751–754.

[14] Zou D., DeBrunner V.E., Novel adaptive nonlinear predistorters based on the direct learning algorithms // IEEE Transactions on Signal Processing. 2007. V. 55. № 1. P. 120–133.

[15] Kuo S.M., Morgan D.S. Active noise control // Proceedings of the IEEE. 1999. V. 87. № 6. P. 943–973.

[16] Mathews V.J., Sicuranza G.L. Polynomial signal Processing. Wiley-Interscience, 2000. 452 p.

[17] Scarpiniti M., Comminiello D., Parisi R., Uncini A. Nonlinear spline adaptive filtering // Signal Processing. 2013. V. 93. № 4. P. 772–783.

[18] Solovyeva E.B. Neural networks as nonlinear compensator models for digital communication systems // International Conference on Computer Technologies in Physical and Engineering Applications. 2014. V. 93. № 4. 2 p.

[19] Comminiello D., Principe J.C., Eds. Adaptive learning methods for nonlinear system modeling. Elsevier Inc., 2018. 367 p.

[20] Bouchard M., Quednau S. Multichannel Recursive-Least-Squares algorithms and Fast-Transversal-Filter algorithms for active noise control and sound reproducing system // IEEE Transactions on Speech and Audio Processing. 2000. V. 8. № 5. P. 606–618.

[21] Djigan V.I., Petrovsky A.A., Jingfan Qin, Yang Song. Modified hybrid active noise control system // Proceedings of the IEEE East-West Design and Test Symposium. 2015. P. 82–87.

[22] Djigan V.I., Dolgikh D.A., Smekalov A.I., Shi H. Predistortion device // United State Patent № US 10171041 B2. H 03F 1/32. Publ. 01.01.2019. 36 p.

[23] Poltman R.D.. Conversion of the delayed LMS algorithm into the LMS algorithm // IEEE Signal Processing Letters.

УДК 004.27 DOI: 10.31114/2078-7707-2020-3-158-164

Архитектура процессоров большой разрядности: проблемы и решения

В.В. Ерохин

АО «НИИМА» ПРОГРЕСС», г. Москва, vladimir.v.erokhin@gmail.com

***Аннотация* — Описаны проблемы, возникающие при проектировании перспективных процессорных архитектур большой разрядности. Рассмотрены принципы организации таких процессоров, на этой основе предложены архитектура процессоров большой разрядности и применение этих архитектур.**

***Ключевые слова* — архитектура, процессор, система команд.**

I. Введение

Несмотря на то, что в настоящее время существует большое количество различных процессоров, в мире постоянно появляются новые архитектуры, постоянно идет поиск новых решений. Одной из наиболее важных причин этого является требование увеличения точности, а значит, разрядности регистров процессора. Примеры привести очень легко. Когда-то считались достаточными процессоры с 16-разрядным словом, далее появились 32-битые процессоры, но и они с определенного момента стали уступать место 64-битным. А в последнее время появились и 128-битные архитектуры. Можно предполагать, что в недалеком будущем возникнет потребность в процессорах еще большей разрядности. Как построить систему команд таких процессоров? Какие принципы следует положить в основу построения этой системы команд? Как не потерять при этом возможности «старых» процессоров в обработке данных небольшой разрядности?

Данная работа — это попытка ответить на перечисленные вопросы.

В табл. 1 приведены используемые в работе обозначения.

II. Архитектура процессоров RISC**2 (R^2T)

A. Требования к архитектуре R^2T

Развитие современных процессоров идет по нескольким путям.

Фирмы-монополисты, владеющие правами на архитектуру процессоров определенных типов, как правило, развивают свои архитектуры «снизу-вверх». Изначально 32-битная архитектура ARM, MIPS, и, будем считать, Intel, постепенно преобразовывалась в 64 битную (миграции в меньшую разрядность менее характерны, потому рассматривать их нет смысла). Это объясняется ростом реальной потребности в точности вычислений, и, что не последнее в этом деле, истечением сроков патентной защиты архитектур. Фирмы – владельцы патентов расширяют разрядность и одновременно архитектуру своих процессоров и вновь защищают их патентами. Делается это далеко не всегда обоснованно с точки зрения необходимости таких изменений для реального развития архитектуры и тем более уж никак для удобства пользователя. В результате, когда-то вполне осмысленные архитектуры разрастаются настолько, что именовать их RISC становится явной натяжкой.

Второй подход заключается в развитии открытых архитектур, среди которых наиболее известны OpenRISC и RISC-V, в которых нет необходимости безосновательно наращивать число команд. Но и эти архитектуры не могут быть застывшими, поскольку требования к процессорам все время меняются.

В частности, процессор RISC-V расширяет разрядность процессора до 128 при относительно небольшом числе операционных кодов. Но рано или поздно и эти показатели станут недостаточными.

Кроме увеличения разрядности, можно указать несколько тенденций в развитии, которые, в частности, отмечены в описании RISC-V. [1]

Это обеспечение большой адресуемой памяти, которая в дальнейшем может потребоваться в реальности, и наконец, сокращение числа команд процессора за счет удаления излишних, то есть, по существу, возврате к принципам RISC, а также реализация архитектур SIMD, VLIW в рамках расширения архитектуры.

Что касается длины командного слова, можно отметить, что максимальная длина машинного слова в известных процессорах не превышает 32, исключая специализированные архитектуры VLIW.

В целом для практически неограниченного развития архитектуры можно сформулировать требования, которым она должна удовлетворять:

- архитектура не должна задавать ограничения на дальнейшее увеличение разрядности;
- адресуемая память должна иметь возможность расти с увеличением разрядности процессора;
- число команд не должно расти с увеличением разрядности процессора;

• длину командного слова сверх обычной (32) желательно не увеличивать за исключением архитектур типа VLIW.

Итак, для разработки основ архитектуры перспективных процессоров R^2T надо решить следующие задачи:

- обеспечить неограниченную разрядность процессора;

- обеспечить неограниченное адресное пространство;

- разработать систему команд, не зависящую от разрядности процессора и этим обеспечить совместимое ПО для процессоров разной разрядности снизу-вверх;

Таблица 1

Используемые обозначения

w8, w16, w32, w64, w128, w256, w512, w1024, w2048…	Размеры операнда, соответственно: байт, 16-битное слово, 32-битное слово, 64-битное слово, 128-битное слово, 256-битное слово, 512-битное слово, 1024-битное слово, 2048-битное слово.
qualifier	Параметр команды, определяющий размер операнда, к которому относится операция. Допустимые значения {**w8, w16, w32, w64, w128, w256, w512, w1024, w2048, etc.**}
offset**xx**	Смещение адреса в виде знаковой константы длиной **xx** бит, содержащейся непосредственно в командах
imm**xx**	Непосредственные данные со знаком или без знака (определяется командой), содержащиеся в коде команды длиной **xx** бит.
<<	Сдвиг влево на указанное далее число разрядов
==	Символ эквивалентности
c(xlen-1)	бит переноса из разряда (xlen-1)
succ	Следующий элемент, в данном тексте подразумевается следующий по номеру регистр

B. Основные принципы построения архитектуры R^2T

Одна из главных проблем при переходе к процессору большей разрядности – это работа с константами, которые используются в операциях с непосредственными операндами. Если процессор имеет 32-битные команды, то максимальная длина константы составляет, как правило, не более 24 бит. Это может быть приемлемым для 32 битных, менее приемлемо для 64 битных процессоров, но совсем плохо работает для процессоров с длиной операндов, большей 64 бит.

Сформулируем **Принцип 1**.

Константы можно только загружать, в том числе и непосредственно (за исключением небольшого числа операций).

Еще одна проблема в традиционных архитектурах – выделение операндов некоторых разрядностей, как правило, равных степени двойки, при выполнении различных операций, таких как сложение, вычитание, умножение, деление. Например, сложение слова, сложение двойного слова и т. д. При увеличении разрядности процессора число таких операндов, для которых существуют отдельные команды, растет, особенно учитывая операции с непосредственными данными.

Отсюда **Принцип 2**.

Отказ от понятия слова в плане выделения данных некоторой размерности в операциях.

То есть, операции с байтом, двумя байтами, четырьмя байтами… должны быть полностью равноценны в смысле отсутствия специальных команд для работы с отдельными размерами данных в одинаковых операциях, вроде (add, dadd), …

И наконец, **Принцип 3.**

Набор инструкций (базовый и расширения системы команд) одинаков для всех вариантов процессоров от 32 (16 или даже 8) битных до максимума и, желательно, всех расширений архитектуры.

Приведенные принципы позволяют описать требования, предъявляемые к архитектуре процессоров R^2T:

а) Количество регистров общего назначения – 32.

Обычно вопрос о числе регистров обходят при описании процессоров, выбор остается без пояснений.

Однако, имеются исследования, которые показывают, что 32 регистра вполне достаточно для подавляющего числа приложений, а 16 регистров не очень сильно ограничивают возможности процессора, оценивая разницу в производительности процессора с 16 и 32 регистрами в 5 процентов. [2]

Исходя из этого число регистров в процессоре выбрано 32, а для процессоров встраиваемых предложений – 16.

b) Разрядность регистров может варьироваться от 32 (реально 16 или даже 8) до 2048 и выше.

c) Команды располагаются в памяти строго выравненными на 32-разрядное слово. Передача управления выполняется строго на границу 32-разрядного слова. Значения смещения в командах перехода трактуется применительно к 32-разрядному слову. Сказанное относится к 32-битным командам. В командах 16-битных все выравнивания осуществляется на границу двух байтов (четные адреса).

Последнее правило сильно упрощает выборку команд.

Теперь можно перейти к проектированию системы команд процессорной архитектуры R^2T.

Сложно сказать что-либо о принципах выбора базового и дополнительных наборов команд, которыми руководствовались создатели RV, но следует обозначить эти принципы достаточно четко.

Во-первых, каждый, в том числе и базовый набор должен легко реализовываться на одном компактном устройстве.

Для выполнения операций умножения требуется аппаратный умножитель, если, разумеется, не выполнять его микропрограммным способом. Умножитель – это отдельное довольно объемное устройство. Умножение может выполняться за один или за несколько тактов, в пределе за N тактов, где N – разрядность процессора.

Команда деления тоже требует отдельного и тоже довольно большого устройства, которое никак не может разделять аппаратуру с другими устройствами. Команда деления также может выполняться последовательно за N тактов, если результат получается один бит за такт или быстрее, если за один такт будет получено несколько бит. В принципе, можно получить результат и за один такт, но это будет довольно медленно с точки зрения длительности такта и затратно при N > 16. [3]

То же самое можно сказать и о команде подсчета лидирующих единиц, с той оговоркой, что по сложности устройство подсчета лидирующих единиц много проще умножителя и делителя.

Дополнительным критерием для выбора расширенных наборов команд является возможность разделения аппаратных ресурсов при реконфигурации процессоров.

C. Формат команд процессоров для встраиваемых приложений

К процессорам для встраиваемых приложений по сравнению с «обычными» процессорами предъявляют особые требования.

Во-первых, он должен быть максимально компактным, поскольку площадь может быть одним из важнейших факторов.

Во-вторых, как правило, такие процессоры используются в контроллерах, в которых может очень важным время реакции на внешние события, то есть он должен быть процессором «реального времени».

Поэтому для встраиваемых приложений разработана компактная 16-битная система команд, позволяющая обойтись минимальным использованием обычных 32-битных команд для разработки программ.

Итак, можно описать основные особенности архитектуры встраиваемых процессоров.

Процессор для встраиваемых приложений имеет:

- 16 регистров;
- разрядность регистров – от 8 до 64 бит;
- несколько наборов регистров для обеспечения работы с прерываниями в реальном масштабе времени (от 1 до 16 наборов);
- система команд используется в основном редуцированная, то есть 16-битовая, могут быть использованы любые команды из основного набора.
- команды из сокращенного набора выравниваются на 2 байта, если используются дополнительные команды из основного набора, то они выравниваются на 4 байта;
- адреса назначения в командах перехода из сокращенного набора команд выравниваются на 2 байта, в командах из основного набора, если они используются, - на 4 байта.

В принципе, достаточно из основного набора добавить всего лишь несколько команд для нормальной работы процессора встраиваемых приложений, однако, процессор должен выполнять все команды основного набора. При этом в последних поле регистров сокращается с 5 до 4 битов, старший бит игнорируется.

Еще раз отметим, что обычный процессор должен выполнять все команды набора для встраиваемых приложений.

D. Операции процессоров R^2T

Приведем операции, принятые в архитектуре R^2T:

1) *арифметические*

add rd, rs1, rs2 –> rd = rs1 + rs2

sub rd, rs1, rs2 –> rd = rs1 - rs2

sext qualifier, rd, rs – расширение знака операнда. rd = sign_extend(rs).

2) *Контроль арифметических операций add и sub.*

oflchck qualifier – осуществляет проверку переполнения сразу после арифметических операций сложения и вычитания. В случае переполнения выполняется исключение по переполнению. В качестве адреса возврата сохраняется значение IP в регистре 1F (0F для встраиваемых предложений).

Очевидно, такой подход для регистрации переполнения требует сохранения вектора переносов. Он устанавливается только после операций сложения и вычитания, в других ситуациях является неопределенным. Этот вектор недоступен для программиста.

Переполнение в операциях на байтах, например, будет в случае, если c(6) xor c(7) = 1. Здесь c(6) – перенос из 6-го разряда, а c(7) – перенос из 7-го разряда в результате суммирования.

Такой подход позволяет выполнять операции не только над продекларированными размерностями данных (слово, двойное слово, четверное слово), как это сделано в RV, но и над операндами любой размерности, в том числе типа w8, w16. При увеличении размера слова (в эпоху i8086-80286 размер слова считался равным 16, далее он стал равен 32, однако в связи с дрейфом в сторону больших разрядностей не исключено, что слово будет длиной 64 бита, а то и 128) команды не меняются.

3) логические

and rd, rs1, rs2 –> rd = rs1 & rs2

or rd, rs1, rs2 –> rd = rs1 | rs2

xor rd, rs1, rs2 –> rd = rs1 ^ rs2

not rd, rs1 –> rd = !rs1

shl rd, rs1, rs2 –> rd = rs1 <- rs2 сдвиг логический влево на (rs2) разрядов

shr rd, rs1, rs2 -> rd = rs1 -> rs2 сдвиг логический вправо на (rs2) разрядов

sar rd, rs1, rs2 –> rd = rs1 -> rs2 сдвиг арифметический вправо на (rs2) разрядов

4) загрузка

mvs rd, imm16 – Записать непосредственные данные в R1 со сдвигом влево (вдвинуть 16 бит слева)

5) передачи управления

a) безусловные переходы:

auipc rd, offset20 - операция загрузки в rd значения pc + (offset20<<12).

jal rd, offset20 - переход по адресу pc + offset20, адрес возврата записать в rd

jalr rd, rs, offset11 - переход по адресу rs+ offset11, адрес возврата записать в rd

b) условные переходы:

bz rs, offset16 - если rs = 0, перейти по адресу pc + offset16

bg rs, offset16 - если rs > 0, перейти по адресу pc + offset16. rs – целое со знаком.

bgu rs, offset16 - если rs > 0, перейти по адресу pc + offset16. rs – целое без знака.

6) операции чтения/записи

ld qualifier, rd, rs, offset9 – читать данные в rd по адресу rs с расширением знака.

st qualifier, rd, rs, offset9 – записать данные из rs по адресу rd.

Адреса должны быть выравнены: адрес **w16** имеет 0 в младшем разряде, адрес **w32** – два нуля, **w64** – три и т. д. В случае нарушения этого требования генерируется исключение по адресу.

Все команды могут использоваться в SIMD и векторных процессорах.

7) Операции чтения/записи в регистры управления/статуса процессора

csrwr qualifier, rd, rs

csrrd qualifier, rd, rs

В процессоре предполагается наличие пользовательского регистрового файла регистров управления/статуса CSR. В связи с тем, что разрядность процессора может варьироваться от 8 и выше, а разрядность регистров CSR целесообразно ограничить снизу 32 битами, необходимо организовать побайтовый доступ из, допустим, 8-разрядного процессора к 64-битному CSR. Для этого необходим параметр **qualifier**, который определяет место записи в регистре с адресом rd || 000000b. То есть, в этом случае каждому регистру CSR присваивается диапазон адресов от rd || 000000b до rd || 111111b.

Команда csrwr осуществляет запись из регистра rs в регистр CSR rd.

Команда csrrd осуществляет чтение из регистра CSR rd в регистр rs.

8) системные

ecall – вызов операционной системы, например, при окончании работы программы.

ebreak – Инструкция ebreak используется отладчиками, чтобы вернуть управление назад в среду отладки.

Примечание. Данные команды имеют длину 16 бит. При использовании с 32-битным основным набором команд следует использовать после любой из них 16-разрядную команду **nop** (**add** r0, r0, r0).

E. Расширения системы команд процессоров R^2T

1) Расширение 0. Операции с непосредственными данными.

Как было декларировано в самом начале, в предлагаемом варианте системы команд применение команд с непосредственными операндами ограничено. Однако, чтобы не доводить до абсурда, в случаях, когда противоречия с будущими приложениями системы команд не предвидятся, можно использовать опционально данное расширение.

В основном, описанные ниже команды вынесены в расширение системы команд для того, чтобы подчеркнуть особенность процессора R^2T.

addi rd, rs1, imm11 –> rd = rs1 + imm11

Команда сложения с непосредственным операндом не приведет к каким-либо проблемам в обозримом увеличении разрядности процессоров. Непосредственный операнд используется, как правило, в качестве шага

цикла и т. п. случаев, и конечно, для небольших арифметических операндов.

shli rd, rs1, imm11 –> rd = rs1 <- rs2 сдвиг логический влево на (imm11) разрядов

shri rd, rs1, imm11 -> rd = rs1 -> rs2 сдвиг логический вправо на (imm11) разрядов

sari rd, rs1, imm11 –> rd = rs1 -> rs2 сдвиг арифметический вправо на (imm11) разрядов

Команды сдвигов могут стать неактуальными лишь при возрастании разрядности регистров выше 2048, что опять-таки не приведет к каким-либо проблемам в ближайшем будущем, поскольку целесообразность процессоров с более высокой разрядностью пока не просматривается.

2) Расширение S. Операции загрузки регистрового набора в стек и выгрузки из стека

pusha

popa

В процессоре допускается наличие аппаратного стека, который может быть использован при вызове прерываний и обычных процедур. Элементами стека являются регистровые наборы. При выполнении команды pusha содержимое текущего набора выгружается в аппаратный стек. Если при выполнении команды pusha аппаратный стек заполнен, формируется исключение по записи в стек, при обработке которого последний элемент стека должен выгружаться в память.

При выполнении команды **popa** данные перезаписываются из стека в текущий набор. Если состояние стека таково, что еще остаются данные в памяти, то формируется исключение по чтению из стека, при обработке которого данные из памяти перезаписываются в дополнительный элемент стека. После возврата из исключения регистровый файл восстанавливается из стека, причем в последний элемент аппаратного стека записываются данные из дополнительного элемента стека.

Команды работы со стеком выполняются за один такт, если не происходит исключения.

Если аппаратный стек отсутствует, но команды **pusha**, **popa** используются, то исключения по переполнению аппаратного стека и по чтению из стека выполнятся всегда при выполнении этих команд.

Примечание. Данные команды имеют длину 16 бит. При использовании с 32-битным основным набором команд следует использовать после любой из них 16-разрядную команду **nop** (**add** r0, r0, r0).

3) Расширение M. Операции умножения

muls rd, rs1, rs2 –> (rd, succ(rd)) = rs1* rs2**,** знаковое умножение

mulu rd, rs1, rs2 –> (rd, succ rd)) = rs1* rs2, беззнаковое умножение

Некоторые необходимые пояснения.

Принятый в RV порядок умножения представляется чересчур жестким. Выполнять команду умножения дважды для получения полного результата, как это принято в RV, – это явный перебор, поддержка исходных постулатов за счет довольно большого увеличения потребляемой мощности и времени выполнения не является обоснованной. При том, что при операндах большой разрядности эта операция не будет выполняться за один такт, поскольку это приведет к большому снижению тактовой частоты, вполне можно дополнительно потратить еще один такт к собственно умножению, и дописать младшую половину результата в нужный регистр.

Второй вопрос, что следует использовать в качестве второго регистра результата.

Универсальным вариантом было бы иметь возможность в качестве такого регистра любой регистр, кроме того, куда будет направлена старшая часть результата. Тогда команда могла бы выглядеть так:

mul (rd1, rd2), rs1, rs2, где пара **(rd1, rd2)** предназначена для результата умножения.

Однако, не сильно уменьшая общность, проще в реализации будет

mul rd, rs1, rs2, где пара **(rd,** succ**(rd))** предназначена для результата умножения. То есть, результат запоминается в последовательной паре регистров.

Можно было ввести в систему команд команды умножения с суммированием (madd, msub), но в общем случае эти команды будут выполняться за несколько тактов, чтобы избежать снижения тактовой частоты. Но тогда более эффективно будет разбить команду умножения с суммированием на последовательное выполнение команды умножения и суммирования. Поскольку, как сказано выше, по результату сложения должен храниться вектор переносов, то суммирование двух пар регистров, где хранятся текущая сумма и результаты последней команды умножения, не представляет сложности. Таким образом, достаточно ввести команды

addc rd, rs1, rs2 Сложение с переносом rd = rs1 + rs2 + c(xlen-1)

subb rd, rs1, rs2 Вычитание с заемом rd = rs1 - rs2 – c(xlen-1)

Умножение с суммированием будет выглядеть так. Допустим, текущая сумма хранится в паре (r5, r6), операнды находятся в регистрах (r10, r11), а результат умножения будет получен в паре (r7, r8). Тогда тройка операций

mul r7, r10, r11

add r6, r6, r8

addc r5, r5, r7

реализует операцию умножения с суммированием (r5, r6) = (r5, r6) + r10 * r11 с использованием регистров r7, r8.

4) Расширение D. Операции деления

divs rd, rs1, rs2 –> (rd, succ**(rd)) = rs1/ rs2,** знаковое деление

divu rd, rs1, rs2 –> (rd, succ**(rd)) = rs1/ rs2,** беззнаковое деление

Результат, как и в умножении, частное и остаток запоминаются в последовательной паре регистров.

Деление вынесено в отдельное от умножения расширение, так как умножение требуется значительно чаще, чем деление, и выполняется значительно быстрее.

5) *Расширение B. Операция над битовыми полями*
clo rd, rs – подсчет числа лидирующих единиц. Источник – регистр rs, число единиц – в rd.

6) *Расширение A. Атомарное чтение и запись.*
ll qualifier, rd, rs, offset11

sc qualifier, rd, rs, offset11

Атомарное чтение данных с расширением знака в регистр rd из памяти по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака.

Атомарная запись данных из регистра rd в память по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака. Если запись успешна, в регистр rd записывается 1 и 0 в противном случае.

Параметр **qualifier** определяет тип загружаемых данных и выравнивание адреса. Если **qualifier** = **w8**, то адрес может быть произвольным, если **w16** – кратен 2, **w32** – 4, **w64** – 8 и т. д.

F. Регистровый файл процессоров R²T в базовом исполнении

Регистровый файл R²T в базовом исполнении состоит из 32 регистров общего назначения, структура его приведена на рис.1. Параметр xLEN может принимать значения от 8 до 2048 и выше.

xLEN-1 0

x0(==0)
x1
x2
x3
x4
x5
x6
x7
x8
x9
x0A
x0B
x0C
x0D
x0E
x0F
x10
x11
x12
x13
x14
x15
x16
x17
x18
x19
x1A
x1B
x1C
x1D
x1E
x1F

PC

Рис. 1. Регистровый файл базового набора команд

G. Регистровый файл процессоров R²T для встраиваемых приложений

Для встраиваемых приложений, как было сказано выше, количество регистров уменьшено до 16, структура его приведена на рис.2. Параметр xLEN здесь может принимать значения от 8 до 64.

xLEN -1 0

x0(==0)
x1
x2
x3
x4
x5
x6
x7
x8
x9
x0A
x0B
x0C
x0D
x0E
x0F

PC

Рис. 2. Регистровый файл набора команд для встраиваемых приложений

H. Регистры управления/состояния

На рис. 3 изображен рисунок регистра управления/состояния. Параметр csrLEN может принимать значения от 32 и до xLEN в базовой архитектуре и 32 в варианте для встраиваемых приложений.

csrLEN -1 0

CSR

Примечание 1. Адрес записи или чтения ADDR = rd * (csrLEN/8), если xLEN < 32, иначе rd.

Примечание 2. csrLEN = xLEN, если xLEN > 32, иначе 32

Рис. 3. Регистр CSR

I. Полное описание системы команд процессоров R^{2}T

Полное описание системы команд будет дано в другой работе.

J. Исключения в процессорах R^{2}T

Определены следующие исключения:

- аппаратный сброс (reset)
- исключение по переполнению;
- исключение по адресу записи/чтения;
- исключение по записи в стек;
- исключение по чтению из стека;
- исключение по сигналу внешнего прерывания.

Возможно введение дополнительных исключений.

Векторные прерывания организуются при помощи внешнего контроллера прерываний, на который могут поступать сигналы от внутрипроцессорных источников прерываний (счетчик тактов, таймеры, программные прерывания…). От контроллера в процессор поступает номер обрабатываемого прерывания, по которому вычисляется адрес процедуры прерывания (вектор).

K. Порядок байтов в процессорах R^{2}T

В архитектуре процессоров R^{2}T подразумевается использование порядка байтов Little-Endian.

III. ВЫВОДЫ

1. Рассмотрены основные проблемы, возникающие при проектировании процессоров большой размерности, и предложены принципы разработки архитектур процессоров большой размерности.

2. Предложена система команд для построения процессоров высокой размерности, независимая от длины операндов длиной от 8 до 2048 бит и более и включающая наборы команд для встраиваемых процессоров.

3. Поставлены задачи уточнения системы команд и реализации процессорных структур на базе процессоров высокой разрядности.

В заключение отметим, что несмотря на довольно большой опыт в разработке процессоров, автор вполне сознает его ограниченность и предлагает сообществу развивать и уточнять систему команд и конфигурации процессоров R^{2}T.

Литература

[1] The RISC-V Instruction Set Manual. Volume I: User-Level ISA. https://riscv.org/wp-content/uploads/2017/05/riscv-spec-v2.2.pdf. [Electronic resource]. – Mode of access: https://riscv.org. – Date of access: 24.03.2020.

[2] Diamond Standard Processor Cores // ip.cadence.com [Electronic resource]. – Mode of access: https://ip.cadence.com. – Date of access: 24.03.2020.

[3] Erokhin, V.V. Single-clock division algorithm / V.V. Erokhin // OpenCores [Electronic resource]. – Mode of access: http://opencores.com. – Date of access: 24.03.2020.

Multi-Bit Processors Architectures: Problems and Solutions

V.V. Erokhin

NIIMA PROGRESS JSC, Moscow, vladimir.v.erokhin@gmail.com

***Abstract* - Multi-bit processor architecture design problems are described. The processors organization principles are considered, the multi-bit processor architecture applications are proposed.**

***Keywords* - architecture, processor, instruction system.**

References

[1] The RISC-V Instruction Set Manual. Volume I: User-Level ISA. https://riscv.org/wp-content/uploads/2017/05/riscv-spec-v2.2.pdf. [Electronic resource]. – Mode of access: https://riscv.org. – Date of access: 24.03.2020.

[2] Diamond Standard Processor Cores // ip.cadence.com [Electronic resource]. – Mode of access: https://ip.cadence.com. – Date of access: 24.03.2020.

[3] Erokhin, V.V. Single-clock division algorithm / V.V. Erokhin // OpenCores [Electronic resource]. – Mode of access: http://opencores.com. – Date of access: 24.03.2020.

УДК 004.27 DOI: 10.31114/2078-7707-2020-3-165-171

Система команд процессоров архитектуры R^2T

В.В. Ерохин

АО «НИИМА» ПРОГРЕСС», г. Москва, vladimir.v.erokhin@gmail.com

Аннотация — Предлагается система команд процессорных архитектур большой разрядности. Система команд состоит из набора команд обычного процессора и набора для процессоров встраиваемых приложений.

***Ключевые слова* — архитектура, процессор, система команд.**

I. Введение

Автор не ставил перед собой задачи разработки «еще одного процессора», это задача несложная. Разработать архитектуру действительно новую, которая может быть использована в дальнейших разработках процессоров большой разрядности – цель данной работы.

В работе сделана попытка определить систему команд, которая с минимальными изменениями может быть использована в архитектурах как 32-разрядных (даже 16- и 8-битных), так в процессорах с очень высокой разрядностью – до 1024 бит и много выше. Обобщенное наименование всех архитектур этого класса - RISC**2 (R^2T).

Основой для построения системы команд были использованы следующие принципы:

- **Константы можно только загружать, в том числе и непосредственно (за исключением небольшого числа операций).**
- **Отказ от понятия слова в плане выделения данных некоторой размерности в операциях.**
- **Набор инструкций (базовый и расширения системы команд) одинаков для всех вариантов процессоров от 32 (16 или даже 8) битных до максимума и, желательно, всех расширений архитектуры.**

В табл. 1 приведены используемые в работе обозначения.

Таблица 1

Используемые обозначения

w8, w16, w32, w64, w128, w256, w512, w1024, w2048…	Размеры операнда, соответственно: байт, 16-битное слово, 32-битное слово, 64-битное слово, 128-битное слово, 256-битное слово, 512-битное слово, 1024-битное слово, 2048-битное слово.
qualifier	Параметр команды, определяющий размер операнда, к которому относится операция. Допустимые значения {**w8, w16, w32, w64, w128, w256, w512, w1024, w2048, etc.**}
offset**xx**	Смещение адреса в виде знаковой константы длиной **xx** бит, содержащейся непосредственно в командах
imm**xx**	Непосредственные данные со знаком или без знака (определяется командой), содержащиеся в коде команды длиной **xx** бит.
<<	Сдвиг влево на указанное далее число разрядов
c(xlen-1)	бит переноса из разряда (xlen-1)
succ	Следующий элемент, в данном тексте подразумевается следующий по номеру регистр

II. Архитектура процессоров RISC**2 (R2T)

Разумеется, в работе использовались некоторые идеи из [1] при выборе некоторых команд, а также работа [2] в определении набора регистров процессоров для встраиваемых приложений.

Формат команд и их мнемоника процессоров R^2T приведено в таблице 2.

В таблице 3 дано полное описание системы команд процессоров R^2T.

Система команд состоит из основного набора команд и нескольких расширений системы команд, описание которых выделено голубым цветом в табл.3. Зеленым цветом в этой же таблице выделено подмножество системы команд для встраиваемых приложений. Следует учесть, что процессоры для встраиваемых приложений имеют набор регистров, состоящий из 16 регистров общего назначения в отличие от обычных

процессоров архитектуры R[2]T, у которых число регистров общего назначения равно 32.

Таблица 2

Формат команд и их мнемоника процессоров R2T

31																16	15														0	№ бита / мнемоника	
rd					rs1					rs2												0	0	0	0	0	0	1	0	0	0	0	add	rd, rs1, rs2
rd					rs1					rs2												0	0	0	0	0	1	0	0	0	0	0	sub	rd, rs1, rs2
rd					rs1					rs2												0	0	0	0	0	1	1	0	0	0	0	and	rd, rs1, rs2
rd					rs1					rs2												0	0	0	0	1	0	0	0	0	0	0	or	rd, rs1, rs2
rd					rs1					rs2												0	0	0	0	1	0	1	0	0	0	0	xor	rd, rs1, rs2
rd					rs1					rs2												0	0	0	0	1	1	0	0	0	0	0	shl	rd, rs1, rs2
rd					rs1					rs2												0	0	0	0	1	1	1	0	0	0	0	shr	rd, rs1, rs2
rd					rs1					rs2												0	0	0	1	0	0	0	0	0	0	0	sar	rd, rs1, rs2
rd					rs					x0												0	0	0	1	0	0	1	0	0	0	0	not	rd, rs
rd					rs					qualifier												0	0	0	1	0	1	0	0	0	0	0	sext	qualifier, rd, rs
0					0					qualifier												0	0	0	1	0	1	1	0	0	0	0	oflchck	qualifier
rd					rs					offset[10:0]												0	0	0	1	1	0	0	0	0	0	0	jalr	rd, rs, offset11
offset[15:11]					rs					offset[10:0]												0	0	0	1	1	0	1	0	0	0	0	bz	rs, offset16
offset[15:11]					rs					offset[10:0]												0	0	0	1	1	1	0	0	0	0	0	bg	rs, offset16
offset[15:11]					rs					offset[10:0]												0	0	0	1	1	1	1	0	0	0	0	bgu	rs, offset16
rd					imm[15:0]																	0	0	1	0	0	0	0	0	0	0	0	mvs	rd, imm16
rd					rs					imm[10:0]												0	0	1	0	0	0	1	0	0	0	0	addi	rd, rs, imm11
rd					rs					imm[10:0]												0	0	1	0	0	1	0	0	0	0	0	shli	rd, rs, imm11
rd					rs					imm[10:0]												0	0	1	0	0	1	1	0	0	0	0	shri	rd, rs, imm11
rd					rs					imm[10:0]												0	0	1	0	1	0	0	0	0	0	0	sari	rd, rs, imm11
rd					rs					0												0	0	1	0	1	0	1	0	0	0	0	clo	rd, rs
rd					rs1					rs2												0	0	1	0	1	1	0	0	0	0	0	muls	rd, rs1, rs2
rd					rs1					rs2												0	0	1	0	1	1	1	0	0	0	0	mulu	rd, rs1, rs2
rd					rs1					rs2												0	0	1	1	0	0	0	0	0	0	0	addc	rd, rs1, rs2
rd					rs1					rs2												0	0	1	1	0	0	1	0	0	0	0	subb	rd, rs1, rs2
rd					rs1					rs2												0	0	1	1	0	1	0	0	0	0	0	divs	rd, rs1, rs2
rd					rs1					rs2												0	0	1	1	0	1	1	0	0	0	0	divu	rd, rs1, rs2
rd					rs					qualifier												0	0	1	1	1	0	0	0	0	0	0	csrwr	qualifier, rd, rs
rd					rs					qualifier												0	0	1	1	1	0	1	0	0	0	0	csrrd	qualifier, rd, rs
																rd					rs1					rs2					0	0	0	1	add	rd, rs1, rs2
																rd					rs1					rs2					0	0	1	0	sub	rd, rs1, rs2
																rd					rs1					rs2					0	0	1	1	and	rd, rs1, rs2
																rd					rs1					rs2					0	1	0	0	or	rd, rs1, rs2
																rd					rs1					rs2					0	1	0	1	xor	rd, rs1, rs2
																rd					rs1					rs2					0	1	1	0	shl	rd, rs1, rs2
																rd					rs1					rs2					0	1	1	1	shr	rd, rs1, rs2
																rd					rs1					rs2					1	0	0	0	sar	rd, rs1, rs2
																rd										offset[7:0]					1	0	0	1	bz	rs, offset8

rd	offset[7:0]						1	0	1	0	bg	rs, offset8	
rd	offset[7:0]						1	0	1	1	bgu	rs, offset8	
rd	imm[7:0]						1	1	0	0	mvs	rd, imm8	
0	0	x	x	0	0		1	1	0	1	oflchck	qualifier	
rd	rs	x	x	0	1		1	1	0	1	sext	qualifier, rd, rs	
rd	rs	x	x	1	0		1	1	0	1	ld	qualifier, rd, rs	
rd	rs	x	x	1	1		1	1	0	1	st	qualifier, rd, rs	
rd	rs	0	0	0	0		1	1	1	0	not	rd, rs	
rd	rs	0	0	1	0		1	1	1	0	jalr	rd, rs	
rd	rs	0	1	0	0		1	1	1	0	clo	rd, rs	
0	0	0	1	1	0		1	1	1	0	ecall		
0	0	1	0	0	0		1	1	1	0	ebreak		
0	0	1	0	1	0		1	1	1	0	pusha		
0	0	1	1	0	0		1	1	1	0	popa		
rd	offset[19:0]						0	0	1	1	1	1	0	jal	rd, offset20
rd	offset[19:0]						0	1	1	1	1	1	0	auipc	rd, offset20
rd	rs	qualifier	offset[10:0]				0	0	1	1	1	1	ld	qualifier, rd, rs, offset11	
rd	rs	qualifier	offset[10:0]				0	1	1	1	1	1	st	qualifier, rd, rs, offset11	
rd	rs	qualifier	offset[10:0]				1	0	1	1	1	1	ll	qualifier, rd, rs, offset11	
rd	rs	qualifier	offset[10:0]				1	1	1	1	1	1	sc	qualifier, rd, rs, offset11	

Примечание 1. Цветом в графе «мнемоника» выделены команды процессора для встраиваемых приложений.

Примечание 2. Неокрашенные битовые поля имеют значение 0.

Таблица 3

Описание системы команд процессоров R2T

мнемоника	Описание
add rd, rs1, rs2	rd = rs1 + rs2 Регистр rd получает значение суммы регистров rs1 и rs2. Суммируются регистры целиком, никакого деления на части (байт, слово, двойное слово…) не делается. Исключение по переполнению не выполняется. Переполнение может фиксироваться командой oflchck, следующей за данной операцией, по результатам выполнения которой выполняется исключение по переполнению.
sub rd, rs1, rs2	rd = rs1 - rs2 Регистр rd получает значение разности регистров rs1 и rs2. Операция выполнятся над полными регистрами, никакого деления на части (байт, слово, двойное слово…) не делается. Исключение по переполнению не выполняется. Переполнение может фиксироваться командой oflchck, следующей за данной операцией, по результатам выполнения которой выполняется исключение по переполнению.
and rd, rs1, rs2	Операции побитового логического «И» над операндами rs1, rs2, результат фиксируется в регистре rd.
or rd, rs1, rs2	Операции побитового логического «ИЛИ» над операндами rs1, rs2, результат фиксируется в регистре rd.
xor rd, rs1, rs2	Операции исключающего «ИЛИ» над операндами rs1, rs2, результат фиксируется в регистре rd.
shl rd, rs1, rs2	Операция сдвига влево операнда в регистре rs1 на величину, записанную в регистре rs2. Результат фиксируется в регистре rd.

shr rd, rs1, rs2	Операция логического сдвига вправо операнда в регистре rs1 на величину, записанную в регистре rs2. Результат фиксируется в регистре rd.
sar rd, rs1, rs2	Операция арифметического сдвига вправо (знаковый разряд операнда дублируется, т. е. знак числа сохраняется) операнда в регистре rs1 на величину, записанную в регистре rs2. Результат фиксируется в регистре rd.
not rd, rs	Операция побитового отрицания операнда в регистре rs1. Результат фиксируется в регистре rd.
sext qualifier, rd, rs	Операция расширения знака операнда, расположенного в регистре rs, результат записывается в регистр rd. Величина операнда определяется параметром qualifier и может принимать значения {w8, w16, w32, w64, w128…}. Если значение qualifier = w8, то расширяется знак байта, если w16 – знак 16-разрядного слова…
oflchck qualifier	Проверка возникновения переполнения по результату операций сложения и вычитания. Параметр qualifier определяет размер результата, который следует проверять на переполнение. Если ожидаемый результат операции сложения/вычитания qualifier = w8, то проверяется переполнение при операции на байте, если w16 – 16-разрядного слова и т. д. В случае, если было переполнение, возникает исключение переполнения и переход к соответствующей процедуре.
jalr rd, rs, offset11	Переход по адресу rs + offset11, где rs- содержимое регистра rs, а offset11 – знаковое число. Адрес возврата сохраняется в регистре rd.
bz rs, offset16	Условный переход. Если rs = 0, то осуществляется переход по адресу PC + offset16, где offset16 – целое со знаком.
bg rs, offset16	Условный переход. Если rs > 0, то осуществляется переход по адресу PC + offset16, где rs – целое со знаком, offset16 – целое со знаком.
bgu rs, offset16	Условный переход. Если rs > 0, то осуществляется переход по адресу PC + offset16, где rs – целое без знака, offset16 – целое со знаком.
mvs rd, imm16	Операция сдвига регистра rd влево с одновременным вдвиганием в регистр непосредственного 16-разрядного операнда. Используется для задания начальных значений путем одно- или неоднократного выполнения команды.
addi rd, rs, imm11	rd = rs1 + imm11 Регистр rd получает значение суммы регистра rs1 и знакового числа imm11. Исключение по переполнению не выполняется. Переполнение может фиксироваться командой oflchck, следующей за данной операцией, по результатам выполнения которой выполняется исключение по переполнению. Используется для изменения параметров циклов и т. п. простых случаев. Команда из расширения «0» системы команд.
shli rd, rs, imm11	Операция сдвига влево операнда в регистре rs на величину, записанную в поле imm11. Результат фиксируется в регистре rd. Если значение imm11 больше разрядности регистра, rd получает значение 0. Команда из расширения «0» системы команд.
shri rd, rs, imm11	Операция логического сдвига вправо операнда в регистре rs на величину, записанную в поле imm11. Результат фиксируется в регистре rd. Если значение imm11 больше разрядности регистра, rd получает значение 0. Команда из расширения «0» системы команд.
sari rd, rs, imm11	Операция арифметического сдвига вправо операнда в регистре rs на величину, записанную в поле imm11. Результат фиксируется в регистре rd. Если значение imm11 больше разрядности регистра, rd получает значение знака числа, записанного в rs. Команда из расширения «0» системы команд.
clo rd, rs	Подсчет числа лидирующих единиц в регистре rs с записью результата в rd.

	Команда из расширения «B» системы команд.
muls rd, rs1, rs2	Умножение знаковое операндов в регистрах rs1, rs2 и записью результата в пару (rd, succ(rd)). Команда из расширения «M» системы команд.
mulu rd, rs1, rs2	Умножение беззнаковое операндов в регистрах rs1, rs2 и записью результата в пару (rd, succ(rd)). Команда из расширения «M» системы команд.
addc rd, rs1, rs2	Сложение с переносом rd = rs1 + rs2 + cf Команда из расширения «M» системы команд.
subb rd, rs1, rs2	Вычитание с заемом rd = rs1 - rs2 – cf (Команда из расширения «M» системы команд)
divs rd, rs1, rs2	Деление знаковое операндов в регистрах rs1, rs2 и записью результата в пару (rd, succ(rd)). В rd записывается частное, остаток - в регистр со следующим номером. Команда из расширения «D» системы команд.
divu rd, rs1, rs2	Деление беззнаковое операндов в регистрах rs1, rs2 и записью результата в пару (rd, succ(rd)). В rd записывается частное, остаток - в регистр со следующим номером. Команда из расширения «D» системы команд.
csrwr qualifier, rd, rs	Запись значения из регистра rs в регистр управления/статуса rd
csrrd qualifier, rd, rs	Чтение из регистра управления/статуса rs в регистр rd
add rd, rs1, rs2	rd = rs1 + rs2 Регистр rd получает значение суммы регистров rs1 и rs2. Суммируются регистры целиком, никакого деления на части (байт, слово, двойное слово…) не делается. Исключение по переполнению не выполняется. Переполнение может фиксироваться командой oflchck, следующей за данной операцией, по результатам выполнения которой выполняется исключение по переполнению.
sub rd, rs1, rs2	rd = rs1 - rs2 Регистр rd получает значение разности регистров rs1 и rs2. Операция выполнятся над полными регистрами, никакого деления на части (байт, слово, двойное слово…) не делается. Исключение по переполнению не выполняется. Переполнение может фиксироваться командой oflchck, следующей за данной операцией, по результатам выполнения которой выполняется исключение по переполнению.
and rd, rs1, rs2	Операции побитового логического «И» над операндами rs1, rs2, результат фиксируется в регистре rd.
or rd, rs1, rs2	Операции побитового логического «ИЛИ» над операндами rs1, rs2, результат фиксируется в регистре rd.
xor rd, rs1, rs2	Операции исключающего «ИЛИ» над операндами rs1, rs2, результат фиксируется в регистре rd.
shl rd, rs1, rs2	Операция сдвига влево операнда в регистре rs1 на величину, записанную в регистре rs2. Результат фиксируется в регистре rd.
shr rd, rs1, rs2	Операция логического сдвига вправо операнда в регистре rs1 на величину, записанную в регистре rs2. Результат фиксируется в регистре rd.
sar rd, rs1, rs2	Операция арифметического сдвига вправо (знаковый разряд операнда дублируется, т. е. знак числа сохраняется) операнда в регистре rs1 на величину, записанную в регистре rs2. Результат фиксируется в регистре rd.
bz rs, offset8	Условный переход. Если rs = 0, то осуществляется переход по адресу PC + offset8, где offset8 – целое со знаком.

bg rs, offset8	Условный переход. Если rs > 0, то осуществляется переход по адресу PC + offset8, где rs – целое со знаком, offset8 – целое со знаком.
bgu rs, offset8	Условный переход. Если rs > 0, то осуществляется переход по адресу PC + offset8, где rs – целое без знака, offset8 – целое со знаком.
mvs rd, imm8	Операция сдвига регистра rd влево с одновременным вдвиганием в регистр непосредственного 8-разрядного операнда. Используется для задания начальных значений путем одно- или неоднократного выполнения команды.
oflchck qualifier	Проверка возникновения переполнения по результату операций сложения и вычитания. Параметр qualifier определяет размер результата, который следует проверять на переполнение. Если ожидаемый результат операции сложения/вычитания qualifier = w8, то проверяется переполнение при операции на байте, если w16 – 16-разрядного слова и т. д. В случае, если было переполнение, возникает исключение переполнения и переход к соответствующей процедуре.
sext qualifier, rd, rs	Операция расширения знака операнда, расположенного в регистре rs, результат записывается в регистр rd. Величина операнда определяется параметром qualifier и может принимать значения {w8, w16, w32, w64, w128…}. Если значение qualifier = w8, то расширяется знак байта, если w16 – знак 16-разрядного слова…
ld qualifier, rd, rs	Загрузка данных в регистр rd из памяти по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака. Параметр qualifier определяет тип загружаемых данных и выравнивание адреса. Если qualifier = w8, то адрес может быть произвольным, если w16 – кратен 2, w32 – 4, w64 – 8.
st qualifier, rd, rs	Загрузка данных из регистра rd в память по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака. Параметр qualifier определяет тип загружаемых данных и выравнивание адреса. Если qualifier = w8, то адрес может быть произвольным, если w16 – кратен 2, w32 – 4, w64 – 8.
not rd, rs	Операция побитового отрицания операнда в регистре rs. Результат фиксируется в регистре rd.
jalr rd, rs	Переход по адресу rs, где rs- содержимое регистра rs. Адрес возврата сохраняется в регистре rd.
clo rd, rs	Подсчет числа лидирующих единиц в регистре rs с записью результата в rd.
ecall	Инструкция используется, чтобы сделать запрос к поддерживающей среде выполнения (ОС)
ebreak	Инструкция используется отладчиками, чтобы вернуть управление обратно в среду отладки.
pusha	Загрузка регистрового файла в стек
popa	Выгрузка регистрового файла из стека
jal rd, offset20	Переход по адресу pc + offset20, где offset20 – знаковое число. Адрес возврата pc сохраняется в регистре rd.
auipc rd, offset20	Операция загрузки в rd значения pc + offset20<<12.
ld qualifier, rd, rs, offset12	Загрузка данных в регистр rd с расширением знака из памяти по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака. Параметр qualifier определяет тип загружаемых данных и выравнивание адреса. Если qualifier = w8, то адрес может быть произвольным, если w16 – кратен 2, w32 – 4, w64 – 8 и т. д.
st qualifier, rd, rs, offset12	Загрузка данных из регистра rd в память по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака.

	Параметр qualifier определяет тип загружаемых данных и выравнивание адреса. Если qualifier = w8, то адрес может быть произвольным, если w16 – кратен 2, w32 – 4, w64 – 8 и т. д.
ll qualifier, rd, rs, offset12	Атомарное чтение данных в регистр rd с расширением знака из памяти по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака. Параметр qualifier определяет тип загружаемых данных и выравнивание адреса. Если qualifier = w8, то адрес может быть произвольным, если w16 – кратен 2, w32 – 4, w64 – 8 и т. д.
sc qualifier, rd, rs, offset12	Атомарная запись данных из регистра rd в память по адресу rs + offset12, где rs – содержимое регистра rs (база), offset12 – смещение без знака. Если запись успешна, в регистр rd записывается 1 и 0 в противном случае. Параметр qualifier определяет тип загружаемых данных и выравнивание адреса. Если qualifier = w8, то адрес может быть произвольным, если w16 – кратен 2, w32 – 4, w64 – 8 и т. д.

*Если номер регистра rd равен максимальному, запоминается только первая часть результата. При умножении это старшее слово, при делении – частное. Если номер регистра rd равен нулю, запоминается только младшая часть результата, при умножении – младшее слово, при делении – остаток.

Примечание 1. Цветом выделены команды процессора для встраиваемых приложений.

III. Выводы

Предложена система команд для построения процессоров высокой размерности, независимая от длины операндов длиной от 8 до 2048 бит и более и включающая набор команд для встраиваемых процессоров.

Разумеется, в работе не ставилась цель создать «самую лучшую архитектуру», «самый лучший процессор», но данная разработка, возможно, завоюет свою нишу, особенно в приложениях, требующих целочисленных процессоров большой разрядности, для чего, собственно, она и создавалась.

За рамками обсуждения осталось довольно много вопросов, в частности, использование сопроцессоров с плавающей точкой, использование архитектур R^2T в процессорах классов SIMD, VLIW, оптимальная утилизация ресурсов процессоров большой разрядности и другие вопросы, которые будут обсуждены в дальнейшем.

В заключение отметим, что несмотря на довольно большой опыт в разработке процессоров, автор вполне сознает его ограниченность и предлагает сообществу развивать и уточнять систему команд и конфигурации процессоров R^2T.

Литература

[1] The RISC-V Instruction Set Manual. Volume I: User-Level ISA. https://riscv.org/wp-content/uploads/2017/05/riscv-spec-v2.2.pdf. [Electronic resource]. – Mode of access: https://riscv.org. – Date of access: 24.03.2020.

[2] Diamond Standard Processor Cores // ip.cadence.com [Electronic resource]. – Mode of access: https://ip.cadence.com. – Date of access: 24.03.2020.

Instruction Set for Architecture R^2T

V.V. Erokhin

NIIMA PROGRESS JSC, Moscow, vladimir.v.erokhin@gmail.com

Abstract — The instruction set for multi-bit processor architecture (ISA) is described. The ISA set consists of set for "usual" processor and set for embedded applications.

***Keywords* — architecture, processor, instruction set.**

References

1. The RISC-V Instruction Set Manual. Volume I: User-Level ISA. https://riscv.org/wp-content/uploads/2017/05/riscv-spec-v2.2.pdf. [Electronic resource]. – Mode of access: https://riscv.org. – Date of access: 24.03.2020.
2. Diamond Standard Processor Cores // ip.cadence.com [Electronic resource]. – Mode of access: https://ip.cadence.com. – Date of access: 24.03.2020.

УДК 004.054 DOI: 10.31114/2078-7707-2020-3-172-179

Методика тестирования процессорного ядра системы на кристалле с x86-совместимым микропроцессором

М.И. Дябин[1], А.В. Решетников[2], Е.А. Саксонов[3]

[1]ООО «Каскад», г. Москва, dyabin@mail.ru

[2]ООО «Аккорд», г. Москва, a_reshetnikov@hush.com

[3]Московский технический университет связи и информатики, г. Москва, saksmiem@mail.ru

***Аннотация* — Описана практическая методика тестирования системы команд микропроцессора Intel 80186. Рассмотрены принципы генерации тестов для логических и арифметических инструкций микропроцессоров. Предложен алгоритм работы начального загрузчика микроконтроллера с Intel 80186-совместимым процессором.**

***Ключевые слова* — тестирование, система команд, микропроцессорное ядро, Intel 80186.**

I. Введение

При разработке микропроцессорных систем одной из важнейших задач является тестирование логики работы микропроцессорных ядер. В настоящее время данная тематика проработана весьма глубоко и развивается очень активно ввиду непрерывного нарастания сложности микропроцессорных модулей и непрерывного увеличения сферы использования встраиваемых систем. Среди многочисленных публикаций, посвящённых функциональному тестированию микросхем, многие работы так или иначе затрагивают проблему тестирования логики работы микропроцессоров. Теоретические основы тестирования микросхем подробно рассмотрены в статье [1]. Общая методика тестирования микропроцессоров приведена в работе [2]. Отметим также работу [3], в которой обсуждается проблема формальной верификации микропроцессора ARM. Имеются и другие публикации.

В данной статье мы опишем методику тестирования системы команд микропроцессора, ориентированную на быстрое написание тестов. Рассматриваемая методика была опробована на практике в процессе разработки системы на кристалле «Каскад-1». Программное обеспечение, написанное в ходе тестирования данной системы, позволило не только выявить имевшиеся на тот момент ошибки микропроцессора на самых ранних этапах его разработки, но и отладить постоянно добавляемые в процессорное ядро улучшения, проверяя логику его работы по мере внесения в него различного рода усовершенствований.

Основное назначение СНК «Каскад-1» – обеспечить возможность передачи данных по высокоскоростному радиоканалу через входящий в состав системы OFDM-модем [4]. В качестве сетевого процессора данная система на кристалле использует отечественный микропроцессор собственной разработки с архитектурой ядра x86. В процессе разработки системы по мере того, как ужесточались требования к радиоканалу, который данная система обязана была обеспечить, её процессор подвергался непрерывной модернизации: повышалась тактовая частота микропроцессора, совершенствовался его конвейер команд. Было необходимо постоянно тестировать новые версии микропроцессора. Возникла задача разработки тестов настолько быстрых, чтобы их можно было бы запускать на этапе синтеза микросхемы в компьютерной среде, моделирующей логику её работы. Так были разработаны тесты микропроцессора, которые авторы назвали *сигнатурными*. Поскольку моделирование микросхемы – процесс исключительно медленный, в основном тестирование процессора проводилось на FPGA с помощью тестов, которые были названы *исследовательскими*.

II. Общие принципы тестирования микропроцессоров, входящих в состав систем на кристалле

Разрабатывая тестовые программы для СНК «Каскад-1», авторы исходили из следующего принципа: прежде, чем приступать к написанию каких-либо тестов, необходимо проанализировать тестируемую систему и получить некоторое представление о том, какие уязвимости угрожают тестируемой системе, и каким образом разрабатываемые тесты могут её от выявленных уязвимостей защитить. Поясним данный принцип несколько подробнее. Какие у тестируемой системы слабые стороны? Какого рода ошибки в принципе могут в ней возникать? Какие из ошибок наиболее вероятны? Какие ошибки приведут к наиболее тяжёлым последствиям? Мы полагаем, что эти и другие подобные вопросы должны быть рассмотрены до того, как будет начато написание тестирующих программ для тестируемой системы. Кроме того, мы утверждаем, что *при написании тестов необходимо регулярно возвращаться к перечисленным выше вопросам* по мере того, как в тестируемую систему вносятся те или иные изменения. Тесты для системы должны разрабатываться параллельно с её развитием. В первую очередь необходимо тестировать то, что наиболее уязвимо в тестируемой системе в данный момент времени.



Рис. 1. Структурная схема СНК «Каскад-1»

Рассмотрим с этой точки зрения систему на кристалле «Каскад-1» (Рис. 1). В тех проектах, где данная система реально используется, от процессора в первую очередь требуется, чтобы он корректно взаимодействовал с OFDM-модемом, являющимся составной частью СНК. При этом программный код, реально выполняемый данным микропроцессором, занимается в основном *трансляцией* данных; почти вся *обработка* переданной информации производится на других процессорных модулях. Данные между процессором и модемом в системе «Каскад-1» передаются в основном по каналам DMA. По тем же каналам параллельно могут передаваться данные от других периферийных устройств. Основная функция соответствующего программного обеспечения – правильное координирование работы всех периферийных устройств системы. Такие программы активнее всего используют весьма ограниченное число инструкций микропроцессора; в то же время при взаимодействии с устройствами в этих программах могут возникать самые разнообразные и неожиданные ситуации, которые все должны быть обработаны правильно без сбоев.

Следовательно, при функциональном тестировании процессорного ядра системы «Каскад-1» основное внимание следует уделять не отдельным инструкциям микропроцессора, что было бы ожидаемо в случае тестирования микропроцессора широкого назначения, а работе микропроцессора в целом в условиях интенсивного обмена данными между различными устройствами, входящими в состав СНК. Тесты микропроцессора СНК «Каскад-1» должны покрывать как можно больше различных ситуаций, которые могут возникать в реальных, встречающихся на практике программах, взаимодействующих одновременно с несколькими периферийными устройствами системы.

В тестовых программах, действительно используемых для тестирования рассматриваемой системы, предусмотрена возможность при запуске тестов параллельно активировать различные таймеры, входящие в состав СНК, по каналам DMA непрерывно выполнять пересылку данных между различными устройствами, изменять тактовую частоту микропроцессора и т. д. Таким образом, при использовании данного программного обеспечения одна и та же тестовая программа – к примеру, программа тестирования инструкций условного перехода – может быть запущена параллельно с несколькими фоновыми процессами, в зависимости от конкретной конфигурации программы. Тестовые программы конфигурируются на этапе их компиляции путём установки значений тех или иных переменных компилятора. Перебор различных конфигураций тестовых программ мог бы осуществлять специальный скрипт, в задачи которого входили бы также сборка программы, её загрузка в FPGA, запуск и проверка результатов работы[1].

Ясно, что тесты такого рода должны отрабатывать не одну, а несколько итераций, поскольку ошибки, связанные с обменом данными между устройствами, могут проявляться не сразу – ввиду очень специфических условий их возникновения.

После того, как в микропроцессорном ядре обнаружена ошибка, она должна быть *локализована*, то есть код программы, обнаруживающей ошибку, следует упростить таким образом, чтобы в коде можно было точно указать то место, где команды микропроцессора

[1] В действительности для тестирования СНК «Каскад-1» написание подобного скрипта не понадобилось.

заведомо исполняются некорректно. Локализованная тестовая программа в итоге должна получиться достаточно ясной: должно быть полностью понятно, что ошибка, которую она обнаруживает, возникает именно в тестируемом микропроцессоре, а не заложена в саму тестирующую программу. Но как достичь такой ясности кода? Обсуждение данного вопроса выходит за рамки настоящей статьи. Отметим лишь, что если код тестирующей программы переусложнить, при его использовании локализация ошибок микропроцессора может оказаться весьма нетривиальной задачей.

Строго говоря, локализовать ошибку микропроцессора – значит упростить тестирующую его программу настолько, чтобы эту программу можно было запустить в компьютерной среде, моделирующей логику работы микросхемы с тестируемым процессором, и после моделирования на временной диаграмме было бы чётко видно неправильное поведение микропроцессора в какой-либо момент времени.

Упрощая код тестирующей программы с целью локализации ошибки, очень легко внести в него новую чисто программную ошибку, поэтому *тестовые программы следует писать таким образом, чтобы процесс локализации ошибок, в случае их обнаружения, был бы по возможности не слишком сложным, а риск внесения программных ошибок в код, в результате его упрощения, был бы по возможности невелик.*

III. Особенности тестирования системы команд x86-совместимого микропроцессора

Теперь, после того как, мы рассмотрели общие принципы тестирования микропроцессорных ядер, рассмотрим более подробно основные принципы тестирования системы команд. Безусловно, при тестировании процессорного ядра проверка правильности работы отдельных инструкций микропроцессора представляет исключительную важность. Хорошие тесты должны охватывать все инструкции микропроцессора и все режимы адресации памяти. Для каждой инструкции, помимо входных данных из условного «чаще всего встречающегося на практике» диапазона, тесты должны охватывать все возможные корректные «крайние случаи», которые пусть редко, но всё же могут встретиться в аргументах команд. Если команда микропроцессора модифицирует его флаги, то для каждого флага, на который оказывает воздействие тестируемая инструкция, необходимо убедиться в том, что она действительно изменяет состояние флага правильным образом. Наконец, если команда анализирует данные, расположенные в оперативной памяти (как, например, команда «Leave», введённая в архитектуру x86, начиная с процессоров Intel 80186 и Intel 80188), то для этих данных также необходимо рассмотреть как можно больше принципиально различных вариантов.

Основная сложность, с которой приходится сталкиваться в процессе тестирования системы команд любого микропроцессора, состоит в том, что порой непонятно, какие наборы входных данных следует считать принципиально различными настолько, что оба этих набора желательно включить в разрабатываемый тест, а какие наборы данных следует, наоборот, считать похожими друг на друга, так что корректное выполнение инструкции на одном из этих наборов скорее всего означает корректное исполнение той же инструкции и на другом похожем на него наборе.

Полный перебор всех вариантов входных данных при написании тестов системы команд осуществить практически невозможно. Но зачастую полный перебор и не требуется. Например, пусть поставлена задача протестировать команду пересылки данных из одного регистра микропроцессора в другой; в архитектуре x86 такое действие выполняет инструкция «Mov». Зададимся вопросом: какие наборы входных данных целесообразно включить в тест, чтобы в случае его успешного прохождения на каком-либо устройстве можно было бы констатировать, что на данном конкретном экземпляре протестированного устройства пересылка из регистра в регистр, скорее всего, выполняется правильно?

Напомним, что мы *не ставим* перед собой задачу проведения формальной верификации процессорного ядра. Наоборот, в рассматриваемом вопросе требуется написать такую программу, чтобы с её помощью можно было бы, во-первых, выполнять отладку схемы микропроцессора на этапе её разработки, а во-вторых, проверять функциональность отдельных экземпляров тестируемого микропроцессора после изготовления конечных устройств.

Какие циклы в требуемой программе имеет смысл делать более подробными? Какие циклы, наоборот, можно укоротить, считая маловероятными ошибки на прочих значениях, не вошедших в цикл? При разработке функциональных тестов постоянно приходится сталкиваться с подобными вопросами. В случае тестирования системы команд необходимо постоянно осуществлять выбор между различными параметрами, от которых зависит результат выполнения тестируемой инструкции, наделяя те или иные параметры команды большей значимостью, чем остальные её параметры; каким-то образом приходится отказываться от одних наборов входных данных в пользу других наборов, жертвуя тем, что представляется менее существенным, в пользу того, что следовало бы протестировать более тщательно. В предыдущем разделе были даны некоторые общие рекомендации о том, как, по мнению авторов, следует искать решения проблем такого рода. Сейчас хотелось бы перейти к более детальному изложению основных положений, которыми авторы руководствовались при разработке тестов для СНК «Каскад-1».

Итак, пусть требуется разработать тест для инструкции «Mov» x86-совместимого микропроцессора в случае, когда пересылка данных осуществляется из регистра в регистр. На самом деле задачу о составлении такого теста можно разбить на несколько подзадач.

Для начала необходимо убедиться, что данные записываются именно в тот регистр, в который требуется произвести запись значений в соответствии с заданными аргументами команды «Mov». *Можно считать, что код, осуществляющий соответствующую проверку, на самом деле тестирует не инструкцию как таковую, а общий*

механизм адресации памяти. Проверка адресации – это отдельная задача; мы ещё вернёмся к ней в следующем разделе. Сейчас лишь отметим, что в зависимости от разных факторов (среди которых, например, допустимое оценочное время работы тестового программного обеспечения, допустимый размер тестовой программы, допустимый объём занимаемой ею оперативной памяти и т. д.) может быть принято решение либо проверять адресацию памяти в широком классе инструкций микропроцессора, включающем в себя и инструкцию «Mov», либо можно провести разработку отдельного теста, целенаправленно занимающегося проверкой механизма адресации, в котором задействовано лишь ограниченное количество инструкций микропроцессора. Во втором случае[2] полагается, что если такой тест успешно завершает работу на некотором экземпляре тестируемого устройства, то, скорее всего, механизм адресации памяти на протестированном устройстве корректно работает во всех командах микропроцессора, включая те, которые не были задействованы непосредственно во время тестирования данного механизма.

Далее, необходимо убедиться, что в случае пересылки данных из регистра-источника в регистр-приёмник всякий раз, когда процессор завершает выполнение соответствующей команды, в регистре-приёмнике оказывается именно то значение, которое находилось в регистре-источнике в момент начала выполнения команды пересылки данных. Здравый смысл подсказывает, что если пересылка какого-то одного значения из некоторого регистра-источника в некоторый регистр-приёмник была успешно проведена, то другие значения также будут корректно пересылаться из того же регистра-источника в тот же регистр-приёмник. Поэтому при проверке содержимого регистра-приёмника после передачи данных из регистра-источника важно убедиться лишь в том, что пересылка данных действительно была осуществлена, то есть не должно в тестирующей программе возникать такой ситуации, что в регистре-приёмнике уже до начала пересылки данных находилось то же самое значение, что и в регистре-источнике.

На самом деле, проверять необходимо *каждый бит*, осуществляется ли его пересылка из регистра в регистр корректно или нет: дело в том, что при изготовлении экземпляров устройств могут возникать ошибки, проявляющиеся в неправильной установке отдельных битов переменных, используемых при выполнении тех или иных инструкций микропроцессора. Если бы тестировалась не аппаратная реализация процессора, а его реализации в виде, например, эмулятора, то ясно, что в таком случае проверка каждого бита была бы, скорее всего, излишней. Но поскольку мы ставим задачу тестирования аппаратной реализации, то для составления достаточно качественного теста нам необходимо покрыть наборами входных данных все значения каждого бита, от которого может зависеть результат выполнения тестируемой инструкции.

Каким образом проще всего решить обозначенную проблему? Общее правило, которым авторы пользовались при тестировании системы «Каскад-1», таково: *какой бы ни была инструкция микропроцессора, для каждого из её параметров, независимо от значений других параметров данной инструкции, в её тест (если только это в принципе возможно) должны быть включены все значения 0x00, 0x55, 0xAA и 0xFF – в случае, если параметр имеет размер 1 байт, или все значения 0x0000, 0x5555, 0xAAAA и 0xFFFF – в случае, если размер данного параметра равен 2 байтам*. При этом, говоря о параметрах команды, мы употребляем термин «параметр» в самом широком смысле: мы имеем ввиду не только аргументы, указанные в самой команде, но и вообще значения любых переменных, способных теоретически повлиять на результат выполнения команды: ими могут быть флаги процессора, неявно используемые ячейки памяти, смещение команды в памяти и т. д.

Конечно, при тестировании таких команд, как «Leave», строгое следование указанному правилу невозможно. Есть и другие случаи, в которых количество всех параметров, влияющих на результат, столь велико, что даже ограничив перебор предложенным правилом, мы получим чрезмерно большой объём вычислений. В таких случаях авторы предлагают не отказываться от правила целиком, а ориентироваться на него и придерживаться его в разумных пределах: отдельные параметры это правило всё ещё позволяет перебирать предложенным образом.

При тестировании арифметических команд, конечно же, необходимо включать в тест дополнительные наборы входных данных. Авторы пользовались следующим правилом: *независимо от того, со знаком или без знака производятся вычисления, для каждого параметра арифметической команды в её тест должны быть включены либо значения 0x01, 0x7F, 0x80, 0x81 и 0xFF – в случае, если размер рассматриваемого параметра равен 1 байту, либо значения 0x0001, 0x7FFF, 0x8000, 0x8001 и 0xFFFF – в случае, когда размер данного параметра равен 2 байтам*. Перечисленные значения являются «крайними» значениями определённых ключевых диапазонов, поэтому их имеет смысл включать в тесты как можно большего количества инструкций. Но также необходимо помнить, что некоторые инструкции имеют и другие, специфические для них «крайние» значения; все они тоже должны быть включены в тест по мере возможности. Продолжив дальнейшие рассуждения в этом направлении, мы уйдём в общую хорошо известную теорию составления тестов и выйдем за рамки настоящей статьи.

Вернёмся к задаче составления теста для инструкции «Mov». Есть ещё один блок переменных, значения которых также необходимо проверить, прежде чем делать вывод о работоспособности пересылки данных из регистра в регистр. Речь идёт о флагах микропроцессора. Инструкция «Mov» должна оставлять все флаги процессора без изменений [5, приложение C]. По крайней мере, для каждого из так называемых флагов общего назначения (а

[2] В действительности именно этот подход был применён при разработке тестов для СНК «Каскад-1».

лучше – вообще для каждого флага микропроцессора) необходимо убедиться, что если до выполнения команды пересылки данных его состояние было установлено в 1, то после завершения выполнения команды данный флаг сохраняет своё состояние, и если до выполнения пересылки состояние данного флага было установлено в 0, то также для данного значения флага необходимо убедиться, что пересылка данных это значение оставляет без изменений. Все эти случаи хотя бы по одному разу должны быть включены в тест инструкции «Mov».

Лишь после того, как все три типа проверок (адресация, значения, флаги) будут выполнены тестирующей программой на некотором экземпляре тестируемого микропроцессора, можно будет сделать заключение, что сама по себе инструкция пересылки данных на конкретном экземпляре протестированного устройства почти наверняка реализована без ошибок. Но такое заключение вовсе не означает, что операция пересылки какого-либо значения из регистра-источника в регистр-приёмник всегда будет успешно выполняться в программе: могут быть разные причины, по которым команда пересылки из регистра в регистр неправильно отрабатывается в какой-либо редко возникающей очень специфической ситуации; успешное прохождение описанного выше теста означает всего лишь, что в случае возникновения ошибки причину следует искать не в реализации команды пересылки данных, а в каких-либо других модулях микропроцессорного ядра.

Напоследок сделаем ещё одно важное замечание: *при написании тестов для системы команд крайне важно следить, чтобы результат работы каждого шага тестовой программы был однозначно определён* в соответствии с каким-либо документом, официально описывающим тестируемую архитектуру. Например, открывая приложение C руководства пользователя [5] микропроцессора Intel 80C186EC, мы замечаем, что инструкция «Test» после своего исполнения оказывает следующее воздействие на флаги микропроцессора:

– определённая часть флагов изменяется в соответствии с получившимся результатом;

– другая часть флагов данная инструкция оставляет без изменения;

– флаг «AF» после выполнения инструкции «Test» оказывается в неопределённом состоянии.

Следовательно, если программный код проверяет правильность работы инструкции «Test» на каком-либо микропроцессоре с x86-совместимой архитектурой, на этапе проверки состояния флагов тестовая программа может либо проверить каждый флаг по отдельности (что относительно долго и потому нецелесообразно), либо она может перевести флаг «AF» в некоторое определённое состояние, после чего – сразу проверить состояние всех флагов процессора одновременно. Последний вариант реализовать в тестовой программе очень легко: например, её код после выполнения инструкции «Test» может сохранить значение регистра флагов в стек и применить к сохранённому в стеке значению операцию логической конъюнкции, подобрав аргументы таким образом, чтобы, с одной стороны, все биты, значения которых не могут однозначно быть определены, обнулились после выполнения операции, а с другой стороны, значения всех битов, в которых сохранены состояния проверяемых флагов, остались бы после выполнения операции конъюнкции без изменений. Модифицированное указанным образом значение регистра флагов оказывается однозначно определённым, это значение тестовая программа уже непосредственно может проверить, правильное оно или нет.

Завершим на этом рассмотрение важнейших, по мнению авторов, принципов тестирования системы команд и перейдём к обсуждению вопросов, возникающих при реализации тестовых программ вообще, независимо от того, работают ли они в соответствии с рассмотренными принципами или же построены каким-либо иным образом.

IV. О некоторых особенностях тестовых программ, выполняемых на микроконтроллере

В предыдущем разделе мы подробно рассмотрели вопрос о том, *что* тестовая программа может сделать, для того чтобы проверить правильность работы отдельных инструкций микропроцессора. Рассмотрим теперь вопрос о том, *как* программный код может осуществить проверку такого рода и сообщить пользователю о результатах проверки.

Один из простейших и наиболее очевидных способов проверить значение той или иной переменной – сохранить это значение в фиксированной ячейке памяти, адрес которой известен пользователю, и предложить ему каким-либо способом прочесть содержимое данной ячейки и сравнить полученный результат с эталонным значением. Преимущество данного подхода понятно – это простота написания программного кода и, как следствие, повышенная надёжность тестовой программы. Однако, если впасть в заблуждение относительно этой простоты и положиться на неё, не принимая во внимание тот факт, что данный подход обладает целым рядом очень серьёзных недостатков, можно столкнуться с такими трудностями, что для их преодоления проще будет целиком отказаться от метода, чем продолжать искать решения в его рамках: дело в том, что *написанием одной только тестовой программы, запускаемой на микроконтроллере, работа по данному методу не ограничивается*. Разберёмся подробнее, какие проблемы могут возникнуть при использовании рассматриваемого метода, поскольку в том или ином виде аналогичные проблемы возникают и при использовании других методов.

Во-первых, пользователю почти наверняка необходимо будет проверить не одно, а несколько значений различных переменных. «Простейший» метод предлагает все эти значения записать в некоторый блок оперативной памяти и на том закончить работу программы. Но тогда, чтобы прочитать содержимое данного блока, у пользователя, прежде всего, должна быть возможность получения дампа оперативной памяти с микроконтроллера. Чтобы обеспечить пользователю такую возможность, необходимо проделать дополнительную работу: возможно, для этого придётся написать специальную программу, запускаемую на персональном компьютере; может быть,

придётся реализовать на микроконтроллере поддержку какого-либо хорошо известного протокола, такого как XMODEM – так или иначе, вопрос о передаче дампа памяти с микроконтроллера на персональный компьютер каким-либо образом необходимо будет разрешить.

Во-вторых, тестовая программа по завершении своей работы на микроконтроллере обязана предоставить пользователю возможность получить дамп. Это означает, что программа не может ни приостановить процессор (командой «Hlt», если речь идёт об x86-совместимом микропроцессоре), ни войти в вечный цикл – если только в ней не предусмотрены дополнительные механизмы обработки запросов от пользователя, такие как параллельно исполняемые процессы или предустановленные обработчики прерываний. Но реализация любых механизмов для установления интерфейса с пользователем – это дополнительный программный код, сводящий на нет единственное преимущество рассматриваемого метода, а именно – его простоту. В то же время, если программа после окончания процесса получения тестовых данных продолжает активную работу, она рискует испортить накопленные данные (ведь мы предполагаем, что программа ищет ошибки микропроцессора – следовательно, мы предполагаем, что такие ошибки в микроконтроллере есть; следовательно, продолжая активную работу, программа может вызвать какие-то из этих ошибок), и тогда у тестировщика вновь возникнет отнюдь не простая работа по локализации ошибок – мы говорили о такой работе в предыдущем разделе.

Метод записи проверяемых значений в оперативную память с последующим получением её дампа может оправдать себя при тестировании периферийных устройств; но при тестировании самого микропроцессора данный метод следует использовать с осторожностью. В любом случае, перечисленными проблемами список недостатков такого подхода не исчерпывается. Например, фиксируя адрес той или иной ячейки памяти, очень важно проработать механизм изменения данного адреса в случае необходимости – а это ещё одна трудность, которая тоже способна нивелировать первоначальную простоту метода. Или, например, неожиданными трудностями может обернуться разработка сопутствующего программного обеспечения для пользователя.

На самом деле, способ записи значений для проверки в оперативную память не самый простой. Ещё проще записывать проверяемые значения в регистр микропроцессора. Тогда, если тестовая программа запускается на микроконтроллере, в неё добавляется вызов несложного макроса каждый раз, когда требуется проверить содержимое выбранного регистра, и макрос распечатывает содержимое данного регистра в стандартный поток вывода; а если программа запускается в среде, моделирующей логику работы микросхемы, то не требуется даже вызывать макрос: такие среды обычно позволяют отслеживать изменения, происходящие в регистрах микропроцессора, и на основе этих изменений формировать короткую последовательность чисел, называемую *сигнатурой* теста. Запуская один и тот же тест всякий раз после того, как в архитектуру микропроцессора внесены те или иные изменения, можно сравнивать сигнатуру теста с его предыдущей сигнатурой – обычно она не меняется, если в процессор не были случайно внесены какие-либо аппаратные ошибки. Как уже говорилось ранее, соответствующие тесты, которые авторы называют *сигнатурными*, пишутся крайне просто, но исполняются крайне медленно. Такие тесты важны, поскольку позволяют видеть ошибки в микропроцессоре на этапе синтеза микросхемы. Но, если вспомнить требования к тестовым программам, которые мы поставили, начиная обсуждение принципов их работы, то становится ясно, что одних лишь сигнатурных тестов для функционального тестирования процессорного ядра явно недостаточно.

Сигнатурные тесты подсказывают идею, которой, по мнению авторов, следует руководствоваться при написании *исследовательских* тестов – то есть основных тестов, запускаемых на FPGA и проверяющих логику работы микропроцессорного ядра. Мы утверждаем, что *оптимальный способ проверки значений тех или иных переменных тестовой программы состоит в том, чтобы распечатывать тестируемые значения в стандартный поток вывода, затем – при запуске тестовой программы – записывать её стандартный вывод в файл, и наконец – после того, как тестовая программа закончит свою работу – побайтно сравнить содержимое полученного файла с содержимым заранее подготовленного эталонного файла*. Данный подход, конечно же (так же, как и все остальные подходы) не лишён недостатков: разумеется, тестовые программы, использующие стандартный вывод, работают медленнее, чем программы, подготавливающие блоки данных для дампа. Ясно также, что эталонный файл предварительно требуется каким-либо способом подготовить.

Однако, мы полагаем, что основные проблемы, с которыми приходится сталкиваться при разработке тестового программного обеспечения, проще всего решить именно путём максимально активного использования стандартного потока вывода данных. Например, для получения эталонных значений переменных имеет смысл адаптировать тестовую программу для запуска на эмуляторе микропроцессора; но программу, которая результат своей работы отправляет на распечатку в стандартный вывод, адаптировать под новую платформу гораздо проще, чем программу, которая выводит те же самые данные каким-либо другим способом.

Необязательно в стандартный поток вывода распечатывать сами переменные, требующие проверки: зачастую имеет смысл вычислить на микроконтроллере некоторую контрольную сумму проверяемых значений и предоставить пользователю лишь короткое значение вычисленной суммы. Например, пусть требуется протестировать механизм адресации памяти. Мы *не говорим* сейчас о том, как тестировать память: это отдельная задача; по данной теме имеется немало различной информации. Речь идёт о том, чтобы после того, как тот или иной тест памяти закончит работу, каким-либо образом проверить результат его работы и сообщить пользователю о результатах проверки. Нет необходимости в том, чтобы передавать пользователю целиком содержимое блока тестируемой области памяти: мы уже говорили о том, каким образом кажущаяся простота такого подхода может при реальном тестировании обернуться непростыми проблемами. Гораздо

лучше на микроконтроллере вычислить контрольную сумму проверяемой области и распечатать её в стандартный вывод. Пользователю останется лишь принять значение, распечатанное тестовой программой, и каким-либо образом выяснить, совпадает оно с правильным значением или нет (например – сравнить с эталоном).

Другой пример – запуск тестов, генерирующих псевдослучайные инструкции микропроцессора (в x86-совместимом микропроцессоре такие тесты могут быть написаны с использованием специального флага TF: передавая управление на псевдослучайно сгенерированную инструкцию, тестовая программа может установить значение флага TF в 1; тогда процессор, заканчивая выполнение очередной инструкции, сгенерирует специальное прерывание с номером 0x01, и управление будет передано обратно соответствующему обработчику прерывания). Псевдослучайные программы имеет смысл выполнять в отдельной области памяти. Такие программы важны на этапе функционального тестирования, поскольку могут обнаружить ошибки, неучтённые при разработке систематических тестов. Чтобы следить за тем, что происходит в области памяти псевдослучайной программы, тестовая программа может время от времени вычислять контрольную сумму данной области и отправлять в стандартный поток вывода вычисляемые значения[3].

Какой именно алгоритм подсчёта контрольной суммы использовать, зависит от того, что требуется протестировать и каким образом те или иные аппаратные ошибки могут повлиять на результат вычисления контрольной суммы. Играют роль и другие факторы: например, алгоритмы MD5 и SHA256, как известно, превосходно подходят для того, чтобы снабжать файлы контрольными суммами при передаче информации по сети. Но указанные алгоритмы работают относительно медленно; их использование может оказаться весьма нерациональным, например, для контроля работы псевдослучайных программ – в данном случае достаточно простого суммирования байтов, поскольку если ошибка возникнет в псевдослучайной программе, суммирование байтов рано или поздно выявит её почти наверняка. В то же время, простого суммирования байтов недостаточно, если программа тестирует, например, механизм адресации памяти. В общем случае для проведения контрольного суммирования в исследовательских тестах имеет смысл (на наш взгляд) применять *алгоритм Флетчера*. Более подробное обсуждение данного вопроса уже выходит за рамки настоящей статьи.

Обычно набор тестовых программ приходится запускать не один раз, а несколько: каждый раз в различных условиях (например, при работе микропроцессора на различных тактовых частотах). Тогда естественным образом возникает задача автоматизации тестирования. Если с микроконтроллера в том или ином виде поступают «сырые» данные (речь идёт не обязательно о дампе памяти: возможно, тестовая программа распечатывает значения для проверки в стандартный поток вывода), то на персональном компьютере принятый поток данных необходимо каким-либо образом обрабатывать. Вновь мы сталкиваемся с необходимостью писать дополнительный код. Так не проще ли обработку данных проводить прямо в тестовой программе, исполняемой на микроконтроллере? Если программа с микроконтроллера отправляет пользователю текстовые данные, снабжая их такими пояснениями, как «OK» при успешном прохождении определённой контрольной точки и «FAILED» в случае, если какое-то из контрольных значений не прошло проверку, обработка данных сводится к тому, чтобы убедиться, что стандартный поток вывода содержит требуемое значение строк вида «OK» (например – ровно одну такую строку) и не содержит ни одной строки вида «FAILED»... Авторы не берутся утверждать, что последний из описанных подходов является оптимальным, но при тестировании СНК «Каскад-1» целый ряд тестов был написан именно с использованием такого подхода.

Последнее замечание, которое хотелось бы сделать, состоит в том, что тестовую программу для запуска на микроконтроллере совсем не обязательно разрабатывать для запуска из его ПЗУ. Гораздо эффективнее прошить в ПЗУ некоторый код, выполняющий минимальную инициализацию с последующим входом в бесконечный цикл ожидания пользовательских команд. В системе на кристалле «Каскад-1» *начальный загрузчик* – как называют данную программу её авторы – после минимальной инициализации оборудования проверяет наличие программы во встроенной в систему Flash-памяти, затем либо загружает обнаруженную программу в память и передаёт ей управление, либо, если Flash-память отсутствует или не содержит программу для запуска, инициализирует последовательный порт и отправляет в него символ «*» – то есть, звёздочку. *Звёздочка сигнализирует о готовности микроконтроллера к выполнению пользовательских команд, что очень важно при тестировании конечных устройств*: получив звёздочку от устройства, пользователь видит, что данный экземпляр системы в принципе может выполнять некоторый программный код. После чего, с помощью особого набора команд, пользователь может загрузить тестовую программу в оперативную память микроконтроллера и потребовать от начального загрузчика передать управление по соответствующему адресу. Основное требование к начальному загрузчику состоит в том, чтобы его код был как можно более простым

[3] При разработке тестов с использованием псевдослучайных инструкций очень важно следить, чтобы каждая сгенерированная инструкция была корректной с точки зрения тестируемой архитектуры. Различные процессоры, полностью совместимые с одной и той же архитектурой, могут совершенно по-разному реагировать на одни и те же некорректные процессорные команды. В случае x86-совместимого микропроцессора, если в программе встречается несуществующая команда, конечно же процессор обязан сгенерировать специальное прерывание 6. Но если правильная команда снабжена префиксом, не предусмотренным для использования с данной командой – поведение процессора при обработке такой команды оказывается неопределённым. Различные примеры такого рода рассмотрены в статье Криса Касперски «Тонкости дизассемблирования. Дизассемблирование в уме».

и надёжным: он должен позволять проводить отладку системы даже в том случае, если её микропроцессор содержит какие-либо серьёзные аппаратные ошибки.

V. Заключение

Подведём итог. В зависимости от того, насколько надёжной должна оказаться итоговая система, для разных микросхем предъявляются разные требования к тестирующему их программному обеспечению. В тех случаях, когда процессор планируется использовать в системах, сбой в которых может привести к критическим последствиям, необходимо использовать глубоко проработанные методы тестирования, имеющие прочное теоретическое обоснование. Если же о встраиваемой системе известно, что сбой в работе её процессора не приведёт к крупным последствиям, зачастую оказывается достаточным убедиться, что процессор корректно выполняет программный код, реально возникающий при его практическом использовании; в этом случае такие процедуры, как формальная верификация логики работы процессорного ядра, оказываются не вполне оправданными. В данной работе мы рассмотрели общие принципы, которыми, по мнению авторов, следует руководствоваться при написании тестов микропроцессора именно для таких систем.

Литература

[1] Чегис И.А. Яблонский С.В. Логические способы контроля работы электрических схем // Тр. МИАН СССР. 1958. Т. 51. С. 270-360.

[2] Бобков С.Г. Методика тестирования микросхем для компьютеров серии «Багет» // Программные продукты и системы. 2007. № 3. С. 2-5.

[3] Patankar V.A., Jain A., Bryant R.E. Formal verification of an ARM processor // Proc. Twelfth International Conference on VLSI Design. Goa, India, 1999. P. 282-287.

[4] Архипкин А.В. Аппаратура передачи данных для комплекса с БЛА легкого класса // Тр. II научно-практической конференции «Перспективы развития и применения комплексов с беспилотными летательными аппаратами». Конгресс-центр парка «Патриот», Московская область, 14 апреля 2017. С. 29–34.

[5] Intel Corporation. 80C186EC/80C188EC microprocessor user's manual. Intel Corp., 1995. 515 p.

Methodology for Testing Microprocessor Core of System on Chip with x86-Compatible Microprocessor

M.I. Dyabin[1], A.V. Reshetnikov[2], E.A. Saksonov

[1]"Kaskad" Ltd., Moscow, dyabin@mail.ru

[2]"Accord" Ltd., Moscow, a_reshetnikov@hush.com

[3]Moscow Technical University of Communications and Informatics, Moscow, saksmiem@mail.ru

***Abstract* — This paper discusses the problem of functional testing of embedded microprocessors. A practical methodology for testing the instruction set of Intel 80186 microprocessor is offered. The main principles, adopted by the authors for development of testing software for the system-on-a-chip called "Kaskad-1", are given. Some difficulties facing the process of testing embedded microprocessor cores are noted.**

While testing the embedded system, the requirements for its testing software depend on the requirements for the embedded system's reliability. In the case when the microprocessor is intended to use as a part of a mission-critical system, i.e. such system that failure may result in serious consequences, it is necessary to use well elaborated methods for testing, based on deep theoretical justifications. But it is often case when an embedded system's processor failure does not result in any dangerous consequences. For such systems the difficult procedures like formal verification of their processor core are unnecessary.

The methodology presented in this paper for testing microprocessors is focused on writing tests quickly, concurrently with the development of the hardware being tested. The core question of testing processor instruction sets is which input data sets should be included in tests? Consider two different input data sets for testing the same processor instruction. When should they be regarded as so similar as successful completion of a test for one of these data sets will most probably mean the same instruction works correctly with the other input data set? In this paper we show how it is possible to find answers for such questions by considering a specific example.

***Keywords* — testing, instruction set, microprocessor core, Intel 80186.**

References

[1] Chegis I.A. Yablonsky S.V. Logicheskie sposoby kontrolya raboty electricheskih skhem (Logical methods of control of work of electrical schemes) // Trudy MIAN SSSR. 1958. Tom 51. S. 270-360 (in Russian).

[2] Bobkov S.G. Metodika testirovaniya mikroskhem dlya kompyuterov serii "Baget" (A methodology for testing circuits for the "Baget" series of computers) // Programmnyye producty I sistemy. 2007. № 3. S. 2-5 (in Russian).

[3] Patankar V.A., Jain A., Bryant R.E. Formal verification of an ARM processor // Proc. Twelfth International Conference on VLSI Design. Goa, India, 1999. P. 282-287.

[4] Arkhipkin A.V. Apparatura peredachi dannykh dlya kompleksa s BLA legkogo klassa (Data communications equipment for a complex with a light class UAV) // Trudy. II nauchno-prakticheskoy konferentsii "Perspektivy raz-vitiya I primeneniya kompleksov s bespilotnymi letatelnymi apparatami". Kongress-tsentr parka "Patriot", Moskovskaya oblast, 14 aprelya 2017. P. 29-34 (in Russian).

[5] Intel Corporation. 80C186EC/80C188EC microprocessor user's manual. Intel Corp., 1995. 515 p.

УДК 004.312 DOI: 10.31114/2078-7707-2020-3-180-187

Особенности использования многоразрядных триггеров для уменьшения потребляемой мощности в нанометровых технологиях

В.С. Калашников, М.Ю. Семенов, Ю.А. Титов

ООО «Эн-Экс-Пи Семикондакторс»,

viacheslav.kalashnikov@nxp.com, mikhail.semenov@nxp.com, yuri.titov@nxp.com

***Аннотация* — Уменьшение потребляемой мощности является одной из важнейших проблем современных Систем на Кристалле (СнК). Существуют различные способы решения данной проблемы как на технологическом уровне (например, различные технологические опции пороговых напряжений), так и на схемотехническом уровне (например, использование ячеек с различными длинами каналов для уменьшения мощности утечки). В данной статье рассмотрены особености применения многоразрядных триггеров с целью снижения суммарной мощности проектируемого устройства. Проведено сравнение библиотечных элементов одноразрядных триггеров и многоразрядных триггеров по технологии 28 нм. Показаны особенности использования многоразрядных триггеров в маршруте проектирования с использованием различных средств САПР. Приведены статистические данные применения многоразрядных триггеров в ряде СнК по технологии 16 нм. В заключении даны рекомендации по использованию многоразрядных триггеров в зависимости от требований по быстродействию и потребляемой мощности, предъявляемых к проекту.**

***Ключевые слова* — триггер; многоразрядный триггер; потребляемая мощность; цифровая библиотека; библиотека стандартных ячеек; маршрут проектирования; нанометровая технология; система на кристалле (СнК), маломощные схемы.**

I. Введение

Разработчики систем на кристалле (СнК) применяют различные методы для уменьшения потребляемой мощности. В общем случае их можно разделить на две категории. К первой категории относятся способы уменьшения мощности с использованием технологических опций, например, различных опций пороговых напряжений (VT – Voltage Threshold) [1-3]. Ко второй категории относятся способы уменьшения мощности с использованием схемотехнических методов, например, использование ячеек с различными длинами каналов для уменьшения мощности утечки [4, 5].

Необходимо отметить, что для нанометровых технологий (например, 16 нм или 28 нм) токи утечки становятся меньше, поэтому проблема уменьшения динамической мощности выходит на первый план.

Одним из эффективных способов уменьшения потребляемой и, в частности, динамической мощностей является использование многоразрядных триггеров [6, 7]. В данной статье представлены результаты анализа, сравнения и применения многоразрядных триггеров в проектах, разработанных по нанометровым технологиям. Показаны особенности их применения на примере технологий с нормами 28 нм и 16 нм.

Раздел II содержит сравнительный анализ многоразрядных триггеров на уровне библиотечных элементов по технологии 28 нм, особенности их реализации в библиотеках стандартных ячеек. В разделе III рассмотрены особенности использования многоразрядных триггеров в маршруте проектирования с применением современных САПР. В разделе IV приведена статистика использования многоразрядных триггеров в изделиях по технологии FinFET 16 нм. Выводы и заключение представлены в разделе V.

II. Сравнительный анализ многоразрядных триггеров на уровне библиотечных элементов по технологии с нормами 28 нм

Многие поставщики библиотек стандартных ячеек в последнее время включают в их состав не только типовой набор логических элементов [8], но и более сложные функциональные схемы, такие как многоразрядные триггеры.

A. Общая структура многоразрядных триггеров

Типовой набор многоразрядных триггеров в цифровых библиотеках состоит из 2-разрядных, 4-разрядных и 8-разрядных триггеров.

Процесс разработки многоразрядного триггера включает следующие этапы:

1) Для каждого разряда за основу берется схема одноразрядного триггера соответствующей функции.

2) Общие части, такие как буферы тактовых импульсов, сигналов предустановки, сигналов сброса и тестовых сигналов остаются только в одном экземпляре и используются совместно для всех разрядов.

3) Размеры транзисторов в итоговой схеме выбираются с целью поиска оптимального баланса временных и мощностных характеристик.

Необходимо учитывать, что в многоразрядных триггерах буфер тактового импульса имеет увеличенную нагрузку, соответствующую количеству разрядов, что может приводить к необходимости коррекции размеров транзисторов [9, 10]. То же самое относится к остальным частям управляющего блока: буферам тестовых сигналов, сигналов предустановки и сброса.

Существуют две основные структуры многоразрядных триггеров: структура с раздельными сканирующими входами (рис. 1) и структура со встроенной сканирующей цепью (рис. 2).

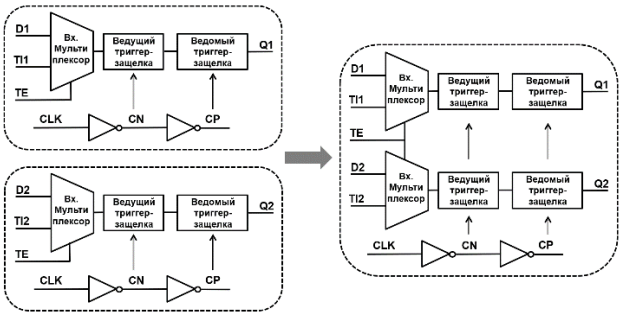


Рис. 1. Структура 2-разрядного триггера с раздельными сканирующими входами

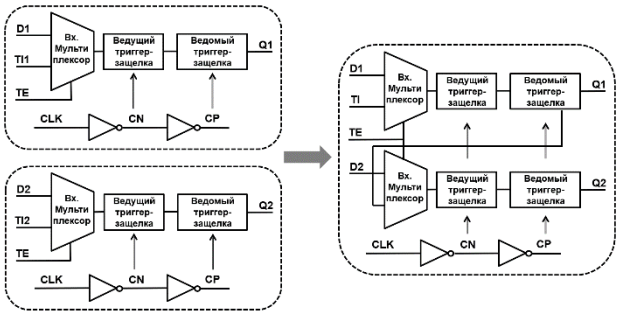


Рис. 2. Структура 2-разрядного триггера со встроенной сканирующей цепью

Основная разница между структурой с раздельными сканирующими входами и структурой со встроенной сканирующей цепью – количество тестовых сигналов данных. Если в структуре со встроенной сканирующей цепью тестовый сигнал данных является общим для всей схемы, то в структуре с раздельными сканирующими входами количество этих сигналов равно количеству разрядов.

Кроме того, структура со встроенной сканирующей цепью обладает дополнительным преимуществом – при построении общей сканирующей цепи на уровне проекта нет необходимости исправлять критичные временные параметры (время установки и время удержания) для сегмента цепи, входящей в состав многоразрядного триггера, так как они уже учтены на этапе разработки ячейки. Именно по этой причине многие библиотеки содержат многоразрядные триггеры со встроенной сканирующей цепью.

B. Преимущества и недостатки

Рассмотрим преимущества и недостатки многоразрядных триггеров на примере разработанных 2-разрядных, 4-разрядных и 8-разрядных триггеров в цифровой библиотеке по технологии 28 нм.

В цифровой библиотеке была реализована структура со встроенной сканирующей цепью многоразрядных триггеров (рис. 2), с коррекцией размеров транзисторов в элементах управляющего блока (буферах тактового импульса, тестового сигнала, сигналов предустановки и сброса). Для определения временных и мощностных параметров, а также площади ячейки было проведено сравнение 2-разрядного, 4-разрядного и 8-разрядного триггеров с эквивалентным количеством одноразрядных триггеров.

Результаты данного сравнения представлены на рис. 3 (разница в процентах указана относительно эквивалентного количества одноразрядных триггеров).

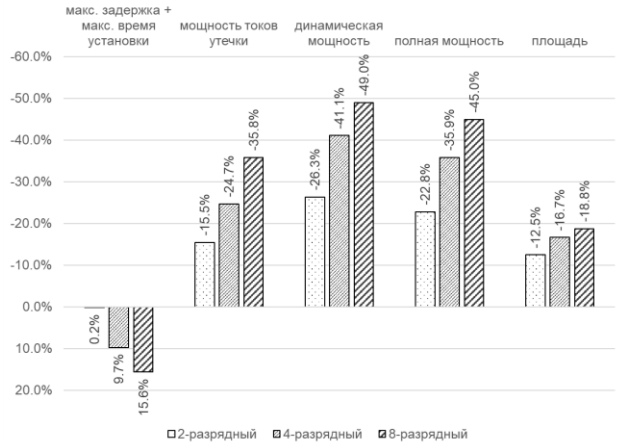


Рис. 3. Результаты сравнения на уровне ячейки

Как видно из результатов сравнения на уровне стандартной ячейки многоразрядные триггеры имеют следующие преимущества:

1) площадь: за счет уменьшения количества элементов в управляющем блоке итоговая площадь ячейки уменьшается;

2) мощность токов утечки: благодаря меньшему количеству транзисторов значительно снижаются токи утечки в статическом режиме;

3) динамическая мощность: за счет уменьшения количества буферов тактовых импульсов снижается динамическая мощность;

4) общая мощность: за счет снижения мощности утечки и динамической мощности также уменьшается.

Необходимо отметить, что временные характеристики многоразрядных триггеров могут незначительно ухудшаться в сравнении с их одноразрядным аналогом. Данный компромисс является ожидаемым, поскольку многоразрядный триггер – это решение, разработанное для снижения мощности.

III. Особенности применения в маршруте проектирования

Современные САПР позволяют эффективно работать с многоразрядными триггерами, добиваясь наиболее оптимальных результатов в зависимости от предъявляемых требований.

Рассмотрим более детально процесс автоматизированного логического синтеза с применением многоразрядных триггеров на примере маршрута Genus Synthesis компании Cadence (рис. 4).



Рис. 4. Основные этапы маршрута синтеза с применением многоразрядных триггеров

Маршрут логического синтеза включает следующие этапы [11]:

A. Этап настройки и чтения входных данных

В первую очередь, задаются временные и мощностные ограничения на проект, а также определяются входные данные, такие как RTL-описание проекта.

B. Трансляция во внутреннее представление

Далее RTL-описание средствами логического синтеза конвертируется во внутреннее представление. Транслятор разбирает и понимает основные примитивы, операторы и конструкции языка. В процессе трансляции требования по площади, мощности, временные ограничения не рассматриваются, так как данный процесс является технологически независимым.

C. Преобразование в технологический базис и оптимизация

На данном этапе средства синтеза преобразуют внутреннее представление проекта в структурное описание с использованием ячеек цифровой библиотеки. Также производится оптимизация в базисе используемой цифровой библиотеки для достижения лучших результатов в соответствии с заданными ограничениями.

D. Определение атрибутов для использования многоразрядных триггеров

После преобразования в технологический базис необходимо разрешить инструменту логического синтеза использовать многоразрядные триггеры, а также определить необходимые ограничения и атрибуты для их эффективного применения.

E. Инкрементальная оптимизация

В процессе инкрементальной оптимизации инструмент синтеза группирует и заменяет одноразрядные триггеры на многоразрядные, а также проводит оптимизацию для удовлетворения заданным ограничениям на проект.

F. Оптимизированное структурное описание

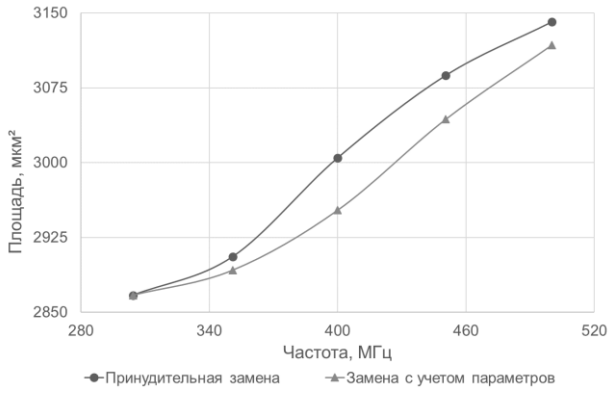
Результатом выполнения средствами синтеза предыдущих этапов маршрута является оптимизированное структурное описание, удовлетворяющее ограничениям на проект и содержащее многоразрядные триггеры.

В настоящее время инструменты синтеза позволяют использовать различные варианты замены многоразрядных триггеров в зависимости от конечных целей. По умолчанию, проект оптимизируется таким образом, чтобы интегрировать как можно большее количество многоразрядных триггеров с учетом временных и мощностных параметров. Приоритетом при замене одноразрядных триггеров обладают триггеры максимальной разрядности, т.е. в первую очередь используются триггеры большей, а затем меньшей разрядности.

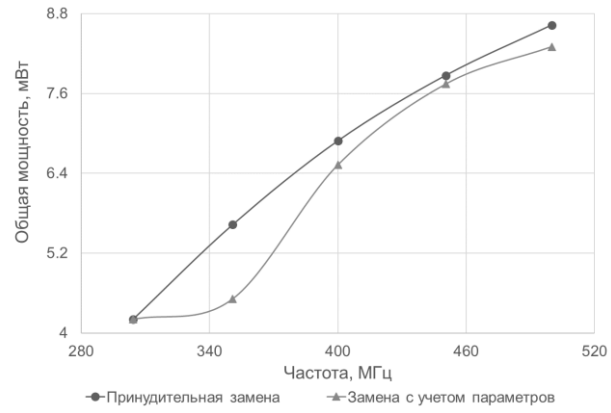
Другой способ замены – принудительная замена одноразрядных триггеров на многоразрядные. При принудительной замене одноразрядных триггеров на многоразрядные, инструмент синтеза заменяет все одноразрядные триггеры, также используя приоритет для триггеров максимальной разрядности, обеспечивая минимизацию мощности без учета временных параметров. Например, если в проекте количество одноразрядных триггеров равно 46, то при полной замене в итоговом проекте будет пять 8-разрядных триггеров, один 4-разрядный и один 2-разрядный триггер.

Анализ результатов синтеза с различными способами замены (рис. 5) показывает: на низких частотах (менее 300 МГц) принудительная замена имеет такие же результаты, что и замена с учетом временных и мощностных параметров. Это объясняется тем, что при таких низких частотах данный проект имеет большой запас по временным ограничениям.

В свою очередь, на высоких частотах принудительная замена может приводить к деградации временных характеристик (т.к. многоразрядные триггеры имеют худшее быстродействие по сравнению с одноразрядными), вынуждая средства синтеза использовать ячейки с большей нагрузочной способностью в критических путях, что негативно влияет на суммарную площадь и мощность.



(а)



(б)

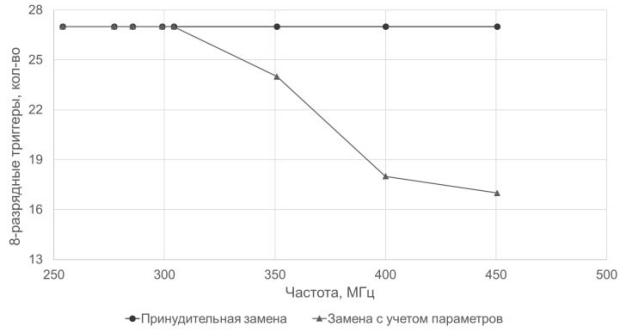
Рис. 5. Результаты синтеза с принудительной заменой и с заменой с учетом временных и мощностных параметров: (а) зависимость площади от частоты, (б) зависимость общей мощности от частоты

Замена с учетом временных и мощностных параметров на высоких частотах позволяет наиболее эффективно использовать многоразрядные триггеры: в некритических путях заменяются все одноразрядные триггеры, а в критических используется сбалансированный состав из многоразрядных и одноразрядных триггеров.

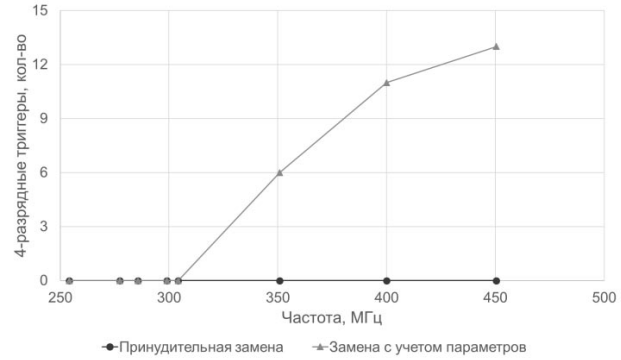
Эти выводы подтверждаются также результатами анализа проекта по составу триггеров (рис. 6).

Результаты анализа проекта по составу триггеров (рис. 6) показывают, что количество 2-разрядных, 4-разрядных и 8-разрядных триггеров зависит от выбранного способа замены:

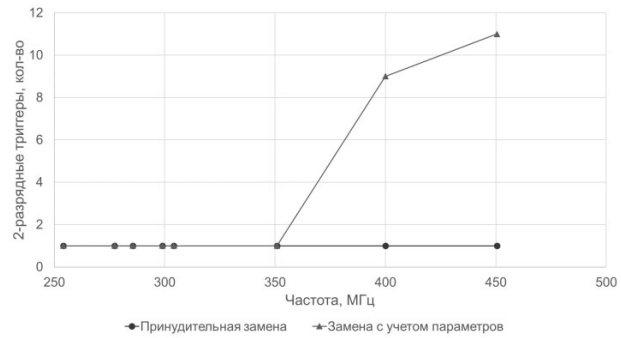
1) Принудительная замена обеспечивает максимальное использование многоразрядных триггеров, начиная с триггеров большей разрядности и заканчивая меньшей. Данный способ замены эффективен в части проекта, где временные ограничения не критичны.



(а)



(б)



(в)

Рис. 6. Анализ проекта после логического синтеза по составу многоразрядных триггеров: (а) – использование 8-разрядных триггеров, (б) – использование 4-разрядных триггеров, (в) – использование 2-разрядных триггеров

2) Замена с учетом временных и мощностных параметров позволяет добиться лучшего баланса использования многоразрядных триггеров. Триггеры большей разрядности используются в некритичных путях для уменьшения суммарной мощности, а триггеры меньшей разрядности используются в частях проекта, где необходимо удовлетворять требования по быстродействию.

Результаты бенчмарка на основе цифровой части проекта, включающей ~40K эквивалентных вентилей, позволяют сделать следующие выводы:

1) Использование многоразрядных триггеров приводит к уменьшению общей площади на 3-5%.

2) Многоразрядные триггеры уменьшают мощность токов утечки до 7%.

3) Динамическая мощность с использованием многоразрядных триггеров уменьшается до 30%.

4) Общая мощность проекта уменьшается до 23% благодаря использованию многоразрядных триггеров.

IV. Статистика применения многоразрядных триггеров в изделиях по технологии FinFET 16 нм

В настоящее время многие компании-поставщики библиотек стандартных ячеек включают в их состав многоразрядные триггеры для снижения потребляемой мощности с применением современных маршрутов проектирования. Как правило, предлагаются 2-разрядные, 4-разрядные, реже 6-разрядные или 8-разрядные варианты реализации. Однако, зачастую это является дополнительной опцией и может приводить к росту затрат на разработку конечного продукта. Кроме того, поставка может содержать ограниченный набор доступных разрядностей триггеров, тогда как для достижения наилучшего результата необходим максимально полный набор. Немаловажным фактором остается и то, какую именно функциональность имеют доступные в библиотеке многоразрядные триггеры. В случае отсутствия той или иной функции из состава проекта, реализованной в виде многоразрядного триггера, преимущества данного подхода не могут быть использованы полностью.

Одним из возможных подходов к эффективному применению многоразрядных триггеров является собственная разработка необходимого набора ячеек в качестве дополнения к основной библиотеке компании-поставщика. В этом случае эффективным подходом является анализ целевых проектов и выявление наиболее востребованных последовательностных функций для их реализации в виде многоразрядных триггеров [12]. Таким образом, данный подход успешно применялся в компании NXP Semiconductors при разработке платформы проектирования по технологии FinFET 16нм.

На основе имевшихся данных был определен следующий список последовательностных функций, реализованных затем в виде 2-разрядных, 4-разрядных и 8-разрядных триггеров (табл. 1).

Таблица 1

Функции многоразрядных триггеров в библиотеке FinFET 16нм

Функция	**Описание**	**Количество разрядов**
sdffpq	Сканирующий D-триггер, управляемый фронтом, неинвертирующий выход	2/4/8
sdffprq	Сканирующий D-триггер, управляемый фронтом, асинхронный сброс, неинвертирующий выход	2/4/8
sdffpsq	Сканирующий D-триггер, управляемый фронтом, асинхронная установка, неинвертирующий выход	2/4/8
sdffpcq	Сканирующий D-триггер, управляемый фронтом, синхронный сброс, неинвертирующий выход	2/4/8

Вышеописанные семейства многоразрядных триггеров были использованы затем при разработке ряда продуктов компании по технологии FinFET 16 нм, представляющих собой современные решения в области автомобильной безопасности, автомобильных сетевых процессоров и микроконтроллеров. Далее рассмотрим статистику применения многоразрядных триггеров в составе реальных систем на кристалле на примере 3 различных продуктов.

Первым и наиболее очевидным параметром в подобном анализе является непосредственное количество триггеров различной разрядности, используемых в каждом из продуктов. На рис. 7-9 приведены результаты анализа данных по использованию триггеров из табл. 1 с разной разрядностью. Как показывает статистика, подавляющее большинство – это одноразрядные триггеры, составляющие от 64% до 81% от общего числа ячеек с рассматриваемой функциональностью. Далее следуют 8-разрядные версии триггеров, составляя от 12% до 25% от общего числа триггеров. Оставшуюся часть почти поровну делят 2-разрядные и 4-разрядные реализации. Таким образом, на долю многоразрядных триггеров приходится от 19% до 36% суммарного числа ячеек с указанными функциями. Отметим, что данные результаты рассматривают многоразрядный триггер как одну отдельную ячейку. Однако, для более точного представления о статистике использования многоразрядных триггеров необходимо также привести данные по их количеству в терминах эквивалентных одноразрядных версий.

Более явным показателем востребованности исследуемого класса ячеек является количество одноразрядных триггеров определенной функции, замененных на многоразрядные в процессе разработки продуктов. Таким образом, имея исходное количество одноразрядных триггеров в проекте, можно оценить процентное соотношение многоразрядных триггеров, приведенных к их одноразрядной версии, т.е. 8-разрядный триггер рассматривается как 8 одноразрядных версий. На рис. 10-12 представлены результаты анализа продуктов по данному критерию.

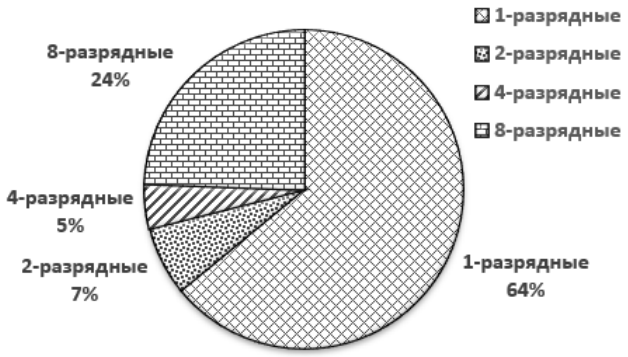


Рис. 7. Статистика использования триггеров с различной разрядностью в продукте 1



Рис. 8. Статистика использования триггеров с различной разрядностью в продукте 2

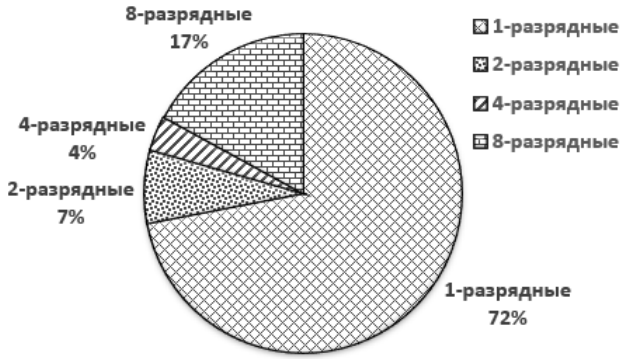


Рис. 9. Статистика использования триггеров с различной разрядностью в продукте 3

Как следует из приведенных диаграмм, до 73% одноразрядных триггеров были заменены средствами САПР триггерами максимальной разрядности (в нашем случае 8-разрядными). На долю 2-разрядных и 4-разрядных триггеров приходится суммарно до 21% от общего числа замененных одноразрядных триггеров. В зависимости от продукта и функции конкретные цифры могут отличаться, однако тенденция широкого применения многоразрядных триггеров прослеживается довольно четко.

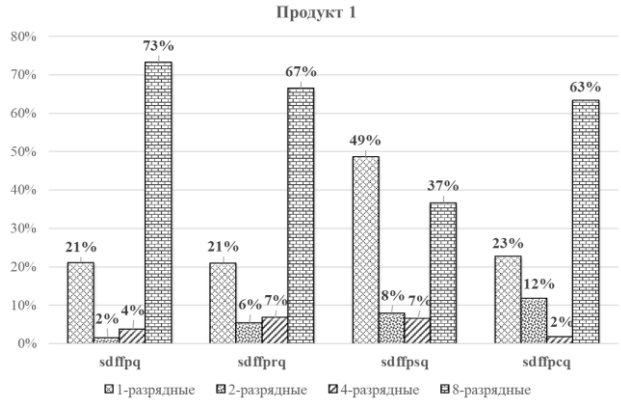


Рис. 10. Статистика замены одноразрядных тригеров на многоразрядные в продукте 1

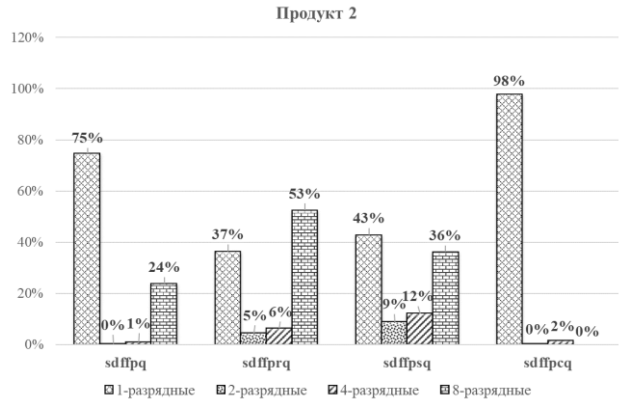


Рис. 11. Статистика замены одноразрядных тригеров на многоразрядные в продукте 2

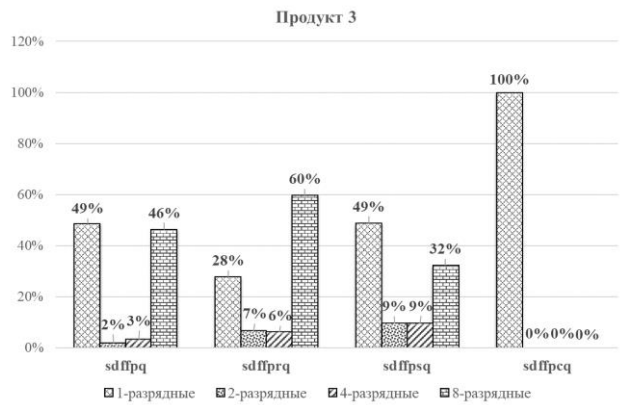


Рис. 12. Статистика замены одноразрядных тригеров на многоразрядные в продукте 3

Суммарная статистика применения многоразрядных триггеров в трех изделиях, разработанных по технологии FinFET 16 нм приведена в табл. 2. Максимальные значения для каждого продукта и функции выделены жирным шрифтом. Таким образом, наиболее востребованными в проектах являются триггеры максимальной разрядности, доступные в библиотеке стандартных ячеек (в данном случае 8-разрядные триггеры), что позволяет значительно уменьшить общую потребляемую

мощность. В свою очередь, триггеры меньшей разрядности используются реже, в тех случаях, где использование большей разрядности приводит к ухудшению быстродействия.

Таблица 2

Статистика применения многоразрядных триггеров в изделиях по технологии FinFET 16 нм

Функция	одноразрядные			2-разрядные			4-разрядные			8-разрядные		
	Пр. 1	**Пр. 2**	**Пр. 3**	**Пр. 1**	**Пр. 2**	**Пр. 3**	**Пр. 1**	**Пр. 2**	**Пр. 3**	**Пр. 1**	**Пр. 2**	**Пр. 3**
sdffpq	21%	**75%**	**49%**	2%	0%	2%	4%	1%	3%	**73%**	24%	46%
sdffprq	21%	37%	28%	6%	5%	7%	7%	6%	6%	**67%**	**53%**	**60%**
sdffpsq	**49%**	**43%**	**49%**	8%	9%	9%	7%	12%	9%	37%	36%	32%
sdffpcq	23%	**98%**	**100%**	12%	0%	0%	2%	2%	0%	**63%**	0%	0%
Всего ячеек	**64%**	**81%**	**72%**	7%	4%	7%	5%	3%	4%	24%	12%	17%

V. Заключение

В данной статье рассмотрена общая структура многоразрядных триггеров, проанализированы их преимущества и недостатки. Проведено сравнение многоразрядных и одноразрядных триггеров на уровне библиотечных элементов.

Особенности применения многоразрядных триггеров показаны на примере маршрута проектирования с использованием САПР Cadence и библиотек стандартных ячеек с технологическими нормами 28 нм. Проанализированы различные способы замены одноразрядных триггеров (принудительная и с учетом временных и мощностных параметров), а также их влияние на основные характеристики проекта.

В заключение приведена статистика использования многоразрядных триггеров в современных продуктах, изготовленных по технологии FinFET 16 нм.

Полученные результаты могут применяться разработчиками при проектировании СнК как один из эффективных методов уменьшения потребляемой мощности.

Литература

[1] Srivastav W. M., Rao S. S. S. P., Bhatnagar H. Power reduction techniques using multi-Vt libraries // Proc. IWSOC. 2005. P. 363-367.

[2] Chen H. I. A., Loo E. K. W., Kuo J. B., Syrzycki M. J. Triple-Threshold Static Power Minimization Technique in High-Level Synthesis for Designing High-Speed Low-Power SOC Applications Using 90nm MTCMOS Technology // Canadian Conference on Electrical and Computer Engineering, Vancouver, BC. 2007. P. 1671-1674.

[3] Gundu A. K., Kursun V. Energy Efficient Clock Distribution with Low-Leakage Multi-Vt Buffers // 29th International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), Rhodes, Greece. 2019. P. 113-118.

[4] Hu J., Wang J. Low leakage power designs of basic standard cells using gate-length biasing // Proc. IEEE Electronics, Communications and Control (ICECC), 2011 International Conference on 9-11 Sept. 2011. P. 324-327.

[5] Cui T., Li J., Wang Y., Nazarian S., Pedram M. An Exploration of Applying Gate-Length-Biasing Techniques to Deeply-Scaled FinFETs Operating in Multiple Voltage Regimes // IEEE Transactions on Emerging Topics in Computing. April-June 2018. Vol. 6, no. 2. P. 172-183.

[6] Chen Z., Yan J. Utilization of multi-bit flip-flops for clock power reduction // 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), Seville. 2012. P. 677-680.

[7] Vishnu P. V., Priyarenjini A. R., Kotha N. Clock Tree Synthesis Techniques for Optimal Power and Timing Convergence in SoC Partitions // 4th International Conference on Recent Trends on Electronics, Information, Communication & Technology (RTEICT), Bangalore, India. 2019. P. 276-280.

[8] Doman D. Engineering the CMOS Library: Enhancing digital design kits for competitive silicon. New Jersey, Wiley, 2012. 342 p.

[9] Dhivya V., Prakasam P. Effective and efficient technique for power reduction by Multi-bit flip-flops // International Conference on Electronics and Communication Systems (ICECS), Coimbatore. 2014. P. 1-5.

[10] Sutherland I., Sproull B., Harris D. Logical Effort: Designing Fast CMOS Circuits. San Mateo, CA, USA: Morgan Kaufmann, 1999. 240 p.

[11] Стемпковский А.Л., Семенов М.Ю. Основы логического синтеза средствами САПР Synopsys с использованием Verilog HDL // М.: МИЭТ. 2005. 140 с.

[12] Калашников В.С., Семенов М.Ю. Оптимизация состава библиотек стандартных ячеек // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. № 2. С. 217-224.

Multi-bit Flip-flop Usage Features to Reduce Power in Nanotechnologies

V.S. Kalashnikov, M.Y. Semenov, Y.A. Titov

NXP Semiconductors,

viacheslav.kalashnikov@nxp.com, mikhail.semenov@nxp.com, yuri.titov@nxp.com

***Abstract* — System-on-Chips (SoC) designers use different techniques to reduce power consumption of their designs. Generally these methods can be divided into two categories. The first category includes techniques which can use various technology options, for example different Voltage threshold (VT) options. The second category contains different circuit design methods, for example increased gate length cells to reduce leakage power.**

One of the effective ways to reduce total power is the usage of Multi-bit Flip-flops (MBFFs). The results of comparison and application of MBFFs have been presented in this article. Application features of MBFFs based on 16nm and 28nm technology nodes have been also described.

Comparison analysis of MBFFs, implemented in 28nm standard cell libraries, has been done in Chapter II. Stitched and Non-stitched architectures, its advantages and drawbacks have been considered. Cell-level comparison of MBFFs has shown the area and power benefits in comparison with equivalent number of single-bit flip-flops.

Chapter III describes how to proper use MBFFs in Digital Design Flow using Cadence CAD tools. Single-bit flip-flops can be replaced by MBFFs on SoC level keeping different options:

- forced replacement which substitutes maximum as possible number of single-bit flip-flops and provides maximum benefits in power, but makes worse timing characteristics, especially in critical timing paths;

- replacement with keeping and analyzing of timing constraints for all paths, which provides balance between power and timing characteristics.

In Chapter IV the statistical results of MBBFs usage in 16nm FinFET projects have been given.

The results presented in this article have shown, confirmed and proved the usage of MBFFs as effective low-power solution.

***Keywords* — flip-flop, Multi-bit flip-flop (MBFF), power consumption, digital library, standard cell library, digital design flow, nanotechnology, System-on-Chip (SoC), low power design**

REFERENCES

[1] Srivastav W. M., Rao S. S. S. P., Bhatnagar H. Power reduction techniques using multi-Vt libraries // Proc. IWSOC. 2005. P. 363-367.

[2] Chen H. I. A., Loo E. K. W., Kuo J. B., Syrzycki M. J. Triple-Threshold Static Power Minimization Technique in High-Level Synthesis for Designing High-Speed Low-Power SOC Applications Using 90nm MTCMOS Technology // Canadian Conference on Electrical and Computer Engineering, Vancouver, BC. 2007. P. 1671-1674.

[3] Gundu A. K., Kursun V. Energy Efficient Clock Distribution with Low-Leakage Multi-Vt Buffers // 29th International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), Rhodes, Greece. 2019. P. 113-118.

[4] Hu J., Wang J. Low leakage power designs of basic standard cells using gate-length biasing // Proc. IEEE Electronics, Communications and Control (ICECC), 2011 International Conference on 9-11 Sept. 2011. P. 324-327.

[5] Cui T., Li J., Wang Y., Nazarian S., Pedram M. An Exploration of Applying Gate-Length-Biasing Techniques to Deeply-Scaled FinFETs Operating in Multiple Voltage Regimes // IEEE Transactions on Emerging Topics in Computing. April-June 2018. Vol. 6, no. 2. P. 172-183.

[6] Chen Z., Yan J. Utilization of multi-bit flip-flops for clock power reduction // 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), Seville. 2012. P. 677-680.

[7] Vishnu P. V., Priyarenjini A. R., Kotha N. Clock Tree Synthesis Techniques for Optimal Power and Timing Convergence in SoC Partitions // 4th International Conference on Recent Trends on Electronics, Information, Communication & Technology (RTEICT), Bangalore, India. 2019. P. 276-280.

[8] Doman D. Engineering the CMOS Library: Enhancing digital design kits for competitive silicon. New Jersey, Wiley, 2012. 342 p.

[9] Dhivya V., Prakasam P. Effective and efficient technique for power reduction by Multi-bit flip-flops // International Conference on Electronics and Communication Systems (ICECS), Coimbatore. 2014. P. 1-5.

[10] Sutherland I., Sproull B., Harris D. Logical Effort: Designing Fast CMOS Circuits. San Mateo, CA, USA: Morgan Kaufmann, 1999. 240 p.

[11] Stempkovskiy A.L., Semenov M.Y. Osnovy logicheskogo sinteza sredstvami SAPR Synopsys s ispolzovaniem Verilog HDL (Basics of logic synthesis by Synopsys EDA tools using Verilog HDL) // M.: MIET, 2005. 140 s. (In Russian).

[12] Kalashnikov V.S., Semenov M.Y. Optimizaciya sostava bibliotek standartnykh yacheek (Standard cell libraries content optimization) // Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES). 2016. № 2. S. 217-224 (in Russian).

УДК 004.052.2 DOI: 10.31114/2078-7707-2020-3-188-193

Сравнительная характеристика методов повышения сбоеустойчивости топологии блоков целочисленного умножения/деления в проектных нормах 65 нм

А.О. Власов, Н.В. Желудков, А.В. Клишин, Е.К. Эмин, М.С. Горбунов

ФГУП ФНЦ НИИСИ РАН, г. Москва,

emin@cs.niisi.ras.ru

***Аннотация* — Для повышения сбоеустойчивости современных цифровых схем может применяться множество различных подходов к проектированию. Одним из наиболее распространенных методов повышения сбоеустойчивости является тройное модульное резервирование (TMP). Существует целое множество различных вариаций троирования. Однако аппаратное троирование не гарантирует полную стойкость к одиночным радиационным эффектам. Целесообразность применения определенного подхода зависит от архитектуры, технического задания и ограничений по быстродействию. В данной статье были реализованы различные варианты троирования в рамках соответствия стандартной методологии проектирования, т.е. с использованием немодифицированного RTL кода и библиотеки стандартных ячеек. Представлена сравнительная характеристика стойкости рассмотренных схем троирования к одиночным сбоям на основе метода симуляции сбоев с учетом топологического представления.**

***Ключевые слова* — SEU, SET, TMR, одиночные эффекты.**

I. Введение

Все больше и больше микроэлектронных изделий применяются в жизненно важных прикладных областях, таких как здравоохранение, транспорт, автомобилестроение и освоение космоса. Здесь последствия отказов в реальных условиях, аппаратных ошибок и сбоев могут быть катастрофическими. Такие аспекты, как надежность, качество и безопасность больше не могут рассматриваться отдельно друг от друга, а кроме того следует учитывать традиционную триаду параметров микросхемы – себестоимость, энергопотребление и быстродействие [1].

Таким образом, вопрос выбора наиболее эффективного и оптимального способа парирования сбоев является важной научно-технической задачей, а потому актуальны исследования на реальных тестовых схемах.

Для современной методологии проектирования цифровых микросхем по-прежнему характерен экспоненциальный рост числа элементов на кристалле и значительное усложнение как архитектуры, так и схемотехнического представления функциональных блоков. Для упрощения и ускорения проектирования применяется повторное использование одинаковых блоков в различных проектах микросхем. Следовательно, актуальны методы, которые могут быть реализованы не только на этапе архитектурного проектирования (или этапа разработки RTL), но и непосредственно на этапе логического синтеза уже готового RTL представления схемы.

Увеличение срока функционирования космических аппаратов неизбежно влечет за собой повышение требований к стойкости к одиночным эффектам, вызванным радиационным воздействием, что является одной из главных задач, возникающих при проектировании радиационно-стойких интегральных схем. Впервые данная задача была сформулирована еще в 1956 г. в фундаментальной работе фон Неймана [2]. В дальнейшем данная тема была значительно развита в научных трудах других авторов, например, Эдварда Муар и Клода Шеннона [3]. На основе тройного модульного резервирования существует несколько разработанных подходов к проектированию, которые обеспечивают более высокую надежность системы [4-7].

Одиночные события – это радиационные эффекты, причиной возникновения которых является взаимодействие одиночной заряженной частицы (ОЗЧ) с активной областью прибора. Все одиночные события при воздействии ОЗЧ можно разделить на две группы: обратимые и необратимые (катастрофические). К обратимым относятся такие эффекты, как SEU (Single Event Upset) – одиночный сбой элемента памяти и SET (Single Event Transient) – одиночный эффект переходной ионизационной реакции.

Тройное модульное резервирование (TMP) или triple modular redundancy (TMR) – это пример метода парирования последствий SEU. По мере уменьшения технологических норм наблюдается сокращение длины проводников и, как следствие, снижение величины эквивалентной емкости межсоединений. Таким образом, при попадании заряженной частицы в площадь кристалла, заряд, возникающий в рабочей области, может приводить к переключению большего количества элементов памяти и возникновению помех в большем количестве комбинационных путей по сравнению с более ранними технологиями. Увеличивается как общее число сбоев, так и доля

сбоев, вызванных SET. Это можно объяснить увеличением длительности импульса переходной ионизационной реакции, вызванной SET сбоем в тракте комбинационной логики.

В данный момент в НИИСИ РАН разрабатывается проект радиационно-стойкой сбоеустойчивой микросхемы по технологическим нормам 65 нм. Было решено оценить параметры сбоеустойчивости для функционального блока, выполненного по данной технологии при помощи инструмента инжекции сбоев с учетом топологии. В качестве объекта было решено использовать блок целочисленного умножения/деления из состава микропроцессорного ядра. В работе представлен сравнительный анализ сбоеустойчивости вариаций различных методов повышения сбоеустойчивости.

II. Методы повышения сбоеустойчивости

Условно методы борьбы с эффектами одиночных сбоев можно разделить на две группы: уменьшающие вероятность возникновения сбоя в элементе памяти при попадании частицы в чувствительную область микросхем (маскирование сбоев) и обеспечивающие исправление возникших сбоев (коррекция).

Одиночные сбои могут влиять на память, регистры и комбинационную логику. Примером методов устранения последствий SEU являются подходы по реализации тройного модульного резервирования в логике микросхемы [8].

В соответствии с методологией TMR [9-10], существует четыре основных типов схем:

1. Блочное троирование (БТМР) – используются три копии одного и того же блока. Их выходы подключены через мажорирующий элемент.

2. Локальное троирование (ЛТМР) – троируются только последовательные элементы. Выходы триггеров подключаются через мажорирующие элементы. Дерево синхросигналов не троируется.

3. Распределенное троирование (РТМР) – троируются триггеры и комбинационная логика. Дерево синхросигналов не троируется.

4. Глобальное троирование (ГТМР) – троируются все элементы, включая дерево синхросигналов.

Главным недостатком ЛТМР и РТМР являются некорректируемые сбои в элементах дерева распространения синхросигнала. При возникновении SET вблизи активного фронта тактового сигнала, все три триггера сохранят неправильное логическое состояние.

III. Описание методики моделирования. Тестируемое устройство

Так как экспериментальная оценка частоты сбоев требует больших материальных, аппаратных и временных затрат, то высок интерес к методам моделирования сбоев. Такие методы широко представлены в ряде работ [9-10]. В рамках работ, проводимых в НИИСИ РАН, был создан инструмент для моделирования последствий сбоев в ячейках с учетом топологии [11]. Он представляет собой набор классов SystemVerilog и позволяет моделировать последствия сбоев во время моделирования нетлиста. Инструмент также способен на основании данных, полученных из DEF файла сопоставить по иерархическим именам соответствующий элемент из нетлиста. При помощи программного инжектора можно промоделировать сбой в последовательном элементе – как переключение его в противоположное логическое состояние. Сбой в комбинационном элементе (SET) моделируется как временное изменение логического состояния (длительностью 100 пс) на выходе элемента. Цели для внесения сбоев могут задаваться при помощи выбора случайной координаты – инжектор генерирует квадратную область заданного размера (1 мкм) и на основе топологической информации определяет какие ячейки оказались в этой области. Для всех пораженных ячеек выполняется моделирование сбоев.

В качестве тестируемого устройства был выбран блок 32-разрядного целочисленного умножения/деления, входящий в состав микропроцессорного ядра, разрабатываемого в НИИСИ РАН. Данный блок был выбран, т.к. в его составе нет макроблоков и элементов памяти, а также его структура достаточно неоднородна. Таким образом, это позволит адекватно оценить свойства троируемых вариантов.

Широко известно, что со снижением технологических норм вероятность поражения одной частицей одновременно нескольких ячеек возрастает. Для борьбы эффектом многократного сбоя применяют пространственное разнесение чувствительных областей. Регистры размещают на расстоянии не менее 2,8 мкм друг от друга. Чтобы гарантировать надежное соблюдение правил размещения триггеров на заданное расстояние применяется метод троированных триггеров. Здесь применяется иерархический принцип проектирования – каждые три копии триггера, также соответствующие им мажорирующие элементы, выделяются из нетлиста в отдельную структуру – домен. Логические элементы в рамках данного домена размещаются с разнесением.

По высоте ячейки разнесены друг от друга на 2,8 мкм, т.е. на один ряд, высота которого равна высоте стандартной ячейки, по горизонтали – на 2,64 мкм. Различие в величине разнесения элементов по горизонтали и вертикали связано с тем, что используемая библиотека обладает горизонтальным шагом 0,24 мкм, поэтому элементы по горизонтали не могут находиться друг от друга на расстоянии 2,8 мкм, а только на расстоянии кратном 0,24 мкм. Также триггеры и мажорирующие ячейки отстоят от края блока по горизонтали на 1,44 мкм. Такое разнесение позволяет исключить ситуацию поражения сразу двух триггеров или мажорирующих элементов из соседних доменов (рис. 1).

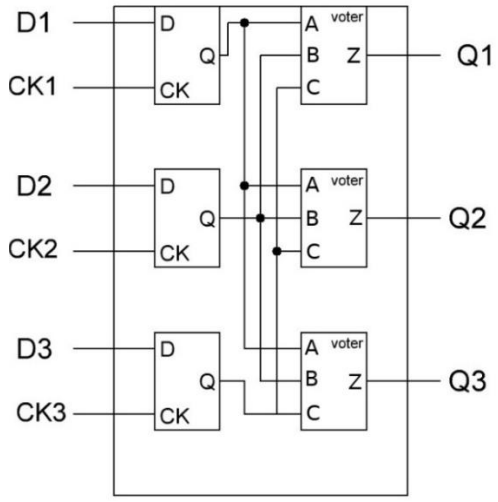


Рис. 1. Схема размещения элементов одного троированного домена

Также поставленная задача заключалась в минимизации геометрических размеров блоков без ухудшения сбоеустойчивости и производительности. Поэтому было решено исследовать целесообразность разнесения последовательных элементов и мажорирующих ячеек в троированных доменах на расстояние не менее 2,64 мкм. Вариант с разнесением будет обозначаться в дальнейшем (РМ). Это условие сказалось на росте площади троированных триггеров.

Современные средства автоматизации проектирования топологии микросхем позволяют добавлять дополнительные правила на размещение элементов на этапе размещения стандартных ячеек. Например, можно задать разнесение триггеров одного домена на 2,8 мкм. Далее, такой вариант будет обозначаться ПР.

Таким образом, блок целочисленного умножения/деления был реализован в 11 различных вариантах: базовый вариант без применения троирования, с применением блочного троирования (БТМР), с троированными триггерами ЛТМР, РТМР, ГТМР без и с разнесением (РМ) мажорирующих элементов, а также ЛТМР, РТМР и ГТМР с разнесением при помощи САПР (ПР).

Также наша задача заключалась в минимизации геометрических размеров блоков без ухудшения производительности. В процессе топологического проектирования каждая из копий оптимизировалась с сохранением рабочей частоты в 200 МГц. Под максимальным быстродействием подразумевается частота с учетом запаса по быстродействию, т.е. запаса по времени предустановки сигнала. В табл. 1 приведены параметры полученных блоков. Для наглядности динамическая мощность $P_д$ при 20% активности переключения представлена в мкВт/МГц, мощность утечки $P_{ут}$ в мВт/мкм^2. В этой статье для топологической имплементации была выбрана специально разработанная радиационно-стойкая библиотека на основе 65-нм технологии.

Таблица 1

Характеристики блоков умножения/деления

Вариант	Максимальное быстродействие, МГц	Площадь, 10^{-1}мм^2	Плотность размещения, %	$P_д$, мВт/мм^2	$P_{ут}$, мкВт/МГц
Базовый	380,7	0,37	53,20	1,54	2,12
БТМР	257,0	2,25	64,5	5,41	9,01
ЛТМР	289,0	0,8	60,0	5,80	3,28
ЛТМР (РМ)	272,1	1,03	60,20	10,13	2,90
ЛТМР (ПР)	276,2	0,5	55,00	3,47	2,33
РТМР	283,9	1,4	63,0	11,53	6,71
РТМР (РМ)	287,4	1,7	62,5	36,70	6,20
РТМР (ПР)	262,5	1,15	59,00	9,40	6,10
ГТМР	281,5	1,4	63,3	12,29	6,73
ГТМР (РМ)	312,5	1,7	62,6	10,00	5,76
ГТМР (ПР)	281,4	1,17	56,10	9,88	6,02

IV. Моделирование и анализ результатов

Для тестирования каждого из вариантов была разработана простая тестовая схема, которая состоит из двух версий делителя/умножителя – эталонной и тестовой, в которую инжектировались сбои. Сначала в рамках тестовой задачи на входы A, B, IR1A (выбор соответствующего режима) обеих версий подаются случайные значения, после чего запускается тест, длительностью 34 такта (максимальная длительность алгоритма деления). В случайное время в тестовую версию инжектируется один сбой и в пораженных ячейках моделируется последствия вышеупомянутых эффектов. В конце теста значения выходов обеих версий сравниваются при помощи операции Искл.ИЛИ, и при любом различии выходов – фиксируется ошибка. Структурная схема тестовой системы показана на рис. 2.

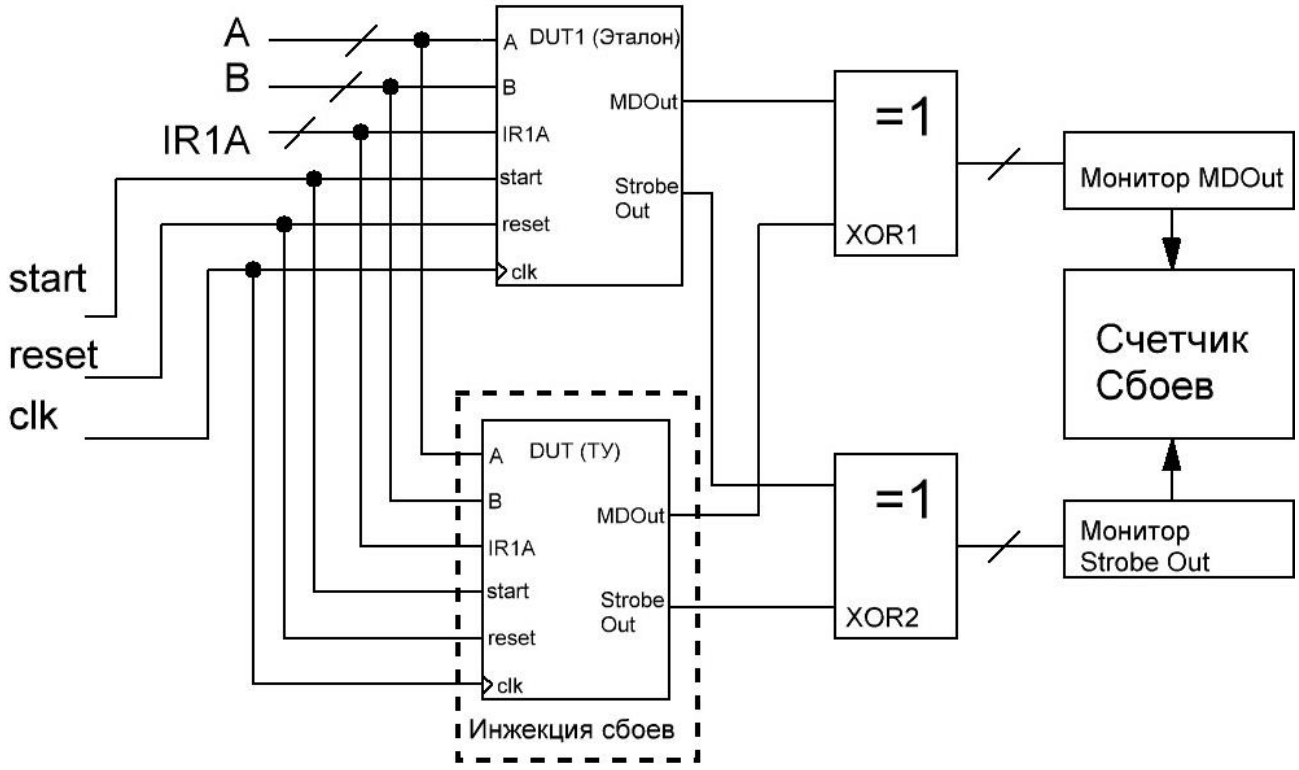


Рис. 2. Структурная схема тестового окружения

Таблица 2

Результаты моделирования сбоев

Вариант	Количество тестов с ошибкой	Общее количество тестов	Ф, 10^5 мм$^{-2}$	σ, 10^{-2} мм^2
Базовый	2998	10000	2,7	1,11
БТМР	1637	100000	4,5	0,36
ЛТМР	3905	30000	3,97	1,30
ЛТМР (РМ)	3895	25000	2,4	0,99
ЛТМР (ПР)	5327	20000	4,3	1,23
РТМР	2035	30000	2,10	0,97
РТМР (РМ)	1119	35000	2,08	0,54
РТМР (ПР)	1731	30000	2,6	0,67
ГТМР	1887	30000	2,10	0,95
ГТМР (РМ)	1371	25580	2,07	0,89
ГТМР (ПР)	1233	30000	2,6	0,48

Сечения событий, полученные в результате моделирования приведены в табл. 2. Для сравнения результатов используется сечение событий σ. σ – это отношение числа тестов, в которых была зафиксирована ошибка к флюенсу (1):

$$\sigma = \frac{N}{\Phi} \qquad (1),$$

где N - число тестов с ошибкой, Φ - значение флюенса.

Сразу следует отметить, что самое высокое значение сечения сбоев было зафиксировано для всех ЛТМР вариантов. Это свидетельствует о трех основных факторах: сбои в элементах дерева распространения тактового сигнала; для данного тестируемого блока общий вклад SEU сбоев в последовательных элементах незначителен по сравнению со сбоями, индуцированными в комбинационной логике, т.к. в среднем соотношение триггеров к комбинационным элементам для ЛТМР и ЛТМР (РМ) равно 0,1. Также в данном блоке во всех вариантах присутствует большое количество полных сумматоров из состава библиотеки стандартных ячеек. Данные ячейки занимают значительную площадь (17,5 мкм^2) и относятся к комбинационной логике, т.е. к ним не применялось троирование и разнесение. Как результат, эти ячейки чаще всего подвергались сбоям. Кроме того, сравнительно невысокое сечение сбоев нетроированного варианта можно объяснить неравномерной локальной плотностью размещения

элементов на кристалле, что в ряде случаев приводило к попаданию одной частицы одновременно в 6 элементов. Т.е. для ЛТМР вариантов по сравнению с базовым уменьшилась максимальная кратность сбоев, однако общее количество тестов, завершившихся с ошибкой, увеличилось.

Среди РТМР вариантов наибольшей устойчивостью к сбоям обладает РТМР (РМ). Можно отметить значительное сокращение сбоев по сравнению с ЛТМР (РМ), это обусловлено троированием комбинационных путей. Однако данная мера никак не защищает от последствий сбоев в элементах тактового дерева.

Среди ГТМР следует отметить невысокое значение сечения сбоев для варианта с разнесением средствами САПР. Несмотря на увеличение площади блоков ГТМР вариантов с использованием троированных триггеров, были зафиксированы проблемы на этапе построения дерева распространения тактового сигнала, что привело к необходимости использовать дополнительное количество элементов для его построения. А это в свою очередь увеличило вероятность сбоя в элементах двух разных тактовых деревьев одновременно. Кроме того, значительная часть сбоев связана с попаданием частицы в два мажорирующих элемента одного домена одновременно.

Наименьшим сечением сбоев характеризуется вариант с блочным троированием. Соответственно, этот же вариант можно назвать наиболее сбоеустойчивым к одиночным сбоям в условиях данного теста. Основным фактором таких результатов можно считать пространственное разнесение элементов одного домена, которое автоматически обеспечивает такая методика троирования. Однако определенные ограничения накладывает и архитектура троируемого блока. Например, если структурно он представляет собой сложный автомат конечных состояний, то после сбоя в одном из блоков возможна череда неправильных переключений. Для коррекции необходимо периодически принудительно переводить троированный блок в определенное состояние (например, 0), что не всегда выполнимо, а также требует дополнительных модификаций RTL и тестирования. Кроме того, данный вариант характеризуется и наибольшей площадью размещения – 0,23 мм^2, а также самым низким быстродействием среди всех вариантов.

V. Заключение

В данной работе были рассмотрены подходы по повышению сбоеустойчивости. Было произведено моделирование работы различных вариантов вычислительного блока целочисленных операций из состава СнК в условиях инжекции сбоев. На основе полученных результатов проведен сравнительный анализ различных методов повышения сбоеустойчивости. Так все ЛТМР варианты показали очень низкую устойчивость к одиночным сбоям из-за большого вклада сбоев в комбинационных элементах и элементах тактового дерева. Наибольшую стойкость показал вариант блочного троирования. Однако рассмотрен ряд причин, по которым его нельзя назвать наиболее оптимальным. Также одним из наиболее сбоеустойчивых вариантов можно считать ГТМР троирование с разнесением чувствительных областей.

Результаты показали особую важность размещения не только последовательных, но и комбинационных элементов на кристалле при проектировании топологии сбоеустойчивых микросхем по технологическим нормам 65 нм. Полученные выводы особо актуальны в свете будущих работ НИИСИ РАН.

Поддержка

Публикация выполнена в рамках государственного задания по проведению фундаментальных научных исследований по теме «Архитектурные и схемотехнические методы снижения энергопотребления и повышения сбоеустойчивости микропроцессоров и коммуникационных контроллеров высокопроизводительных ЭВМ» (№ 0065-2019-0008).

Литература

[1] RESCUE: Interdependent Challenges of Reliability, Security andQuality in Nanoelectronic Systems / Maksim Jenihhin, Said Hamdioui,Matteo Sonza Reorda et al. 2019.

[2] von Neumann John. Probabilistic Logics and the Synthesis of Re-liable Organisms from Unreliable Components // Automata Studies. 1956. P. 43-98.

[3] Moore E. F., Shannon C. E. Reliable circuits using less reliablerelays. I. 1956. Sep. Vol. 262, no. 3. P. 191-208.

[4] May T. C., Woods M. H. Alpha-particle-induced soft errorsin dynamic memories // IEEE Transactions on Electron Devices. 1979. Jan. Vol. 26, no. 1. P. 2–9.

[5] Baumann R. Soft errors in advanced computer systems // IEEEDesign Test of Computers. 2005. May. Vol. 22, no. 3. P. 258-266.

[6] Chen C. L., Hsiao M. Y. Error-Correcting Codes for Semiconduc-tor Memory Applications: A State-of-the-Art Review // IBM Journal of Research and Development. 1984. March. Vol. 28, no. 2. P. 124-134.

[7] Petrovic Vladimir, Krstic Milos. Design Flow for Radhard TMRFlip-Flops. 2015. 04. P. 203-208.

[8] R. Hentschke, F. Marques, F. Lima, L. Carro, A. Susin and R. Reis, Analyzing area and performance penalty of protecting different digital modules with Hamming code and triple modular redundancy // Proceedings. 15th Symposium on Integrated Circuits and Systems Design, Porto Alegre, Brazil, 2002, pp. 95-100.

[9] C. Bottoni, B. Coeffic, J.-M. Daveau, G. Gasiot, L. Naviner, and P. Roche, A layout-aware approach to fault injection for improving failure mode prediction // Proc. of Workshop on SELSE, 2015.

[10] B. Coeffic et al., Radiation Hardening Improvement of a SerDes under Heavy Ions up to 60 mev.cm2/mg by Layout-Aware Fault Injection // Proc. of SELSE- 12, Mar. 2016.

[11] P. Chernyakov et al., Comparative Analysis of Layout-Aware Fault Injection on TMR-based DMA Controllers // 2019 IEEE 31st International Conference on Microelectronics (MIEL), Nis, Serbia, 2019, pp. 289-292, doi: 10.1109/MIEL.2019.8889643.

Comparative Analysis of Fault-Tolerant TMR-Based Integer Operation 65-nm Blocks

A.O. Vlasov, N.V. Zheludkov, A.V. Klishin, E.K. Emin, M.S. Gorbunov

SRISA RAS, Moscow,

emin@cs.niisi.ras.ru

***Abstract* — Nowadays protection against radiation single event effects can be achieved using many different design approaches. Triple Modular Redundancy (TMR) is one of the most popular methods for solving this problem. However, there are many different ways of TMR design flow implementation. Each of them has advantages and disadvantages and could be more or less suitable for a specific architecture, technical specifications, or performance requirements. This article presents comparative analysis of layout-aware fault injection simulation results. In our study, we have investigated the issues of designing the optimal scheme of triplicated register modules that can be applied in any standard design implementation flow. This allowed us to use non-modified RTL code, i.e. all design modifications were made during the "RTL-to-GDS" design flow. We have decided to use the Integer Multiplication/Division operation unit as device under test. The abovementioned block is a part of radiation and fault-tolerant IC that is being developed by SRISA RAS using the 65nm technological process. It contains no IP and memory blocks. Also, its structure is nonrecurring, which is similar to standard cell logic in this IC. The analysis of obtained simulation results is also provided. The results have showed the particular importance of standard cells (not only registers but also combination logic and clock tree elements) placement during the TMR-fault-tolerant digital circuits design.**

***Keywords* — SEU, SET, TMR, SEE.**

REFERENCES

[1] RESCUE: Interdependent Challenges of Reliability, Security andQuality in Nanoelectronic Systems / Maksim Jenihhin, Said Hamdioui,Matteo Sonza Reorda et al. 2019.

[2] von Neumann John. Probabilistic Logics and the Synthesis of Re-liable Organisms from Unreliable Components // Automata Studies. 1956. P. 43-98.

[3] Moore E. F., Shannon C. E. Reliable circuits using less reliablerelays. I. 1956. Sep. Vol. 262, no. 3. P. 191-208.

[4] May T. C., Woods M. H. Alpha-particle-induced soft errorsin dynamic memories // IEEE Transactions on Electron Devices. 1979. Jan. Vol. 26, no. 1. P. 2–9.

[5] Baumann R. Soft errors in advanced computer systems // IEEEDesign Test of Computers. 2005. May. Vol. 22, no. 3. P. 258-266.

[6] Chen C. L., Hsiao M. Y. Error-Correcting Codes for Semiconduc-tor Memory Applications: A State-of-the-Art Review // IBM Journal of Research and Development. 1984. March. Vol. 28, no. 2. P. 124-134.

[7] Petrovic Vladimir, Krstic Milos. Design Flow for Radhard TMRFlip-Flops. 2015. 04. P. 203-208.

[8] R. Hentschke, F. Marques, F. Lima, L. Carro, A. Susin and R. Reis, Analyzing area and performance penalty of protecting different digital modules with Hamming code and triple modular redundancy // Proceedings. 15th Symposium on Integrated Circuits and Systems Design, Porto Alegre, Brazil, 2002, pp. 95-100.

[9] C. Bottoni, B. Coeffic, J.-M. Daveau, G. Gasiot, L. Naviner, and P. Roche, A layout-aware approach to fault injection for improving failure mode prediction // Proc. of Workshop on SELSE, 2015.

[10] B. Coeffic et al., Radiation Hardening Improvement of a SerDes under Heavy Ions up to 60 mev.cm2/mg by Layout-Aware Fault Injection // Proc. of SELSE- 12, Mar. 2016.

[11] P. Chernyakov et al., Comparative Analysis of Layout-Aware Fault Injection on TMR-based DMA Controllers // 2019 IEEE 31st International Conference on Microelectronics (MIEL), Nis, Serbia, 2019, pp. 289-292, doi: 10.1109/MIEL.2019.8889643.

УДК 621.391 DOI: 10.31114/2078-7707-2020-3-194-200

Восстановление аналитического сигнала, искаженного алиасингом первого порядка

В.А. Лесников[1], Т.В. Наумович[2], А.В. Частиков[3]

Вятский государственный университет, г. Киров

[1]Vladislav.Lesnikov.Ru@IEEE.org, [2]NTV_new@mail.ru, [3]AlChast@mail.ru

***Аннотация* — Субнайквистовая дискретизация – один из подходов, применяемых в цифровой обработке сигналов. Однако наложение спектров (алиасинг) при несоблюдении требований к частоте дискретизации, определяемых теоремой отсчетов (теоремой Котельникова) приводит к искажению сигналов. Для компенсации последствий алиасинга в данной работе применяется подход на основе многоканальной обработки входного сигнала, причем частоты дискретизации в каждом из каналов различаются и меньше, чем того требует теорема отсчетов. В данной работе рассматривается обработка комплексного аналитического сигнала. Рассмотрение ограничено двухканальным случаем.**

***Ключевые слова* — субнайквистовая дискретизация, алиасинг первого порядка, восстановление искаженного алиасингом сигнала, аналитический сигнал, двухканальная двухчастотная дискретизация.**

I. Введение

Цифровая обработка сигналов в широком диапазоне частот является актуальной проблемой в развитии современных радиоэлектронных систем. В соответствии с теоремой отчетов частота дискретизации должна превосходить удвоенную максимальную частоту обрабатываемого сигнала с финитным спектром [1]. Это создает серьезные ограничения для реализации обработки широкополосного сигнала в режиме реального времени. Полосовая дискретизация расширяет горизонты цифровой обработки сигналов. В этом случае частота дискретизации определяется шириной полосы обрабатываемого сигнала [2].

Дополнительные возможности для усложнения алгоритмов и/или продвижения цифровой обработки сигналов в более высокочастотные области открываются с помощью субнайквистовской дискретизации [3]. В этом случае частота дискретизации значительно ниже, чем дискретизация по Найквисту.

Среди стратегий субнайквистовской дискретизации, в последние годы интенсивно развиваются методы сжатой дискретизации (compressed sampling). Они основаны на том факте, что теорема отчетов Найквиста-Шеннона создает достаточные условия для восстановления дискретизированных процессов с финитным спектром, в то время как при определенных условиях они не являются необходимыми [4].

Многие разновидности сжатой дискретизации основаны на случайной дискретизации. Подход, описанный в данной работе, основан на детерминированной эквидистантной дискретизации.

В этой работе мы рассматриваем только дискретизацию аналитических сигналов. Аналитическим сигналом называется комплексный сигнал

$$x(t) = \hat{x}(t) + \mathrm{j}\mathcal{H}\left(\hat{x}(t)\right), \qquad (1)$$

где $\hat{x}(t) \in \mathrm{R}$ - действительный сигнал, j – мнимая единица ($\mathrm{j}^2 = -1$),

$$\mathcal{H}\left(\hat{x}(t)\right) = \frac{1}{\pi}\int_{-\infty}^{\infty}\frac{\hat{x}(\tau)}{t-\tau}d\tau \qquad (2)$$

- преобразование Гильберта от $\hat{x}(t)$. Важным свойством аналитического сигнала является то, что на отрицательных частотах его спектр равен нулю.

Спектр аналоговых сигналов является апериодическим. Эквидистантная дискретизация делает спектр периодическим, а период равен частоте дискретизации [5]. Периодически повторяющиеся части спектра называются алиасами. При дискретизации по Найквисту (частота дискретизации $f_s = \Delta f$, где Δf – ширина полосы обрабатываемого сигнала) и передискретизации (oversampling, $f_s > \Delta f$) алиасы не пересекаются. Перекрытие алиасов при субнайквистовской дискретизации (undersampling, $f_s < \Delta f$), называется алиасингом. Если существуют частоты, на которых перекрываются N +1 алиасов, то имеет место алиасинг N -го порядка [1]. В этой работе мы рассматриваем только алиасинг первого порядка (рис. 1).

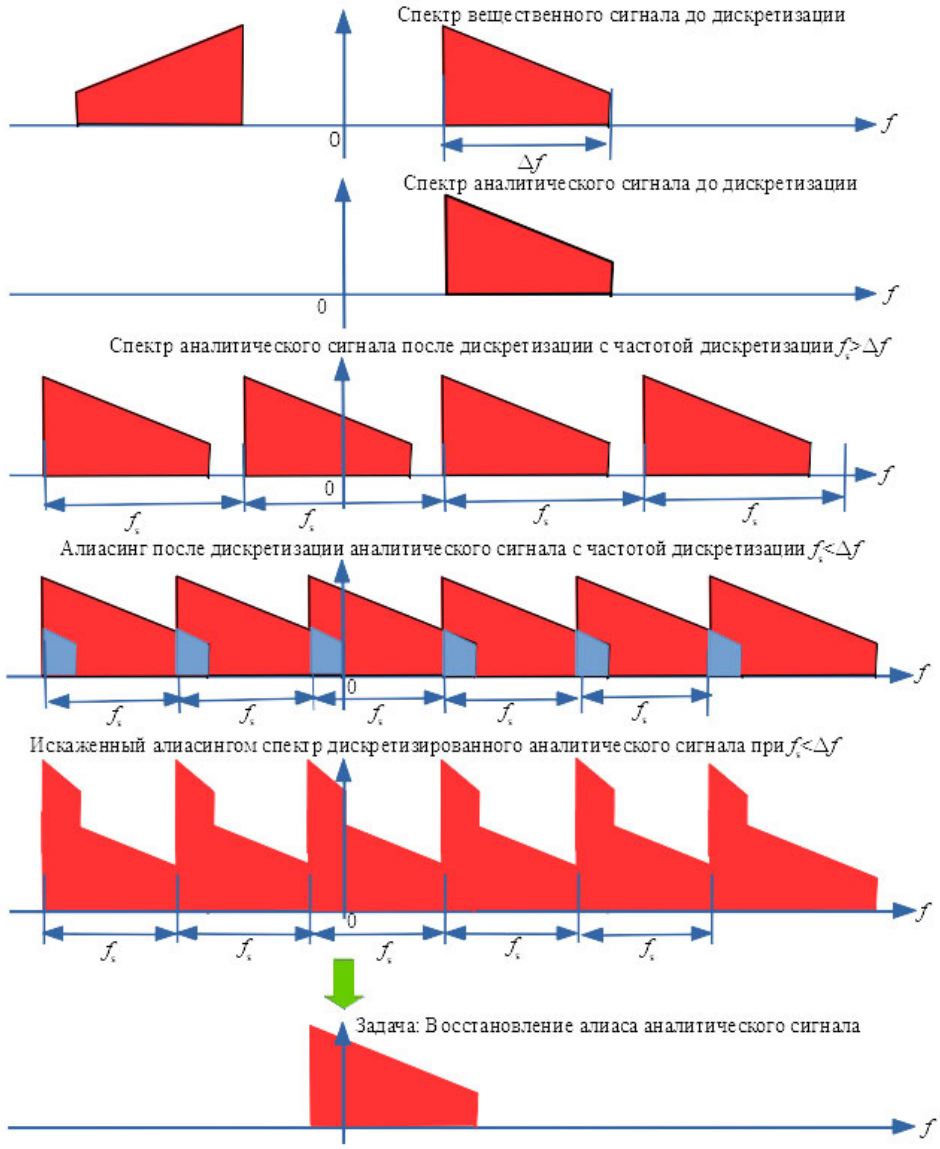


Рис. 1. Преобразование спектра аналитического сигнала при субнайквистовской дискретизации)

Алиасинг приводит к искажению сигнала из-за наложения спектра (рис. 1). В данной работе рассматривается задача восстановления аналитического сигнала, спектр которого искажен алиасингом первого порядка. При этом достаточно восстановить алиас, расположенный на частотах, близких к нулевой.

Алгоритмы восстановления сигналов, искаженных алиасингом начали разрабатываться достаточно давно. Например, известна публикация [6], в которой анализируется множество пробных периодов периодического сигнала с неизвестным периодом и выбирается наиболее удовлетворительный результат восстановления. В [7] алгоритмы восстановления используют дробное преобразование Фурье и линейное каноническое преобразование.

В нескольких публикациях предлагаются алгоритмы, основанные на обработке в N каналах, которые позволяют снизить частоту дискретизации в каждом канале в N раз по сравнению с частотой Найквиста. В [8] и [9] описаны алгоритмы, основанные на дискретизации сигнала и его производных в каналах с одинаковой частотой дискретизации. В [10] в каналах осуществляются различные фазовые сдвиги сигнала, чтобы компенсировать алиасинг. В [11] осуществляется модуляция сигналов в каналах. А. Папулис [12] предлагает обобщенную схему дискретизации сигнала с конечным спектром, в которой в каждом из N каналов перед дискретизацией сигнал обрабатывается различными линейными системами, а частота дискретизации в каждом канале в N раз меньше, чем частота Найквиста $f_{Nyquist}$. Рис. 2 обобщает подходы, описанные в этом абзаце. Обработка сигнала в каждом из N каналов описывается оператором G_i. Преобразованные непрерывные сигналы проходят аналого-цифровое преобразование ADC с одинаковой частотой дискретизации $f_s = f_{Nyquist} / N$.

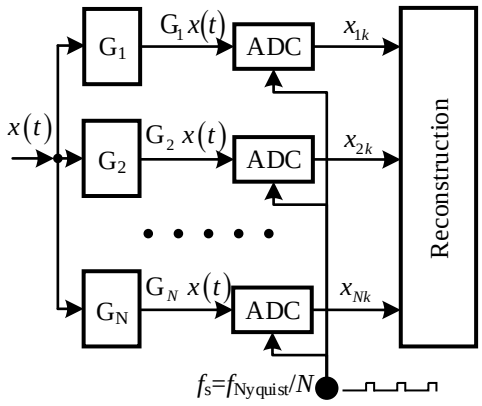


Рис. 2. Обобщенная схема многоканальной дискретизации

В данной работе исследуется многоканальная обработка, в которой операторы $G_i\, x(t) = x(t)$ являются тождественными операторами (identity operator), а аналого-цифровые преобразователи ADC работают с разными частотами дискретизации, каждая из которых является субнайквистовской (рис. 3). Такую дискретизацию будем называть многоканальной многочастотной (multichannel multirate sampling).

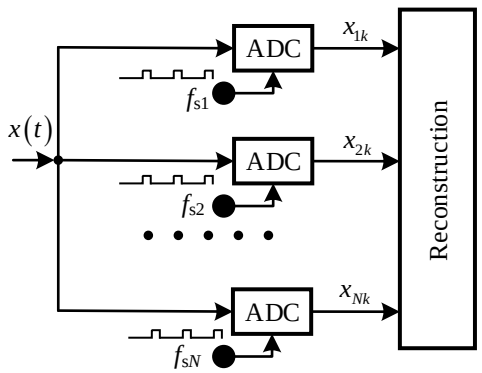


Рис. 3. Обобщенная схема многоканальной многочастотной дискретизации

Очевидно, что при этом снимается проблема точности аналоговых схем, реализующих линейные операторы.

В наших работах [13] - [15] эта задача решалась для вещественных сигналов соответственно для алиасинга первого и второго порядка. Данная работа развивает решения, представленные в [16].

Поскольку в данной работе рассматривается алиасинг первого порядка, то реализуется двухканальная двухчастотная дискретизация.

II. Области существования алиасинга разного порядка

Как уже отмечалось выше, спектр дискретизированого аналитического сигнала формируется периодической последовательностью алиасов. Период последовательности алиасов равен частоте дискретизации. Ширину алиаса будем обозначать Δf , где

$$\Delta f = F_R - F_L\,, \tag{3}$$

F_R и F_L - соответственно правая и левая границы алиаса. Очевидно, что условие отсутствия алиасинга имеет вид

$$f_{s[0]\min} = \Delta f \le f_s\,, \tag{4}$$

где $f_{s[0]}$ - частота дискретизации, при которой отсутствует алиасинг.

Конкретное положение алиасингов на оси частот, очевидно, определяется значениями F_L и Δf . На рис. 4 (и на следующем рисунке) алиасы, соответствующие спектру дискретизируемого аналитического сигнала, изображены красным прямоугольником. Алиасы, расположенные вблизи нулевой частоты, изображены зеленым прямоугольником. Остальные алиасы имеют светло-синий цвет.

Легко показать, что условием существования алиасинга первого порядка для аналитического сигнала с финитным спектром имеет вид (рис.4).

$$f_{s[1]\min} = \frac{\Delta f}{2} \le f_s < f_{s[1]\max} = f_{s[0]\min} = \Delta f\ . \tag{5}$$

Рис. 4 иллюстрирует также ситуацию алиасинга второго порядка, условие существования которого формулируется следующим образом:

$$f_{s[2]\min} = \frac{\Delta f}{3} \le f_s < f_{s[2]\max} = f_{s[1]\min} = \frac{\Delta f}{2}\ . \tag{6}$$

Очевидно, что условие существования алиасинга N -го порядка может быть сформулировано как

$$f_{s[N+1]\max} = f_{s[N]\min} = \frac{\Delta f}{N+1} \le f_s < f_{s[N]\max} = f_{s[N-1]\min} = \frac{\Delta f}{N}. \tag{7}$$

III. Декомпозиция спектра сигнала, искаженного алиасингом

Для решения проблемы восстановления искаженного спектра воспользуемся методикой, предложенной нами в [15]. Алиас разобьем на поддиапазоны одинакового размера δf .

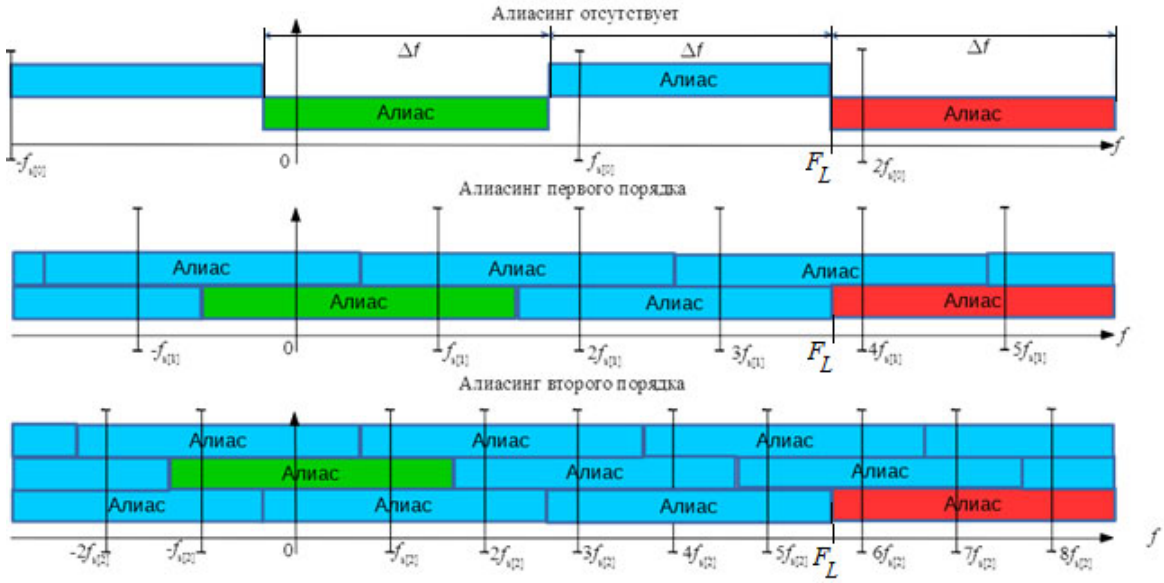


Рис. 4. Границы существования алиасинга различного порядка

Далее выберем частоты дискретизации в двух каналах f_{s0} и f_{s1}, удовлетворяющие условию (5). Интервалы Найквиста в обоих каналах тоже разбиваются на поддиапазоны размером δf таким образом, чтобы границы поддиапазонов в разных каналах совпадали. Поэтому можно записать следующие уравнения

$$\begin{cases} \Delta F = n_s \delta f, \\ f_{s0} = n_0 \delta f, \\ f_{s1} = n_1 \delta f, \\ 0.5 n_s \le n_1 < n_0 < n_s, \end{cases} \tag{8}$$

где n_s, n_0 и n_1 – целые числа.

Минимальными значениями n_s, n_0 и n_1, удовлетворяющими этой системе уравнений являются

$$\begin{cases} n_s = 4, \\ n_1 = 2, \\ n_0 = 3. \end{cases} \tag{9}$$

Рис. 5 иллюстрирует процесс двухканальной двухчастотной дискретизации при рассчитанных параметрах.

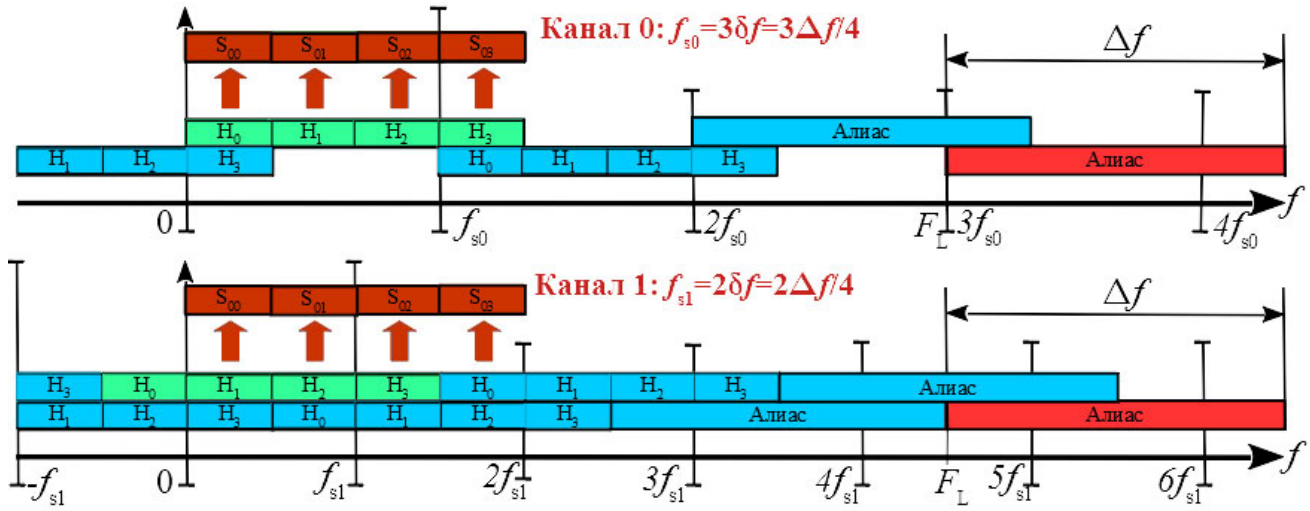


Рис. 5. Двухканальная двухчастотная дискретизация при $n_S = 4$, $n_0 = 3$, $n_1 = 2$, $F_L = 9\delta f$

IV. Восстановление спектра сигнала

Спектры сигналов в результате двухканальной двухчастотной дискретизации с указанными параметрами описывается следующими уравнениями.

Канал 0:

$$\begin{cases} S_{00} = H_0 + H_3, \\ S_{01} = H_1, \\ S_{02} = H_2, \\ S_{03} = H_3 + H_0. \end{cases} \quad (10)$$

Канал 1:

$$\begin{cases} S_{10} = H_1 + H_3, \\ S_{11} = H_2 + H_0, \\ S_{12} = H_3 + H_1, \\ S_{13} = H_0 + H_2. \end{cases} \quad (11)$$

В системах уравнений (10) и (11) S_{ij} – значения спектра в соответствующих поддиапазонах после субнайквистовской дискретизации, искаженные алиасингом. Эти величины доступны для измерения, т. е. известны. Величины же H_i – искомые значения спектра в соответствующих поддиапазонах неискаженного алиаса. Т. е. приведенные выше системы уравнений необходимо решать относительно H_i. Эти уравнения решаются чрезвычайно просто. Решение имеет вид

$$\begin{cases} H_0 = S_{11} - S_{02} = S_{13} - S_{02}, \\ H_1 = S_{01}, \\ H_2 = S_{02}, \\ H_3 = S_{10} - S_{01} = S_{12} - S_{01}. \end{cases} \quad (12)$$

Спектр неискаженного алиаса представляет собой конкатенацию

$$H = H_0 \,||\, H_1 \,||\, H_2 \,||\, H_3. \quad (13)$$

Является ли выбор параметров, описываемый системой уравнений (9), единственно целесообразным? Ответ на этот вопрос пока не получен. Выбор минимального числа поддиапазонов не означает минимизацию общего числа измерений и вычислений. Увеличение ns, в частности, позволяет достичь более значительного уменьшения частоты дискретизации по сравнению с рассмотренным случаем. Действительно, в случае выбора (9) определяющие выбор частот дискретизации отношения равны $n_1 / n_s = 0.5$ и $n_0 / n_s = 0.75$. Если же выбрать, например $n_s = 16$, $n_1 = 8$, $n_0 = 9$, то $n_1 / n_s = 0.5$ и $n_1 / n_s = 0.5625$. Таким образом, в этом случае в канале 1 частота дискретизации будет в 1.333 раза меньше, чем в случае с минимальным числом интервалов.

Таблица 1

Вид уравнений, описывающих процесс алиасинга, в зависимости от F_L

φ_L	S_{00}	S_{01}	S_{02}	S_{03}	S_{10}	S_{11}	S_{12}	S_{13}
0	H_0+H_3	H_1	H_2	H_0+H_3	H_0+H_2	H_1+H_3	H_0+H_2	H_1+H_3
1	H_2	H_0+H_3	H_1	H_2	H_1+H_3	H_0+H_2	H_1+H_3	H_0+H_2
2	H_1	H_2	H_0+H_3	H_1	H_0+H_2	H_1+H_3	H_0+H_2	H_1+H_3
3	H_0+H_3	H_1	H_2	H_0+H_3	H_1+H_3	H_0+H_2	H_1+H_3	H_0+H_2
4	H_2	H_0+H_3	H_1	H_2	H_0+H_2	H_1+H_3	H_0+H_2	H_1+H_3
5	H_1	H_2	H_0+H_3	H_1	H_1+H_3	H_0+H_2	H_1+H_3	H_0+H_2
6	H_0+H_3	H_1	H_2	H_0+H_3	H_0+H_2	H_1+H_3	H_0+H_2	H_1+H_3
7	H_2	H_0+H_3	H_1	H_2	H_1+H_3	H_0+H_2	H_1+H_3	H_0+H_2
8	H_1	H_2	H_0+H_3	H_1	H_0+H_2	H_1+H_3	H_0+H_2	H_1+H_3
9	H_0+H_3	H_1	H_2	H_0+H_3	H_1+H_3	H_0+H_2	H_1+H_3	H_0+H_2
10	H_2	H_0+H_3	H_1	H_2	H_0+H_2	H_1+H_3	H_0+H_2	H_1+H_3
11	H_1	H_2	H_0+H_3	H_1	H_1+H_3	H_0+H_2	H_1+H_3	H_0+H_2

Уравнения (10) и (11) составлены для конкретного значения F_L. Далее найдем уравнения для произвольных F_L. В Таблице 1 представлен вид уравнений, описывающих процесс алиасинга для нескольких первых значений φ_L, где

$$\varphi_L = \lfloor F_L / \delta f \rfloor. \quad (14)$$

Видим, что эти уравнения модифицируются при изменении F_L, причем модификация имеет периодический характер.

Анализ приведенных в табл. 1 уравнений позволяет записать их в следующем виде

$$S_{0,i} = \begin{cases} H_0 + H_3, & \text{если} \quad i \bmod 3 = \varphi_L \bmod 3, \\ H_k, & \text{если} \quad i = (k + \varphi_L \bmod 3) \bmod 3, \end{cases} \quad (15)$$

$$S_{1,i} = \begin{cases} H_0 + H_2, & \text{если} \quad (\varphi_L + i) \bmod 2 = 0, \\ H_1 + H_3, & \text{если} \quad (\varphi_L + i) \bmod 2 \neq 0, \end{cases} \quad (16)$$

где $k = 0$ или $k = 1$.

V. Особенности вычисления спектра при двухканальной двухчастотной обработке

Основной особенностью вычисления спектра при предлагаемом подходе является невозможность непосредственного применения Дискретного преобразования Фурье (ДПФ). Дело в том, что M - точечное ДПФ вычисляется на эквидистантной сетке частот. Расстояние между узлами сетки (бин) равно частоте дискретизации, деленной на M. Поскольку в каналах частота дискретизации разная, то и абсолютная величина бинов в каналах различна. В результате узлы сетки в различных каналах не совпадают (рис. 6). Поэтому арифметические операции, необходимые для решения полученных уравнений, в этом случае невозможно выполнить.

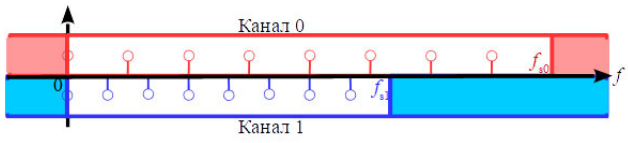


Рис. 6. Несоответствие отсчетов ДПФ-спектра между каналами

Для выхода из такого положения для вычисления спектра необходимо применять другие подходы.

Возможно применение обобщенного ДПФ (Generalized Discrete Fourier Transform [17], [18], известное также под названиями сдвинутое ДПФ (shifted DFT или offset DFT).

Такой инструмент как дискретно-временное преобразование Фурье (DTFT, Discrete Time Fourier Transform) [19] позволяет рассчитывать спектр на непрерывной оси частот.

Модификации алгоритма Гёрцеля (Goertzel algorithm) позволяют вычислять спектр на требуемых частотах.

VI. Заключение

Эта статья является продолжением серии работ, посвященных восстановлению сигналов, искаженных алиасингом при субнайквистовской дискретизации. Для этого используется метод, называемый многоканальной многочастотной дискретизацией. В отличие от других подходов к использованию многоканальной дискретизации, в этой статье аналого-цифровое преобразование в разных каналах выполняется с разными частотами дискретизации, каждый из которых не удовлетворяет требованиям теоремы отсчетов. В этой статье рассмотрена субнайквистская дискретизация комплексных сигналов, которые являются аналитическими. Рассмотрение ограничено только алиасингом первого порядка. Дальнейшие исследования будут посвящены исследованию комплексных и вещественных сигналов с различными порядками алиасинга.

Литература

[1] Marks II R.J. Introduction to Shannon Sampling and Interpolation Theory. New York: Springer-Verlag, 1991. 324 p.

[2] Akansu A.N., Haddad P.R. Multiresolution Signal Decomposition: Transforms, Subbands, and Wavelets, 2nd ed. San Diego, CA: Academic Press, 2000. 499 p.

[3] Mishali M., Eldar Y.C. Sub-Nyquist sampling // IEEE Signal Processing Magazine. 2011. Vol. 28. Issue 6. Pp. 98-124.

[4] Eldar Y.C. Sampling Theory: Beyond Bandlimited Systems. Cambridge University Press, 2015. 836 p.

[5] Linden D.A. A discussion of sampling theorems // Proceedings of the IRE. 1959. Vol. 47. Issue 7. Pp. 1219-1226.

[6] Rader C.M. Recovery of undersampled periodic waveforms // IEEE Transactions on Acoustics, Speech, and Signal Processing. 1977. Vol. 25. No. 3. Pp. 242-249.

[7] Sharma K.K., Joshi S.D. Signal reconstruction from the undersampled signal samples // Optics Communications. 2006. Vol. 268. Issue 2. Pp. 245-252.

[8] Zayed A.I. Advances in Shannon's Sampling Theory. Boca Raton, New York, London, Tokyo: CRC Press. 1993. 334 p.

[9] Vaidyanathan P.P. Generalizations of the sampling theorem: Seven decades after Nyquist // IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications. 2001. Vol. 48. Issue 9. Pp. 1094-1109.

[10] Sanderson R.B., Tsui J.B.Y., Freese N. Reduction of aliasing ambiguities through phase relations // IEEE Transactions on Aerospace and Electronic Systems. 1992. Vol. 28. Issue 4. Pp. 950-956.

[11] Gedalyahu K., Tur R., Eldar Y.C. Multichannel sampling of pulse streams at the rate of innovation // arXiv: 1004.507. V. CAS-24. Pp. 652-654.

[12] Li J. All-digital 2-channel parallel undersampling and reconstruction of band-limited signals // Signal, Image and Video Processing. 2008. Vol. 2. Issue 1. Pp. 89-99.

[13] Lesnikov V., Naumovich T., Chastikov A., Garsh D. // Unaliasing of undersampled spectra. 5th Mediterranean Conference on Embedded Computing (MECO 2016). Bar, Montenegro, 12-16 June 2016. IEEE. Pp. 124-127.

[14] Лесников В.А., Наумович Т.В., Частиков А.В., Гарш Д.Г. Восстановление спектра сигнала, искаженного при субдискретизации // DSPA: Вопросы применения цифровой обработки сигналов. 2016. Т. 6. № 2. С. 239-243. URL: https://www.elibrary.ru/download/elibrary_32721405_33212411.pdf.

[15] Lesnikov V., Naumovich T., Chastikov A. Undersampled spectrum reconstruction using multichannel multifrequency sampling // 8th Mediterranean Conference on Embedded Computing (MECO 2019). Budva, Montenegro, 10-14 June 2019. IEEE. Pp. 124-127.

[16] Lesnikov V., Naumovich T., Chastikov A. Reconstruction of undersampled analitic signals under first order aliasing // 9th Mediterranean Conference on Embedded Computing (MECO 2020). Budva, Montenegro, 8-12 June 2020. IEEE.

[17] Bi G., Zeng Y. Transforms and Fast Algorithms for Signal Analysis and Representations. New York City, NY: Springer Science & Business Media, 2012. 422 p.

[18] Corinthios M. Signals, Systems, Transforms, and Digital Signal Processing with MATLAB. Boca Raton, FL: CRC Press. 2009. 1256 p.

[19] Yang W.Y. Signals and Systems with MATLAB. New York City, NY: Springer Science & Business Media, 2009. 474 p.

Recovery of an Analytical Signal Distorted by First-Order Aliasing

V.A. Lesnikov[1], T.V. Naumovich[2], A.V. Chastikov[3]

Vyatka State University, Kirov

[1]Vladislav.Lesnikov.Ru@IEEE.org, [2]NTV_new@mail.ru, [3]AlChast@mail.ru

***Abstract* — This paper relates to one of the areas of digital signal processing in a wide frequency band based on the use of undersampling. In this case, the sampling rate is less than the Nyquist-Shannon sampling theorem requires. In this direction, compressed sampling methods are intensively used, based on the fact that the sampling theorem formulates sufficient requirements for the sampling frequency while under certain conditions they are not necessary. Very often these methods use random sampling. Our article uses deterministic undersampling. Undersampling results in aliasing that distorts the signals. Known signal restoration methods are based on multi-channel processing. At the same time, the channels carry out preliminary analog signal processing with subsequent undersampling with a single-frequency frequency in all channels. The proposed approach is based on the rejection of preliminary analog processing in the channels, but the frequency of the undersampling in different channels is different. Then the integration of the processing results in the channels for signal restoration is carried out.**

***Keywords* — subnyquist sampling, first-order aliasing, restoration of a signal distorted by aliasing, analytical signal, two-channel two-rate sampling.**

References

[1] Marks II R.J. Introduction to Shannon Sampling and Interpolation Theory. New York: Springer-Verlag, 1991. 324 p.

[2] Akansu A.N., Haddad P.R. Multiresolution Signal Decomposition: Transforms, Subbands, and Wavelets, 2nd ed. San Diego, CA: Academic Press, 2000. 499 p.

[3] Mishali M., Eldar Y.C. Sub-Nyquist sampling // IEEE Signal Processing Magazine. 2011. Vol. 28. Issue 6. Pp. 98-124.

[4] Eldar Y.C. Sampling Theory: Beyond Bandlimited Systems. Cambridge University Press, 2015. 836 p.

[5] Linden D.A. A discussion of sampling theorems // Proceedings of the IRE. 1959. Vol. 47. Issue 7. Pp. 1219-1226.

[6] Rader C.M. Recovery of undersampled periodic waveforms // IEEE Transactions on Acoustics, Speech, and Signal Processing. 1977. Vol. 25. No. 3. Pp. 242-249.

[7] Sharma K.K., Joshi S.D. Signal reconstruction from the undersampled signal samples // Optics Communications. 2006. Vol. 268. Issue 2. Pp. 245-252.

[8] Zayed A.I. Advances in Shannon's Sampling Theory. Boca Raton, New York, London, Tokyo: CRC Press. 1993. 334 p.

[9] Vaidyanathan P.P. Generalizations of the sampling theorem: Seven decades after Nyquist // IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications. 2001. Vol. 48. Issue 9. Pp. 1094-1109.

[10] Sanderson R.B., Tsui J.B.Y., Freese N. Reduction of aliasing ambiguities through phase relations // IEEE Transactions on Aerospace and Electronic Systems. 1992. Vol. 28. Issue 4. Pp. 950-956.

[11] Gedalyahu K., Tur R., Eldar Y.C. Multichannel sampling of pulse streams at the rate of innovation // arXiv: 1004.507. V. CAS-24. Pp. 652-654.

[12] Li J. All-digital 2-channel parallel undersampling and reconstruction of band-limited signals // Signal, Image and Video Processing. 2008. Vol. 2. Issue 1. Pp. 89-99.

[13] Lesnikov V., Naumovich T., Chastikov A., Garsh D. // Unaliasing of undersampled spectra. 5th Mediterranean Conference on Embedded Computing (MECO 2016). Bar, Montenegro, 12-16 June 2016. IEEE. Pp. 124-127.

[14] Lesnikov V.A., Naumovich T.V., Chastikov A.V. Garsh D.G. Restoration of the spectrum of the signal, distorted due to undersampling // DSPA: Voprosy primeneniya cifrovoj obrabotki signalov. 2016. T. 6. № 2. C. 239-243. URL: https://www.elibrary.ru/download/elibrary_32721405_33212411.pdf (in Russian).

[15] Lesnikov V., Naumovich T., Chastikov A. Undersampled spectrum reconstruction using multichannel multifrequency sampling // 8th Mediterranean Conference on Embedded Computing (MECO 2019). Budva, Montenegro, 10-14 June 2019. IEEE. Pp. 124-127.

[16] Lesnikov V., Naumovich T., Chastikov A. Reconstruction of undersampled analitic signals under first order aliasing // 9th Mediterranean Conference on Embedded Computing (MECO 2020). Budva, Montenegro, 8-12 June 2020. IEEE.

[17] Bi G., Zeng Y. Transforms and Fast Algorithms for Signal Analysis and Representations. New York City, NY: Springer Science & Business Media, 2012. 422 p.

[18] Corinthios M. Signals, Systems, Transforms, and Digital Signal Processing with MATLAB. Boca Raton, FL: CRC Press. 2009. 1256 p.

[19] Yang W.Y. Signals and Systems with MATLAB. New York City, NY: Springer Science & Business Media, 2009. 474 p.

УДК 004.942; 517.928 DOI: 10.31114/2078-7707-2020-3-201-206

Теория возмущений для четырёхполюсника с сегнетоэлектрическим конденсатором с отрицательной дифференциальной ёмкостью

А.Э. Рассадин[1], А.В. Степанов[1,2]

[1]Нижегородское математическое общество, г. Нижний Новгород, brat_ras@list.ru

[2]Чувашская государственная сельскохозяйственная академия, г. Чебоксары

***Аннотация* — В статье изложена процедура приближенного построения переходной характеристики нелинейного четырехполюсника при воздействии на него входного напряжения произвольной формы, но малой амплитуды (менее 0,5 В). Нелинейный элемент этой электрической цепи представляет собой двухслойную наноразмерную сегнетоэлектрическую гетероструктуру с отрицательной дифференциальной емкостью, теоретической основой для физической реализации которой является функционал Ландау-Гинзбурга-Девоншира для плотности свободной энергии двухслойного сегнетоэлектрика. В работе представлены графики выходного напряжения четырёхполюсника, возникающие при его активации экспоненциально возрастающими или убывающими сигналами.**

***Ключевые слова* — законы Кирхгофа, сопротивление утечки, уравнение Абеля первого рода, стационарное состояние, теоремы Чебышёва о дифференциальных биномах, титанат бария, цирконат-титанат свинца, титанат стронция.**

I. Введение

В настоящее время во всём мире [1]-[5] проводятся интенсивные исследования сегнетоэлектрических систем с отрицательной дифференциальной емкостью. Хотя в рамках теории Ландау-Гинзбурга-Девоншира для монодоменного сегнетоэлектрического образца его состояния, соответствующие отрицательной дифференциальной емкости, являются только метастабильными [6], тем не менее, авторы работы [7] получили экспериментально термодинамически стабильную двухслойную сегнетоэлектрическую систему цирконат-титаната свинца $Pb(Zr_{0,2}Ti_{0,8})O_3$ и титанат стронция $SrTiO_3$, имеющую отрицательную дифференциальную емкость при комнатной температуре. Спустя три года тот же эффект был найден и в другой наноразмерной гетероструктуре, состоящей из титаната бария $BaTiO_3$ и титаната стронция $SrTiO_3$ [8]. Для краткости в [3]-[5] эти системы были названы NC-конденсаторами.

Напряжение U_{NC} между пластинами NC-конденсатора зависит от его заряда q следующим образом [7]-[8]:

$$U_{NC}(q) = -\alpha \cdot q + \beta \cdot q^3 . \qquad (1)$$

где коэффициенты α и β считаются положительными.

Существуют два основных направления в разработке интегрированных сегнетоэлектрических устройств, содержащих сегнетоэлектрические конденсаторы с отрицательной дифференциальной емкостью.

Первое из этих направлений рассматривает так называемые NCFET-транзисторы, представляющие собой полевые транзисторы, в которых обычный подзатворный диэлектрик заменён на NC-конденсатор [1]-[2]. Такая замена открывает путь к радикальному снижению мощности, потребляемой процессорами на основе КМОП-технологии [1]-[2].

Второе направление анализирует поведение NC-конденсаторов, работающих в радиотехнических устройствах различных типов. Например, в работах [3]-[5] был исследован ряд колебательных контуров, в которых произведено замещение обычных конденсаторов с постоянной положительной емкостью на NC-конденсаторы. Оказалось, что из-за наличия в фазовых пространствах этих устройств гомоклинических петель они демонстрируют нетривиальную динамику [3]-[5].

Изучение переходной характеристики нелинейного четырёхполюсника с NC-конденсатором, соответствующего интегрирующей или дифференцирующей цепочке традиционной радиотехники, является важным элементом исследований в рамках второго направления [9]. Такой четырёхполюсник мы будем называть RNC-цепью.

Реакция RNC-цепи на гауссовское дельта-коррелированное случайное входное напряжение рассмотрена в работе [10]. Доклад [11] посвящен SPICE-моделированию RNC-цепей, соединенных последовательно. В статье [12] развит численно-аналитический метод описания прохождения фрактальных сигналов через RNC-цепь.

Целью настоящей статьи является представление результатов исследования нестационарных режимов в RNC-цепи, возникающих под действием входных напряжений малой амплитуды.

Далее статья имеет следующую структуру: в части II выведено дифференциальное уравнение для электрического заряда на NC-конденсаторе в RNC-цепи с учетом малой утечки. Детали построения теории возмущений представлены в части III. В части IV в рамках теории возмущений построены переходные отклики RNC-цепи на ряд входных напряжений малой амплитуды. В заключении обсуждены полученные результаты и перспективы дальнейших исследований.

II. Вывод основного уравнения

Рассмотрим последовательно соединённые NC-конденсатор и резистор r, на которые подано произвольное входное напряжение $U(t)$. Наличие малой утечки электрического заряда $q(t)$ на NC-конденсаторе через него учтём, подключив параллельно NC-конденсатору дополнительный резистор R с большим значением сопротивления. Такой способ описания токов утечки через сегнетоэлектрик является типичным в физике диэлектриков [13]. Соответствующая ему электрическая схема показана на рис. 1.

Применение первого закона Кирхгофа для схемы, представленной на рис. 1, даёт:

$$\frac{dq}{dt} = I_r + I_R, \qquad (2)$$

где I_r и I_R — токи, протекающие через резисторы r и R соответственно.

Далее, выпишем второй закон Кирхгофа для замкнутых контуров на рис. 1.

Для контура слева от NC-конденсатора найдём:

$$r \cdot I_r + U_{NC}(q) = U(t), \qquad (3)$$

а для контура справа от NC-конденсатора получим:

$$R \cdot I_R + U_{NC}(q) = 0. \qquad (4)$$

Объединение формул (2)-(4) приводит к следующему обыкновенному дифференциальному уравнению для электрического заряда $q(t)$:

$$\frac{dq}{dt} + \frac{1}{\rho} \cdot (-\alpha \cdot q + \beta \cdot q^3) = \frac{U(t)}{r}, \quad q(0) = q_0, \qquad (5)$$

где величина $1/\rho = 1/r + 1/R$ соответствует некоторому эффективному сопротивлению RNC-цепи на рис. 1, а q_0 представляет собой начальный электрический заряд на NC-конденсаторе.

Введём следующие безразмерные переменные:

$$\tau = \frac{\alpha \cdot t}{\rho}, \quad x(\tau) = \sqrt{\frac{\beta}{\alpha}} \cdot q(t), \quad u(\tau) = \frac{\sqrt{\beta}}{\alpha^{3/2}} \cdot \frac{U(t)}{1 + r/R}. \qquad (6)$$

В этих переменных уравнение (5) сводится к уравнению Абеля первого рода [14]:

$$\frac{dx}{d\tau} = x - x^3 + u(\tau) \qquad (7)$$

с начальным условием $x(0) = x_0$ для безразмерного заряда $x(\tau) = x_0$.

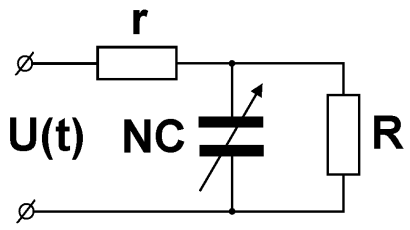


Рис. 1. Электрическая схема RNC-цепи

Согласно экспериментальным данным [7, 9] в формуле (1) коэффициенты $\alpha \sim 10^{10}$ В/Кл и $\beta \sim 0{,}5 \cdot 10^{29}$ В $\cdot$ Кл$^{-3}$. Следовательно, используя вторую формулу из формул (6), можно оценить типичный масштаб электрического заряда на NC-конденсаторе: $\sqrt{\alpha/\beta} \sim 0{,}5$ нКл. Далее, в соответствии со статьёй [9], сопротивление утечки $R \sim 100$ кОм. Если же мы выберем $r \sim 10$ кОм, то типичный временной масштаб рассматриваемой RNC-цепи будет равен $T \sim 1$ мкс. Наконец, характерный масштаб напряжения в этом случае обладает следующим порядком величины: $\sqrt{\alpha^3/\beta} \sim 5$ В.

III. Построение теории возмущений для уравнения Абеля первого рода

Уравнение (7) нелинейно. Более того, при произвольной функции $u(\tau)$ у него нет общего решения. Поэтому предположим, что абсолютное значение входного напряжения подчиняется следующему условию: $|U(t)| << 5$ В. Следовательно, согласно третьей формуле из формул (6) безразмерное напряжение $u(\tau)$ очень мало: $|u(\tau)| << 1$. Это означает, что можно применять теорию возмущений, то есть можно искать решение уравнения (7) в виде асимптотического ряда:

$$x(\tau) = x^{(0)}(\tau) + x^{(1)}(\tau) + \ldots, \qquad (8)$$

где $|x^{(1)}(\tau)| << |x^{(0)}(\tau)|$ и т. д.

Подставляя разложение (8) в уравнение (7), находим, что исходное уравнение сводится к следующей последовательности уравнений:

$$\frac{dx^{(0)}}{d\tau} - x^{(0)} + x^{(0)3} = 0, \quad x^{(0)}(0) = x_0, \qquad (9)$$

$$\frac{dx^{(1)}}{d\tau} + (-1 + 3 \cdot x^{(0)2}) \cdot x^{(1)} = u(\tau), \quad x^{(1)}(0) = 0 \qquad (10)$$

и так далее.

Точное решение задачи Коши (9) равно:

$$x^{(0)}(\tau)=\frac{x_0}{\sqrt{x_0^2+(1-x_0^2)\cdot\exp(-2\cdot\tau)}}. \qquad (11)$$

Определив с помощью выражения (11) переменный коэффициент в линейном уравнении (10), легко найти, что:

$$x^{(1)}(\tau)= \\ =\int_0^{\tau}\left[\frac{x_0^2\cdot\exp(2\cdot\tau')+1-x_0^2}{x_0^2\cdot\exp(2\cdot\tau)+1-x_0^2}\right]^{\frac{3}{2}}\cdot\exp(\tau-\tau')\cdot u(\tau')\cdot d\tau'. \qquad (12)$$

Таким образом, формулы (11) и (12) описывают решение исходного уравнения (7) в рамках вышеприведенной теории возмущений.

Очевидно, что уравнение (9) для приближения нулевого порядка описывает короткое замыкание электрической схемы на рис. 1. Из формулы (11) видно, что в этом режиме система имеет три стационарных состояния:

$$\lim_{\tau\to+\infty}x^{(0)}(\tau)=\begin{cases}+1, & x_0>0\\ 0, & x_0=0\\ -1, & x_0<0\end{cases}. \qquad (13)$$

Если начальное условие x_0 для исходного уравнения (7) совпадает с одним из пределов в формуле (13), то выражение (12) для приближения первого порядка можно упростить, а именно, пусть $x_0=0$, то есть x_0 совпадает с неустойчивым стационарным состоянием, тогда:

$$x(\tau)=\int_0^{\tau}\exp(\tau-\tau')\cdot u(\tau')\cdot d\tau'+\dots. \qquad (14)$$

Если же начальное условие x_0 является одним из устойчивых состояний, то:

$$x(\tau)=\pm1+\int_0^{\tau}\exp[-2\cdot(\tau-\tau')]\cdot u(\tau')\cdot d\tau'+\dots. \qquad (15)$$

IV. Переходные характеристики RNC-цепи в рамках теории возмущений

Рассмотрим примеры реакции RNC-цепи на простейшие безразмерные входные напряжения $u(\tau)$.

Выберем сначала $u(\tau)=u_0\cdot\exp(-\tau)$, ($|u_0|<<1$), тогда в первом порядке переходная характеристика имеет вид:

$$x^{(1)}(\tau)=\frac{u_0\cdot\exp(\tau)}{(x_0^2\cdot\exp(2\cdot\tau)+1-x_0^2)^{\frac{3}{2}}}\cdot \\ \cdot[G_1(\tau,x_0)+G_2(\tau,x_0)], \qquad (16)$$

где вспомогательные функции равны:

$$G_1(\tau,x_0)=\frac{1-3\cdot x_0^2}{2}+ \\ +\sqrt{x_0^2\cdot\exp(2\cdot\tau)+1-x_0^2}\cdot\left(x_0^2-\frac{1-x_0^2}{2}\cdot\exp(-2\cdot\tau)\right)$$

и

$$G_2(\tau,x_0)=\frac{3\cdot x_0^2\cdot\sqrt{1-x_0^2}}{4}\cdot\left(\ln\frac{1+\sqrt{1-x_0^2}}{1-\sqrt{1-x_0^2}}+\right. \\ \left.+\ln\frac{\sqrt{x_0^2\cdot\exp(2\cdot\tau)+1-x_0^2}-\sqrt{1-x_0^2}}{\sqrt{x_0^2\cdot\exp(2\cdot\tau)+1-x_0^2}+\sqrt{1-x_0^2}}\right).$$

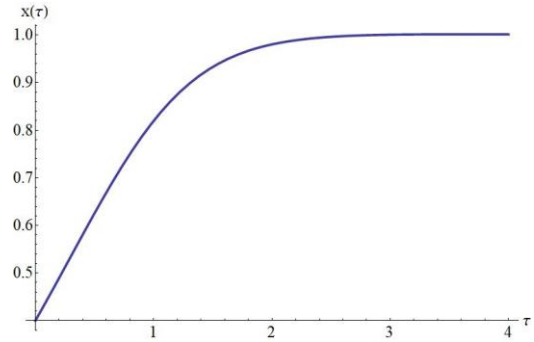


Рис. 2. Переходная характеристика заряда на NC-конденсаторе при экспоненциальном уменьшении входного напряжения

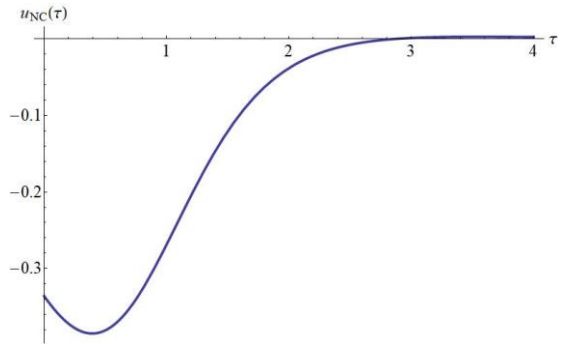


Рис. 3. Переходная характеристика напряжения на NC-конденсаторе при экспоненциальном уменьшении входного напряжения

Результат расчета полного заряда NC-конденсатора как суммы двух первых членов ряда (8) теории возмущений в соответствии с формулами (11) и (16) при $x_0=0{,}4$ и $u_0=0{,}1$ представлен на рис. 2.

Результат аналогичного расчета напряжения на NC-конденсаторе представлен на рис. 3.

Далее, рассмотрим входное напряжение вида $u(\tau)=u_0\cdot\exp(\tau)$ ($|u_0|<<1$). В этом случае переходная характеристика первого порядка равна:

$$x^{(1)}(\tau)=\frac{u_0\cdot\exp(\tau)}{(x_0^2\cdot\exp(2\cdot\tau)+1-x_0^2)^{\frac{3}{2}}}\cdot \\ \cdot[F_1(\tau,x_0)+F_2(\tau,x_0)] \qquad (17)$$

со следующими вспомогательными функциями:

$$F_1(\tau, x_0) = \frac{(x_0^2 \cdot \exp(2\cdot\tau) + 1 - x_0^2)^{\frac{3}{2}} - 1}{3} + \\ + (1 - x_0^2) \cdot [\sqrt{x_0^2 \cdot \exp(2\cdot\tau) + 1 - x_0^2} - 1]$$

и

$$F_2(\tau, x_0) = \frac{(1 - x_0^2)^{\frac{3}{2}}}{2} \cdot \left(\ln \frac{1 + \sqrt{1 - x_0^2}}{1 - \sqrt{1 - x_0^2}} + \right. \\ \left. + \ln \frac{\sqrt{x_0^2 \cdot \exp(2\cdot\tau) + 1 - x_0^2} - \sqrt{1 - x_0^2}}{\sqrt{x_0^2 \cdot \exp(2\cdot\tau) + 1 - x_0^2} + \sqrt{1 - x_0^2}} \right).$$

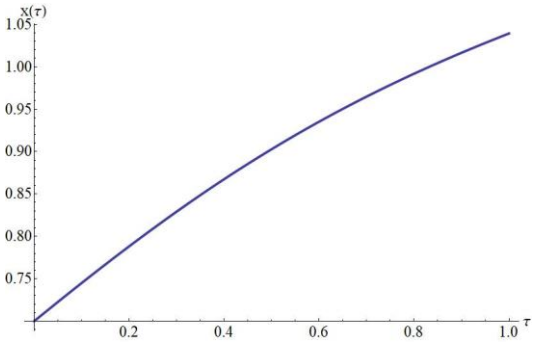


Рис. 4. Переходная характеристика заряда на NC-конденсаторе при экспоненциальном увеличении входного напряжения

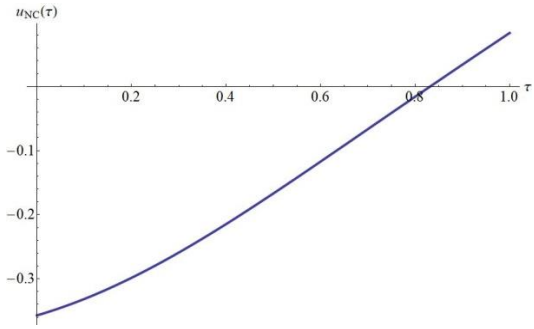


Рис. 5. Переходная характеристика напряжения на NC-конденсаторе при экспоненциальном увеличении входного напряжения

Результат оценки суммарного заряда при $x_0 = 0{,}7$ и $u_0 = 0{,}1$ в соответствии с формулами (11) и (17) представлен на рисунке 4.

Результат расчета напряжения на NC-конденсаторе для этого случая представлен на рис. 5.

Подчеркнем, что интервал времени на рис. 4 и рис. 5 меньше, чем на рис. 2 и рис. 3, поскольку в этом случае сильный рост входного напряжения быстро сводится к нарушению условия $|x^{(1)}(\tau)| << |x^{(0)}(\tau)|$ действительности для нашей теории возмущений.

Вообще говоря, существует большой набор функций $u(\tau)$, дающий возможность точного вычисления интеграла (12), краеугольным камнем которого является теорема Чебышева [15] о дифференциальных биномах. Физически такие входные сигналы могут быть реализованы за счёт суммирования выходных напряжений RC-цепочек с обычными конденсаторами и специально подобранными их постоянными времени, однако в большинстве возможных ситуаций окончательные выражения для переходных характеристик RNC-цепи, находящейся под воздействием таких сигналов, слишком громоздки.

Заключение

В представленной работе рассмотрена RNC-цепь с учётом утечки заряда через NC-конденсатор. В рамках теории возмущений для RNC-цепи найдены переходные характеристики, демонстрирующие, что у нелинейного четырёхполюсника такого типа имеются принципиально новые нестационарные режимы. Для уточнения границ применимости разработанного подхода целесообразно сравнить результаты применения вышеописанной теории возмущений с точными решениями для RNC-цепи, данными ранее в работах [16]-[17]. Однако необходимо также отметить, что в эту процедуру вмешивается физика процесса, а именно, тепловые флуктуации электрического заряда в проводниках цепи RNC образуют нижнюю границу для величины погрешности напряжения, которая может быть оценена на основе формулы Найквиста [18].

Если в разложениях термодинамических потенциалов, составляющих NC-конденсатор материалов, учесть шестую степень их поляризаций, то дифференциальное уравнение, описывающее динамику безразмерного электрического заряда в схеме на рис. 1, будет иметь следующий вид:

$$\frac{dx}{d\tau} = x - x^3 + \gamma \cdot x^5 + u(\tau), \qquad (18)$$

где γ — безразмерный параметр, определяемый свойствами веществ, входящих в NC-конденсатор. В случае, когда этот параметр мал: $|\gamma| << 1$, рассмотренная в статье теория возмущений продолжает работать при замене в формуле (12) $u(\tau)$ на $u(\tau) + \gamma \cdot x^{(0)5}(\tau)$.

Далее, подчеркнем, что выражение (12) пригодно и для анализа реакции рассматриваемого четырехполюсника и на случайные входные напряжения с нулевым средним и малой дисперсией, при этом, вообще говоря, выход RNC-цепи должен быть нестационарным случайным процессом.

Нетривиальное поведение наблюдаемых величин в RNC-цепях, описанное в данной работе, может найти применение в системах автоматического управления на основе NC-конденсаторов.

Благодарности

Авторы благодарят профессоров Л.Н. Короткова и А.В. Ситникова (Воронежский государственный технический университет) за ценные обсуждения ряда тонких вопросов физики сегнетоэлектрических плёнок.

ПОДДЕРЖКА

Работа поддержана грантом РФФИ № 18-08-01356-а.

ЛИТЕРАТУРА

[1] Dasgupta S., Rajashekhar A., Majumdar K., Agrawal N., Razavieh A., Trolier-Mckinstry S., Datta S. Sub-kT/q Switching in Strong Inversion in $Pb(Zr_{0,52}Ti_{0,48})O_3$ Gated Negative Capacitance FETs // IEEE Journal on Exploratory Solid-State Computational Devices and Circuits. 2015. V. 1. P. 43-48.

[2] Lee H., Yoon Y., Shin C. Current-Voltage Model for Negative Capacitance Field-Effect Transistors // IEEE Electron Device Letters. 2017. V. 38. P. 669-672.

[3] Потапов А.А., Ракуть И.В., Рассадин А.Э., Тронов А.А. О возможности хаотических колебаний заряда сегнетоэлектрического конденсатора с отрицательной дифференциальной ёмкостью в колебательном контуре с фрактальным входным напряжением // Проблемы разработки перспективных микро- и наноэлектронных систем – 2018. Сб. трудов / под общ. ред. академика РАН А.Л. Стемковского. М.: ИППМ РАН, 2018. Вып. I. С. 76-82.

[4] Kostromina O.S., Potapov A.A., Rakut I.V., Rassadin A.E. Total Harmonic Distorsions in an Oscillatory Circuit with a Ferroelectric Capacitor with a Negative Capacitance // Eurasian Physical Technical Journal. 2017. V. 14. N 2 (28). P. 14-21.

[5] Кострома О.С., Потапов А.А., Ракуть И.В., Рассадин А.Э. Колебания в однородной цепочке с сегнетоэлектрическими конденсаторами с отрицательной ёмкостью // Учёные записки физического факультета Московского университета. 2017. N 6. С. 1760703.

[6] Гинзбург В.Л. О диэлектрических свойствах сегнетоэлектриков и титаната бария // ЖЭТФ. 1945. Т. 15. Вып. 12. С. 739-750.

[7] Khan A.I., Bhowmik D., Yu P., Kim S.J., Pan X., Ramesh R., Salahuddin S. Experimental Evidence of Ferroelectric Negative Capacitance in Nanoscale Heterostructures // Applied Physics Letters. 2011. V. 99. N. 11. P. 113501-1-3.

[8] Appleby D.J.R., Ponon N.K., Kwa K.S.K., Zou B., Petrov P.K., Wang T., Alford N.M., O'Neill A. Experimental Observation of Negative Capacitance in Ferroelectrics at Room Temperature // Nano Letters. 2014. V. 14. N. 7. P. 3864-3868.

[9] Khan A.I., Chatterjee K., Wang B., Drapcho S., You L., Serrao C., Bakaul S.R., Ramesh R., Salahuddin S. Negative capacitance in a ferroelectric capacitor // Nature Materials. 2015. V. 14. P. 182–186.

[10] Potapov A.A., Rakut I.V., Rassadin A.E., Tronov A.A. On Solution of Fokker-Planck-Kolmogorov Equation for a Ferroelectric Capacitor with a Negative Capacitance by Means of the Krasovsky Series Expansion Method // Proc. 14th Sino - Russia Symposium on Advanced Materials and Technologies / Ed. Mingxing Jia (Sanya, Hainan Province, China: November 28 - December 1, 2017).- Beijing: Metallurgical Industry Press. 2017. P. 487 – 490. ISBN 978-7-900853-01-1.

[11] Gourary M.M., Rusakov S.G., Ulyanov S.L., Zharov M.M., Rassadin A.E. SPICE Models of Nonlinear Capacitors for Simulation of Ferroelectric Circuits // Proc. of IEEE East-West Design & Test Symposium, Novi Sad, Serbia, September 29 – October 2, 2017. P. 113-116.

[12] Abdullaev G.O., Agalarov A.M-Z., Potapov A.A., Rassadin A.E., Tronov A.A. Passage of fractal signals via circuit with a ferroelectric capacitor with a negative capacitance // The Journal of Engineering. V. 2019. Is. 20. October 2019. P. 7114-7118.

[13] Орешкин П.Т. Физика полупроводников и диэлектриков. М.: Высшая школа, 1977. 448 с.

[14] Appel P. Sur les invariants de quelquesé quations différentielles // Journal de Math. 1889. T. 4. N 5. P. 361-423.

[15] Карташев А.П., Рождественский Б.Л. Математический анализ. М.: Наука, 1984. 448 с.

[16] Kostromina O.S., Potapov A.A., Rakut I.V., Rassadin A.E., Tronov A.A. On Nonstationary Regimes in Electric Circuits with Ferroelectric Negative Capacitance // Proc. of 2017 International Siberian Conference on Control and Communications (SIBCON) (Astana, Kazakhstan, June 29-30, 2017). http://ieee.tpu.ru/proceedings/papers/3ed315.pdf (дата обращения: 13.06.2020)

[17] Kostromina O.S., Rakut I.V., Rassadin A.E. Transient Response of Ferroelectric Capacitor with Negative Capacitance to Piecewise Constant Voltage Pulses // Book of Abstracts: International Workshop on Phase Transitions and Inhomogeneous States in Oxides (Kazan, Russia, June 25-30, 2017). - Kazan: Kazan University Press, 2017. P. 28.

[18] Nyquist H. Thermal Agitation of Electric Charge in Conductors // Phys. Review. 1928. V. 32. P. 110-113.

Theory of Perturbations for Four-Terminal Network with Ferroelectric Capacitor with Negative Differential Capacitance

A.E. Rassadin[1], A.V. Stepanov[1,2]

[1] Nizhny Novgorod Mathematical Society, Nizhny Novgorod, brat_ras@list.ru

[2] Chuvash State Agricultural Academy, Cheboksary

***Abstract* — The integrated ferroelectric device containing ferroelectric capacitor with negative differential capacitance (NC-capacitor) has been considered Iin the article. Such capacitor is created from ferroelectric-dielectric bilayer nanoheterostructure, basis of its model being the Landau-Ginzburg-Devonshire expression for free energy density of ferroelectric. At present, the following direction in the development of integrated ferroelectric devices with NC-capacitors is very popular namely it deals with Negative Capacitance Field Effect Transistors because of replacement**

of the ordinary gate oxide in field effect transistor by NC-capacitor will open the way to a radical reduction in the power consumed by processors based on complementary metal-oxide semiconductor technology. But this paper is devoted to another direction which analyses behavior of NC-capacitors functioning in radio engineering devices of various types. A procedure for approximate construction of a transient response of nonlinear four-terminal network with NC-capacitor as its nonlinear element on input voltage of an arbitrary shape but small amplitude (less than 0.5 V) has been developed and presented in this article. In the framework of the theory of perturbations we have found a number of transient responses of the chain. The graphs of output voltage that arise when this four-terminal network is activated by exponentially increasing or decreasing signals are presented. The suggested method demonstrates that in the electric circuit there are fundamentally new nonstationary regimes. Our solutions are suitable for real circuit design applications. In particular, the developed approach is suitable for analysis of reaction of four-terminal network under investigation on random input voltages with zero average and small dispersion too. But, in general, in this case the output of four-terminal network under consideration ought to be nonstationary stochastic process. Untrivial behavior of observable values in the chain can be applied in new automatic control systems on the basis of NC-capacitors.

***Keywords* — Kirchhoff's laws, resistance of leakage, the Abel equation of the first kind, stationary state, Chebyshev's theorems about differential binomials, barium titanate, lead zirconate-titanate, strontium titanate.**

REFERENCES

[1] Dasgupta S., Rajashekhar A., Majumdar K., Agrawal N., Razavieh A., Trolier-Mckinstry S., Datta S. Sub-kT/q Switching in Strong Inversion in $Pb(Zr_{0,52}Ti_{0,48})O_3$ Gated Negative Capacitance FETs // IEEE Journal on Exploratory Solid-State Computational Devices and Circuits. 2015. V. 1. P. 43-48.

[2] Lee H., Yoon Y., Shin C. Current-Voltage Model for Negative Capacitance Field-Effect Transistors // IEEE Electron Device Letters. 2017. V. 38. P. 669-672.

[3] Potapov A.A., Rakut I.V., Rassadin A.E., Tronov A.A. On the Possibility of Chaotic Oscillations of Charge on Ferroelectric Capacitor with Negative Differential Capacity in Oscillatory Circuit with Fractal Input Voltage // Problems of Advanced Micro- and Nanoelectronic Systems Development – 2019, Issue I, Moscow, IPPM RAS. P. 15-20.

[4] Kostromina O.S., Potapov A.A., Rakut I.V., Rassadin A.E. Total Harmonic Distorsions in an Oscillatory Circuit with a Ferroelectric Capacitor with a Negative Capacitance // Eurasian Physical Technical Journal. 2017. V. 14. N 2 (28). P. 14-21.

[5] Kostromina O.S., Potapov A.A., Rakut I.V., Rassadin A.E. Kolyebaniya v odnorodnoi tsepochke s segnetoelektricheskimi kondensatorami s otritsatel'noi yomkost'u (Oscillations in Homogeneous Circuit with Ferroelectric Capacitors with a Negative Capacitance) // Memoirs of the Faculty of Physics . 2017. N 6. P. 1760703.

[6] Ginzburg V.L. O dielektricheskih svoistvah segnetoelektrikov i titanata bariya (On the Dielectric Properties of Ferroelectrics and Barium Titanate) // JETP. 1945. V. 15. N 12. P. 739-750.

[7] Khan A.I., Bhowmik D., Yu P., Kim S.J., Pan X., Ramesh R., Salahuddin S. Experimental Evidence of Ferroelectric Negative Capacitance in Nanoscale Heterostructures // Applied Physics Letters. 2011. V. 99. N. 11. P. 113501-1-3.

[8] Appleby D.J.R., Ponon N.K., Kwa K.S.K., Zou B., Petrov P.K., Wang T., Alford N.M., O'Neill A. Experimental Observation of Negative Capacitance in Ferroelectrics at Room Temperature // Nano Letters. 2014. V. 14. N. 7. P. 3864-3868.

[9] Khan A.I., Chatterjee K., Wang B., Drapcho S., You L., Serrao C., Bakaul S.R., Ramesh R., Salahuddin S. Negative capacitance in a ferroelectric capacitor // Nature Materials. 2015. V. 14. P. 182–186.

[10] Potapov A.A., Rakut I.V., Rassadin A.E., Tronov A.A. On Solution of Fokker-Planck-Kolmogorov Equation for a Ferroelectric Capacitor with a Negative Capacitance by Means of the Krasovsky Series Expansion Method // Proc. 14th Sino - Russia Symposium on Advanced Materials and Technologies / Ed. Mingxing Jia (Sanya, Hainan Province, China: November 28 - December 1, 2017).- Beijing: Metallurgical Industry Press. 2017. P. 487 – 490. ISBN 978-7-900853-01-1.

[11] Gourary M.M., Rusakov S.G., Ulyanov S.L., Zharov M.M., Rassadin A.E. SPICE Models of Nonlinear Capacitors for Simulation of Ferroelectric Circuits // Proc. of IEEE East-West Design & Test Symposium, Novi Sad, Serbia September 29 – October 2, 2017. P. 113-116.

[12] Abdullaev G.O., Agalarov A.M-Z., Potapov A.A., Rassadin A.E., Tronov A.A. Passage of fractal signals via circuit with a ferroelectric capacitor with a negative capacitance // The Journal of Engineering. V. 2019. Is. 20. October 2019. P. 7114-7118.

[13] Oreshkin P.T. Fizika poluprovodnikov I dielektrikov (Physics of semiconductors and dielectrics). M.: Visshaya shkola, 1977. 448 s.

[14] Appel P. Sur les invariants de quelquesé quations différentielles // Journal de Math. 1889. T. 4. N 5. P. 361-423.

[15] Kartashev A.P., Rozgdestvenskii B.L. Matematicheskii analiz (Calculus). M.: Nauka. 448 s.

[16] Kostromina O.S., Potapov A.A., Rakut I.V., Rassadin A.E., Tronov A.A. On Nonstationary Regimes in Electric Circuits with Ferroelectric Negative Capacitance // Proc. of 2017 International Siberian Conference on Control and Communications (SIBCON) (Astana, Kazakhstan, June 29-30, 2017). http://ieee.tpu.ru/proceedings/papers/3ed315.pdf (access date: 13.06.2020)

[17] Kostromina O.S., Rakut I.V., Rassadin A.E. Transient Response of Ferroelectric Capacitor with Negative Capacitance to Piecewise Constant Voltage Pulses // Book of Abstracts: International Workshop on Phase Transitions and Inhomogeneous States in Oxides (Kazan, Russia, June 25-30, 2017). - Kazan: Kazan University Press, 2017. P. 28.

[18] Nyquist H. Thermal Agitation of Electric Charge in Conductors // Phys. Review. 1928. V. 32. P. 110-113.

УДК 004.318+004.382 DOI: 10.31114/2078-7707-2020-3-207-211

Расчёт электрических характеристик шин питания в коммутационной плате микропроцессора

А.А. Науменко[1], А.С. Воробьев[1,2]

[1]АО «МЦСТ», г. Москва, Россия, naumenko_a@mcst.ru

[2]ПАО «ИНЭУМ им. И.С. Брука», г. Москва, Россия, vorobiev_a@mcst.ru

***Аннотация* — в данной статье определяются значения сопротивления шин питания и индуктивности. Данные значения рассчитываются на примере двух процессоров. Оцениваются значения падения напряжения на коммутационных платах корпуса и определяются значения индуктивности.**

***Ключевые слова* — падение напряжения, индуктивность, сопротивление, подложка корпуса и отечественный микропроцессор.**

I. Введение

Данная статья преследует цель создания одной матрицы выводов для двух функционально разных отечественных микропроцессоров. Размещение двух функционально разных кристаллов на одну матрицу выводов коммутационной платы корпуса позволит иметь два взаимозаменяемых микропроцессора устанавливаемых на одно посадочное место. Данная реализация позволит минимизировать затраты на разработку вычислительных модулей, стендов тестирования и разбраковки, а также получить возможность использования одного сокета для двух разных процессоров. Для создания двух процессоров с одинаковой матрицей выводов необходимо спроектировать две коммутационные платы корпуса. В рамках данной статьи производится анализ системы питания ядер микропроцессоров. Для анализа системы питания ядер определяются значения падений напряжений, для этого применяется методология определения его по средствам разбиения на квадраты. Поскольку ток имеет разное направление в различных частях подложки корпуса необходимо разделить ее на зоны. Определяется значение падения напряжения в каждой зоне. Рассчитывается значение индуктивности, используя структуры переходов слоёв данных подложек корпуса. В заключение выдается задание на разработку материнской платы по сопротивлению и индуктивности. Производятся аналогичные расчёты для второй подложки корпуса, которая будет иметь большее количество слоев земли и питания. Производится сравнительный анализ значений друг с другом, сопоставляются один процессор с другим, оцениваются полученные значения и делаются соответствующие выводы по проделанной работе.

II. Методология

Рассматриваемые коммутационные платы корпуса имеют идентичную систему питания ядер. Единственное отличие в количестве слоев зоны подвода цепи питания к кристаллу. Соответственно топологию цепи питания можно разбить на несколько зон:

1) зона подвода цепи питания к кристаллу;
2) зона переходных слоев под кристаллом.

На рис. 1. указаны размеры каждой зоны:

1 зона – 12 мм/19 мм;

2 зона – 15 мм/22 мм.

Красными стрелками указано направление тока.

Ток в этих зонах будет направлен в двух плоскостях (по длине и по ширине), поскольку выводы питаний располагаются по всей площади.

Две подложки корпуса отличаются системой питания в зоне №1. В первой подложке корпуса система питания распространяется по двум слоям земли и двум слоям питания. Во второй подложке корпуса система питания распространяется по шести слоям земли и шести слоям питания.

На рис. 1. размеры указаны в миллиметрах.

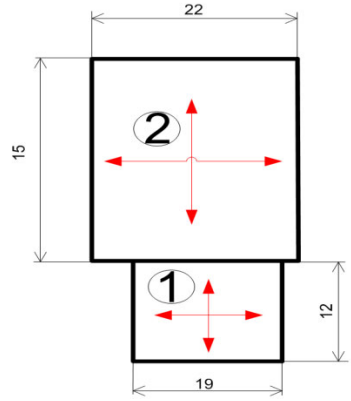


Рис. 1. Расположение зон питания на подложке корпуса

Определение эквивалентной схемы питания

В части системы питания ядер рассматриваются две подложки корпуса, отличающиеся только количеством используемых слоёв земли и питания в зоне №1.

Далее рассматривается приближенная система распределения сопротивления (рис. 2.) в зонах 1 и 2, таким образом, чтобы была возможность определения значения перекоса системы питания, для этого необходимо взять точку «A» за начало, а точку «C» за конец цепи из рисунка 2.

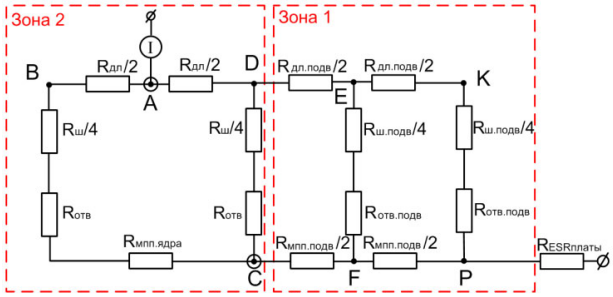


Рис. 2. Распределение сопротивления питания

На рис. 2 изображена пространственная модель распределения сопротивления питания в зонах 1 и 2, где источник тока расположен в центре зоны 2.

Rдл - сопротивление по длине в зоне 2;
Rш - сопротивление по ширине в зоне 2;
$R_{отв}$ - сопротивление отверстий в зоне 2;
$R_{мпп.ядра}$ - сопротивление под ядром в зоне 2;
$R_{дл.подв}$, $R_{ш.подв}$, $R_{отв.подв}$, $R_{мпп.подв}$,

аналогичные составляющие для зоны 1, поскольку она имеет другие размеры.

Определение перекоса цепи питания первой подложки корпуса

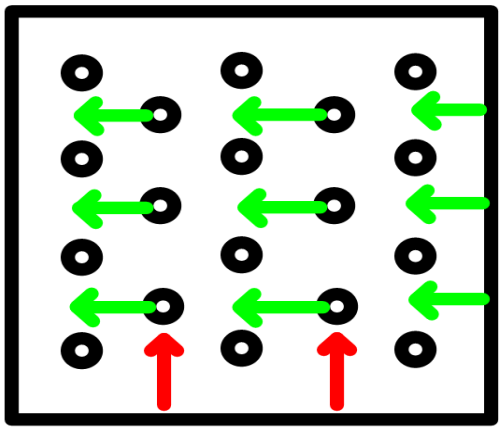


Рис. 3. Условное перемещение отверстий

Для определения сопротивления контура цепи питания необходимо каждую зону разбить на квадраты. Рассчитывается количество квадратов с вычетом высвобождений от переходных отверстий, следующим образом: так как отверстия расположены в шахматном порядке, условно можно сместить расположение отверстий, как показано на рис. 3. зелёными стрелками указано условное перемещение отверстий, а красными направления, открывшихся проходов для тока. Данное смещение позволит упростить расчет данной зоны.

С помощью данного условного перемещения, ток сможет беспрепятственно проходить в открытой области, как правило при таком перемещении отверстия составляют 20% от ширины. Поэтому при расчетах сопротивления по длине и ширине необходимо домножить количество квадратов на $\frac{1}{0.8}$.

Расчет каждого из сопротивлений рисунка 2:

- $R_{дл}$=$\frac{22}{15}$ (количество квадратов по длине)*,.25($\frac{1}{0.8}$ вычет отверстий)*1,2 (поскольку высота слоя 15 мкм выбран поправочный коэффициент 1,2 (18 мкм диэлектрика = 1 мОм на квадрат))*$\frac{1}{6}$(поскольку в данной зоне 6 слоев земли и 6 слоев питания, необходимо взять их в параллель, т.е. разделить на 2)=0.366 мОм.
- $R_{ш}$=$\frac{15}{22}$ *1.25*1.2*$\frac{1}{6}$ *($\frac{1}{100}$*50) (количество пар выводов земли и питания на данном участке) = 0,085 мОм.
- $R_{отв}$, известно, что сопротивление отверстия составляет 5 мОм, поскольку количество отверстий в данной зоне около ста, необходимо взять данное значение в параллель, т.е. разделить на 100: $R_{отв}$= 0,05 мОм.
- $R_{мпп.ядра}$ =$\frac{22}{15}$ (количество квадратов по длине) *1 (Поскольку в мпп ядра нет отверстий в данной зоне) * 0.5 (поправочный коэффициент на толщину слоя меди 35 мкм)*0.5(поскольку имеется 2 слоя мпп и необходимо взять их в параллель) = 0.366 мОм.
- $R_{дл.подв}$=$\frac{19}{12}$(количество квадратов по длине)*1.25($\frac{1}{0.8}$ вычет отверстий)*1.2 (поскольку высота слоя 15мкм выбран поправочный коэффициент 1.2)*$\frac{1}{2}$(поскольку в данной зоне 2 слоя земли и 2 слоя питания необходимо взять их в параллель, т.е. разделить на 2)=1,188 мОм.
- $R_{ш.подв}$, рассчитывается аналогичным образом и составляет 0,474 мОм.
- $R_{отв.подв}$, аналогично 0,05 мОм.
- $R_{мпп.подв}$$\frac{19}{12}$(количество квадратов по длине)*1 (поскольку в мпп.подв нет отверстий)*0,5 (поправочный коэффициент на толщину меди)*0,5 (поскольку 2 слоя мпп)=0,396 мОм.

Далее необходимо рассчитать данную систему (рис. 2.) как последовательно-параллельное соединение, начало которого в точке «A», а конец в точке «C»:

$R_{экв}$=$R_{A\text{-}B\text{-}C}$//$R_{A\text{-}D\text{-}C}$//$R_{A\text{-}E\text{-}F\text{-}C}$//$R_{A\text{-}K\text{-}P\text{-}C}$=0.14 мОм.

Производится расчет каждой составляющей отдельно:

$R_{A\text{-}B\text{-}C}=R_{дл}/2+R_{ш}/4+R_{отв}+R_{мпп.ядра}$=0.62 мОм.

$R_{A\text{-}D\text{-}C}=R_{дл}/2+R_{ш}/4+R_{отв}$=0.254 мОм.

$R_{A\text{-}E\text{-}F\text{-}C}= R_{дл}/2+R_{дл.подв}/2+R_{ш.подв}/4+R_{отв}+ R_{мпп.подв}/2$=1,143 мОм.

$R_{A\text{-}K\text{-}P\text{-}C} = R_{дл}/2+R_{дл.подв}+R_{ш.подв}/4+R_{отв}+R_{мпп.подв}$=1.939 мОм.

Далее рассчитывается значение перекоса для данной подложки корпуса.

Поскольку I_{max}=100 А, а ток распределяется по подложке возрастая от одного края (0А) к другому (100А), соответственно берется половина значения тока равная 50 А, где $R_{экв}$=0.14 мОм.

Поскольку I=50 А, а $R_{экв}$=0.14 мОм, то по закону Ома:

ΔU=50 А*0.14 мОм=7 мВ.

Определение перекоса цепи питания второй подложки корпуса

Расчет данной положки полностью аналогичен расчету первой, за исключением количества слоев в зоне 1 (здесь 6 слоев земли и 6 питания).

Производится пересчет отличающихся значений:

$R_{дл.подв}=\frac{19}{12}$(количество квадратов по длине)*1.25($\frac{1}{0.8}$ вычет отверстий)*1.2 (поскольку высота слоя 15мкм выбран поправочный коэффициент 1.2)*$\frac{1}{6}$(поскольку в данной зоне 6 слоев земли и 6 слоев питания необходимо взять их в параллель, т.е. разделить на 6)=0.396 мОм.

$R_{ш.подв}=\frac{12}{19}$ *1.25*1.2*$\frac{1}{6}$ * ($\frac{1}{100}$*50) (количество пар выводов земли и питания на данном участке) =0.079 мОм.

$R_{экв}$=0.012 мОм.

Рассчитывается значение перекоса для второй подложки корпуса.

Поскольку I_{max}=100 А, а ток распределяется по подложке возрастая от одного края (0А) к другому (100А), то было принято решение взять половину значения тока, т.е. 50 А, где $R_{экв}$=0.12 мОм.

ΔU=50А*0.12 мОм=6 мВ.

Определение значения ESR (эквивалентного последовательного сопротивления) для первой подложки корпуса

Для определения значения ESR рассчитывается сопротивление от точки А до Р (рис. 4):

$ESR_{корпуса1}= R_{A\text{-}B\text{-}C\text{-}P}//R_{A\text{-}D\text{-}C\text{-}P}//R_{A\text{-}E\text{-}F\text{-}P}//R_{A\text{-}K\text{-}P}$

$R_{A\text{-}B\text{-}C\text{-}P}=R_{дл}/2+R_{ш}/4+R_{отв}+R_{мпп.ядра}+R_{мпп.подв}$ =1.01 мОм.

$R_{A\text{-}D\text{-}C\text{-}P}=R_{дл}/2+R_{ш}/4+R_{отв}+R_{мпп.подв}$=0.65 мОм.

$R_{A\text{-}E\text{-}F\text{-}P}=R_{дл}/2+R_{дл.подв}/2+R_{ш.подв}/4+R_{отв.подв}+ R_{мпп.подв}/2$=1.14 мОм.

$R_{A\text{-}K\text{-}P}=R_{дл}/2+ R_{дл.подв}+ R_{ш.подв}/4+R_{отв.подв}$=1.54 мОм.

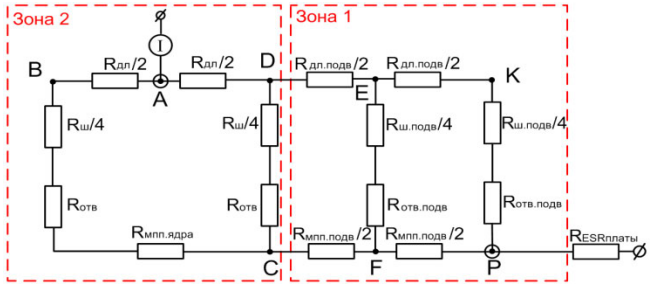


Рис. 4. Схема расчета ESR

Следовательно, полное сопротивление в этом случае равняется:

$ESR_{корпуса1}$=0.25 мОм.

Для выдачи задания на проектирование печатной платы по сопротивлению необходимо взять примерно 1% от значения core напряжения (0.8В), что составляет 0.008 В, соответственно ΔU_{ESR}=8мВ.

Ток (I_{max}=100А) во всей системе состоит из тока утечки, тока синхронизации и кодозависимого тока, которые в свою очередь составляют:

$I_{утечки}$-26,5А (26,5%),

$I_{синх}$-53.5А (53.5%),

$I_{код}$-20А (20%).

$\Delta U_{ESR}=\frac{I_{код}}{2}$ *($ESR_{корпуса1}$+$ESR_{платы1}$), следовательно задание на проектирование платы составит:

$ESR_{платы1}$=0.55 мОм.

Определение значения ESR (эквивалентного последовательного сопротивления) для второй подложки корпуса

Данное значение получается аналогичным образом за исключением того, что теперь имеется 6 слоев земли и 6 слоев питания.

$ESR_{корпуса2}$=0.18 мОм.

$\Delta U_{ESR}=\frac{I_{код}}{2}$ *($ESR_{корпуса2}$+$ESR_{платы2}$), следовательно задание на проектирование платы составит:

$ESR_{платы2}$=0.62 мОм.

Расчет индуктивности подложки корпуса:

Необходимо определить индуктивность питания и для этого, берется структура переходов слоев подложек микропроцессоров.

На рис. 5 изображены переходные отверстия земли (G) и питания (P) от кристалла до выводов корпуса, где красным цветом указаны диаметры

переходных отверстий в микронах и дюймах, синим - значения расстояния между отверстиями, указанные и в дюймах и в микронах, а зелеными - высоты отверстий, также указанные в микронах и в дюймах.

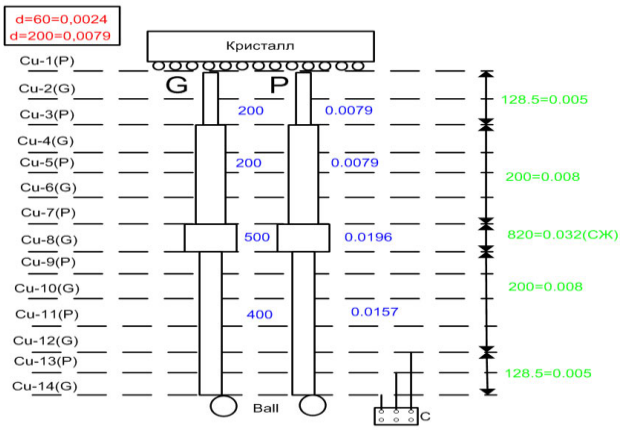


Рис. 5. Структура переходов слоев процессоров

Для расчёта значения индуктивности на переходах между слоями необходимо воспользоваться формулой:

$$L_{слоя}=L*10.16*10^{-9}*\ln[\frac{2*S}{d}],$$

где L-длина перехода (зеленая), S-расстояние между отверстиям (синяя), а d-диаметр отверстия (красный) указанные на рис. 5.

Определим эти значения:

Поскольку на слоях Cu-1 и Cu-2 от бампов идёт по 4 отверстия, необходимо разделить полученное значение на 4.

$$L_{Cu-1-2}=0.005*10.16*10^{-9}*\ln[\frac{2*0.0079}{0.0024}]/4=24\text{ пГн},$$

$$L_{Cu-2-7}=0.008*10.16*10^{-9}*\ln[\frac{2*0.0079}{0.0024}]=153\text{ пГн}.$$

Поскольку на слое жёсткости диаметр отверстий 200 мкм, в формуле необходимо взять значение 0,0079 дюйма.

$$L_{Cu-7-8}=0.032*10.16*10^{-9}*\ln[\frac{2*0.0196}{0.0079}]=520\text{ пГн},$$

$$L_{Cu-8-12}=0.008*10.16*10^{-9}*\ln[\frac{2*0.0157}{0.0024}]=208\text{ пГн}.$$

Поскольку всего имеется около 200 отверстий необходимо взять в параллель их, что аналогично делению на 200. Определим эту индуктивность для верхней (L_{Cu-1-2}+ L_{Cu-2-7}), средней (L_{Cu-7-8}) и нижней ($L_{Cu-8-14}$) частей:

$$L_{верх}=\frac{L_{Cu-1-2}+L_{Cu-2-7}}{200*2}=0.44\text{ пГн},$$

$$L_{сред}=\frac{L_{Cu-7-8}}{200*3,5}=0.74\text{ пГн},$$

$$L_{низ}=\frac{L_{Cu-8-12}}{200*2}=0.52\text{ пГн}.$$

Также необходимо определить значение индуктивности на подключение конденсаторов «С» (рис. 5):

Поскольку конденсаторы имеют особую структуру подключения (рис. 6), а именно 7 пар соединений, необходимо помимо распараллеливания полученного значения разделить его на 7.

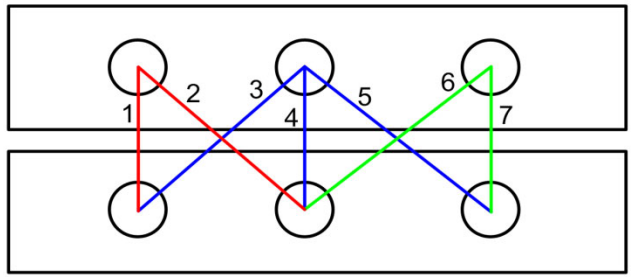


Рис. 6. Структура подключения конденсатора

Как правило, конденсаторы подключаются к последним 3 слоям подложки корпуса, поэтому необходимо определить индуктивность на этих слоях:

$$L_{Cu-12-14}=0.005*10.16*10^{-9}*\ln[\frac{2*0.0157}{0.0024}]=130\text{ пГн},$$

$$L_{конд}=\frac{L_{Cu-12-14}}{200*7}=\frac{130}{200*7}=0.1\text{ пГн}.$$

Определение характеристического сопротивления колебательного контура

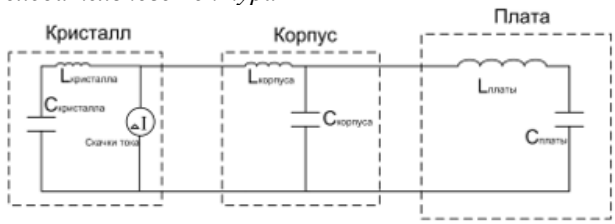


Рис. 7. Структура для расчета

На рис. 7 показано, что при низком значение силы тока в работу включается только кристалл, а при его повышении последовательно подключаются корпус и плата.

Определение полной индуктивности в корпусе:

$$L_{корпуса}=L_{верх}+L_{сред}+L_{низ}+L_{конд}=1.8\text{ пГн}.$$

Для определения характеристического сопротивления колебательного контура необходимо определить значение емкости конденсаторов в кристалле. Для её определения необходимо воспользоваться тем, что приблизительно на 1мм^2 в кристалле приходится 2-3 нФ, следовательно, необходимо определить площадь кристалла:

$S_{крист}$=22мм*15мм=330 мм^2, следовательно, из расчета 2-3нФ/1мм^2 получается примерно 800 нФ.

Определение характеристического сопротивления в корпусе:

$$Z_{корпуса}=\sqrt{\frac{L_{корпуса}}{C_{крист}}}=\sqrt{\frac{1.8*10^{-12}}{800*10^{-9}}}=1.5\text{ мОм}.$$

Исходя из полученного значения $Z_{корпуса}$ можно выдать задание на проектирование платы по индуктивности.

В данном случае необходимо взять 50% от кодозависимого тока и 3% от напряжения core, следовательно:

$$Z_{\text{платы}}=\frac{25\text{мВ}}{10\text{А}}=2.5\ \text{мОм},$$

$$Z_{\text{платы}}=\sqrt{\frac{L_{\text{платы}}-L_{\text{корпуса}}}{C_{\text{корпуса}}}}.$$

где на $L_{\text{платы}}$ необходимо выдать задание, а $C_{\text{корпуса}}$ равна произведению количества конденсаторов (140 штук) на их номинал (0.47 мкф), что составляет 65.8 мкф, следовательно, задание на проектирование платы по индуктивности:

$L_{\text{платы}}$=409.2 пГн.

III. Заключение

В данной статье были произведены расчеты сопротивлений и индуктивностей двух вычислительных систем с разными подложками корпуса. В первой подложке корпуса, которая имеет две земли и два питания, значение сопротивления $ESR_{\text{корпуса1}}$=0.25 мОм и задание на проектирование платы составляет $ESR_{\text{платы1}}$=0.55 мОм.

Вторая подложка корпуса имеет значение сопротивления $ESR_{\text{корпуса2}}$=0.18 мОм, а задание на проектирование платы при данном значении сопротивления составляет $ESR_{\text{платы2}}$=0.62 мОм. При сравнении значений сопротивлений данных коммутационных плат корпуса видно, что при меньшем количестве слоев в корпусе задание на проектирование платы более жесткие. Соответственно, необходимо в коммутационной плате корпуса иметь выделенную зону для подвода шин питания.

Произведен расчет индуктивностей коммутационных плат корпуса и получены значения характеристического сопротивления колебательного контура. Исходя из полученных значений сформировано задание на проектирование печатной платы по индуктивности $L_{\text{платы}}$=409.2 пГн.

Разработчики печатных плат должны соблюдать требования по выданным характеристикам и стремиться к уменьшению их значений.

Литература

[1] Джонсон Г., Грэхэм М. Конструирование высокоскоростных цифровых устройств. Начальный курс черной магии. 2009. С. 34-39.

[2] Джонсон Г. Руководство По Решению Проблемы Целостности Сигнала. 2005. С. 42-66.

[3] Xilinx «Signal Integrity solutiou guide». August 2005. С-16,35.

[4] Воробьев А.С., Мороз Я.Н. Планирование периферии кристалла с моделированием сетки питания микропроцессора // Научно-технический журнал Наноиндустрия. 2017. № 74 (Специальный выпуск). С. 95-101.

Calculation of Electrical Characteristics of Power Supply Buses in the Microprocessor Commutation Board

A.A. Naumenko[1], A.S. Vorobyov[2]

[1]AO «MCST», Moscow, Russia, naumenko_a@mcst.ru

[2]PAO «INEUM», Moscow, Russia, vorobiev_a@mcst.ru

Abstract — this article defines the values of power bus resistance and inductance. These values are calculated using the example of two processors. The values of the voltage drop on the switching boards of the housing are estimated and the values of inductance are determined. This article aims to create a single output matrix for two functionally different domestic microprocessors. Placement of two functionally different crystals on the same matrix of terminals of the switching Board of the case will allow you to have two interchangeable microprocessors installed on one seat. This implementation will allow you to minimize the cost of developing computing modules, testing stands and disassembly, as well as to get the ability to use a single socket for two different processors. To create two processors with the same matrix of findings is necessary to design a breakout Board for two of the cases. This article analyzes the power supply system of microprocessor cores. To analyze the power supply system of the cores, the values of voltage drops are determined, the methodology for determining it by means of dividing it into squares is used. Since the current has different direction in different parts of the housing substrate, it is necessary to divide it into zones. The value of the voltage drop in each zone is determined. The inductance value is calculated using the transition structures of the data layers of the housing substrates. In conclusion, a task is formulated to develop the motherboard for resistance and inductance. Similar calculations are made for the second housing substrate, which has more layers of earth and power. Comparative analysis of the values is performed, one processor is compared with another, the obtained values are evaluated and appropriate conclusions are made on the work done.

Keywords — voltage drop, inductance, resistance, current surges, substrate board, domestic microprocessor.

References

[1] Johnson G. Graham M. Designing high-speed digital devices. Elementary course in black magic. 2009. P. 34-39 (in Russian).

[2] Johnson G. Signal Integrity Solution Guide Above the Noise Being Heard Above the Noise. 2005. P. 42-66 (in Russian).

[3] Xilinx «Signal Integrity solution guide». August 2005. P. 16-35.

[4] Vorobev A. S., Moroz Ya. N. Planning of integrated circuit die peripherals with simulation of power grid // Scientific and technical journal nanoindustry. 2017. № 74 (Special issue). P. 95-101 (in Russian).

УДК 621.396.42.018.1 DOI: 10.31114/2078-7707-2020-3-212-217

Осциллятор с цифровым управлением для схемы полностью цифровой фазовой автоподстройки частоты

Р.И. Халирбагинов

Национальный исследовательский университет «МИЭТ», г. Москва,
rkhalirbaginov@yahoo.com

***Аннотация* — Представлена новая методика проектирования осциллятора с цифровым управлением на основе стандартных библиотечных ячеек. Методика включает в себя разработку масштабируемой архитектуры для обеспечения возможности автоматизации проектирования. Благодаря анализу параметров схемы на ранней стадии проектирования трудозатраты на разработку подобных схем могут быть сокращены. Предлагаемая архитектура осциллятора сочетает простоту проектирования и высокое разрешение при широком динамическом диапазоне перестройки выходной частоты.**

***Ключевые слова* — осциллятор с цифровым управлением, фазовая автоподстройка, библиотека стандартных ячеек, грубая и точная подстройка, время распространения сигнала.**

I. Введение

Фазовая автоподстройка частоты (ФАПЧ) широко применяется в синтезаторах частот для генерирования тактового сигнала в больших цифровых системах с множеством частотных доменов или для восстановления тактового сигнала из потока данных в высокоскоростных интерфейсах. Существует множество реализаций подобных схем как в виде отдельных микросхем, так и в виде IP блоков для встраивания в систему на кристалле. Традиционно схема ФАПЧ разрабатывается в аналоговом маршруте проектирования. Однако интегрировать аналоговую схему в цифровую систему с обилием цифровых шумов довольно сложно. Полностью цифровая схема фазовой автоподстройки частоты (ПЦФАПЧ) разработана в цифровом маршруте и призвана решить эту проблему.

ПЦФАПЧ использует маршрут проектирования на основе стандартных библиотечных ячеек, поэтому ее можно легко интегрировать в цифровую систему. Кроме того, она обладает устойчивостью к помехам при переключении, а также к изменениям процесса, напряжения и температуры (PVT). Создание универсального параметризованного описания схемы ФАПЧ на языке HDL и включение его в окружение автоматической генерации и верификации позволяет максимально исключить вмешательство разработчика и минимизировать временные затраты и возможные ошибки. В результате единственной задачей разработчика становится ввод необходимых доступных параметров для автоматической генерации схемы и топологии. Новый подход к разработке схем цифровой обработки сигнала позволяет абстрагироваться от технологического базиса и проблем связанных с разработкой аналоговых схем и интеграции их в цифровой маршрут. Достаточно сменить входные данные для генерации соответствующей полностью цифровой схемы. Верификация всего проекта возможна в цифровых симуляторах.

Блок-схема представленной в данной работе ПЦФАПЧ приведена на рис. 1. Схема состоит из следующих основных блоков: Frequency Search осуществляет поиск необходимой частоты, путём измерения длины периода входного опорного сигнала, блок Frequency Search образуют времяизмерительная система (TDC) и дешифратор; Phase Acquisition отслеживает отклонение фазы выходного сигнала относительно опорного, блок Phase Acquisition образуют фазовый детектор и простейший цифровой глитч фильтр; Control – анализирует данные с измерительных блоков и формирует управляющий код для подстройки выходной частоты цифрового осциллятора; Divider by N – делитель частоты в петле обратной связи для умножения частоты входного сигнала; Digital Controlled Oscillator – осциллятор управляемый цифровым кодом.

При включении схемы ПЦФАПЧ по сигналу ENABLE времяизмерительная система предоставляет контроллеру после двух эталонных тактовых циклов длину половины периода опорного сигнала. Контроллер формирует код грубой подстройки, затем осциллятор генерирует полученную выходную частоту. После завершения работы времяизмерительной системы машина состояний в блоке контроллера переводит схему в режим поддержания выходной частоты и отслеживания фазы. Фазовый детектор генерирует сигналы фазовой ошибки UP или DN в зависимости от разности фаз между опорным сигналом CLK_REF и сигналом CLK_DIV с выхода DCO, и деленного на N в блоке делителя частоты. Когда контроллер получает сигналы UP или DN от фазового детектора, он меняет код точной подстройки. Эти блоки образуют замкнутый контур.

Осциллятор является наиболее важным компонентом при разработке ФАПЧ. При традиционном подходе построения схем ФАПЧ в качестве осциллятора применяются генератор

управляемый напряжением (ГУН) или генератор управляемый током (ГУТ). Для схем ПЦФАПЧ чаще всего используется построение кольцевого генератора с изменяемым числом инвертирующих элементов в цепи задержки [1]-[12].

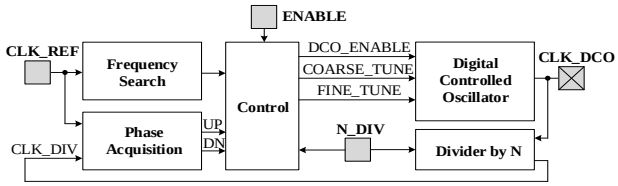


Рис. 1. Блок схема ПЦФАПЧ

Если использовать только грубую подстройку частоты, которая осуществляется выбором числа инвертирующих элементов в цепи [3], [6], то точность фазовой синхронизации будет не высока. Для КМОП 90нм шаг подстройки частоты будет составлять более 100пс. Это не применимо для высокочастотных решений. Более распространенной практикой является совмещение грубой и точной подстройки выходной частоты цифрового осциллятора [1], [5], [7]-[11]. Одним из решений является применение цифровых варакторов для изменения RC составляющей межсоединений в цепочке кольцевого генератора [4], [5], [7], [10], [12]. Встроенные lookup table (таблицы поиска) позволяют определить соотношение выходной частоты и управляющего кода на входе варактора [4], [12]. Однако эта зависимость, может изменяться из-за технологических уходов и изменений условий эксплуатации (температур, напряжений питания и т.д.). Кроме того, такое решение предполагает большие аппаратные затраты.

Часто при разработке осциллятора с цифровым управлением применяют индивидуальный подход [8]-[10]. По этой причине не получается провести моделирование HDL описания схемы в цифровом симуляторе. Из-за особенностей построения, следует моделировать всю схему как аналоговый компонент. Основной причиной является часть схемы, отвечающая за точную подстройку частоты. Она зачастую имеет аналоговую природу и, чтобы получить надежные оценки ее поведения необходимо моделирование на уровне SPICE.

В данной работе представлена новая архитектура осциллятора с цифровым управлением и методика его проектирования. Благодаря этой методике параметры прибора могут быть проанализированы и скорректированы на ранней стадии разработки, что значительно ускоряет маршрут проектирования подобных схем. Для проверки методики схема была синтезирована на стандартных ячейках библиотеки КМОП 90нм. Динамический диапазон составляет 150-700 МГц.

II. Методика разработки на основе стандартных библиотечных ячеек

Наиболее сложный блок при разработке схемы ПЦФАПЧ – осциллятор с цифровым управлением. Он является мотором для схемы ФАПЧ, отвечает за генерацию тактового сигнала и является основным потребителем энергии в схеме. Архитектура построения ОЦУ представлена на рис. 2.

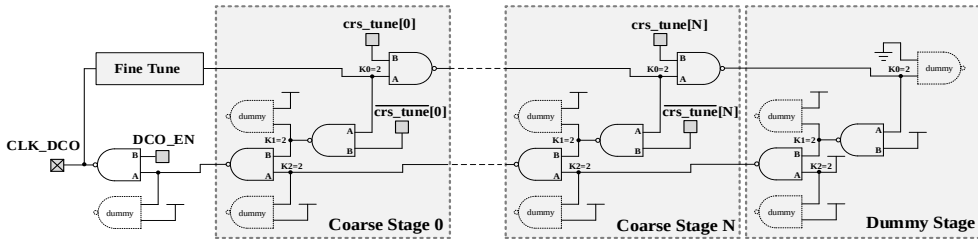


Рис. 2. Архитектура построения ОЦУ

Основная задача – разработать схему на стандартных библиотечных ячейках, чтобы обеспечить возможность автоматической генерации схемы полностью цифровой ФАПЧ в цифровом маршруте проектирования. При этом дизайн не должен быть привязан к конкретному технологическому процессу и топологии.

В представленной схеме подстройка частоты осциллятора разделена на грубую и точную. Соответственно, период колебаний выходного сигнала состоит из задержки на ступенях грубой и точной подстройки.

A. Грубая подстройка

При построении схемы используются исключительно элементы NAND. Это позволяет использовать значение задержки на библиотечном элементе NAND как универсальную временную единицу при расчете кода управления грубой подстройкой. Для того чтобы сбалансировать номинал значений задержек на элементах NAND, каждый из них всегда имеет в нагрузке два таких же элемента NAND. Это позволяет уменьшить разброс по задержкам в схеме и повысить линейность изменения частоты в зависимости от кода подстройки. После построения одной ступени грубой подстройки, остальные ступени дублируются. В конце добавляется пустая (dummy) ступень для балансировки нагрузки элементов последней ступени.

Общая задержка контура τ_{DCO} представлена в виде выражения:

$$\tau_{DCO} = \tau_{COARSE} + \tau_{FINE}, \quad (1)$$

где τ_{COARSE} – задержка на ступенях грубой подстройки; τ_{FINE} – задержка на ступенях тонкой подстройки.

Когда все N ступеней грубой подстройки активны, для τ_{COARSE} можно написать следующее выражение:

$$\tau_{COARSE} = \tau_C \times N = 4 \times \tau_{NAND} \times N \ , \quad (2)$$

где τ_C – задержка на одной ступени грубой настройки; τ_{NAND} – задержка на одном библиотечном элементе NAND.

Если в схеме X ступеней грубой подстройки, то осциллятор работает на минимальной частоте, когда N = X. Опираясь на представленную архитектуру, была разработана методика проектирования цифрового осциллятора на стандартных библиотечных ячейках.

Как показано на рис. 2, входная и выходная нагрузка в каждом узле ступени грубой подстройки одинакова и может быть представлена выражением:

$$K_0 = K_1 = K_2 = 2 \times C_{NAND} \quad . \quad (3)$$

Одинаковая нагрузка в каждом узле создает баланс ёмкостной составляющей задержки в цепи кольцевого генератора и обеспечивает линейный шаг изменения выходной частоты в зависимости от управляющего кода. Такая конструкция позволяет использовать ее для проектирования схемы на основе стандартных библиотечных ячеек.

Важным преимуществом построения осциллятора с разделением на грубую и точную подстройку является изоляция неиспользованной части логики при работе на максимальной выходной частоте. Все не используемые ступени отключены и их входные ячейки NAND выступают в роли clock gate. При увеличении количества ступеней грубой подстройки увеличивается динамический диапазон перестройки и уменьшается минимально достижимая выходная частота. При этом сохраняется линейная характеристика изменения частоты, поскольку нагрузка в каждом из узлов схемы не меняется.

B. Точная подстройка

Для точной подстройки осциллятора с цифровым управлением предлагается новый метод, позволяющий уменьшить шаг изменения выходной частоты. Основная идея заключается в использовании разности задержки путей внутри библиотечной ячейки NAND. Вся входная информация для расчета задержки через ячейку или группу ячеек описана в библиотеке. Например, ёмкости входов/выходов и номиналы задержек приведенные к ёмкости нагрузки.

Полные данные из библиотеки КМОП 90нм о 2-входной ячейке NAND (охарактеризованной при температуре 125°C, напряжении питания 1.08В, техн. угол slow-slow) приведены в таблицах 1, 2.

Таблица 1

Библиотечные значения емкости портов ячейки

Ячейка	Ёмкость входа A	Ёмкость входа B	Ёмкость выхода Z
NAND	0.00580411	0.00657608	0.367878

Таблица 2

Библиотечные значения задержки распространения сигнала через ячейку

Ячейка	Путь	Параметр	Номинал задержки
NAND	A → Z	τ_{DL01}	$0.051 + 2.2424 \times C_{LOAD}$
		τ_{DL10}	$0.053 + 2.4497 \times C_{LOAD}$
	B → Z	τ_{DL01}	$0.057 + 2.1775 \times C_{LOAD}$
		τ_{DL10}	$0.061 + 2.4464 \times C_{LOAD}$

На рис. 3 представлена структурная схема блока точной подстройки выходной частоты осциллятора с цифровым управлением.

Схема для точной подстройки, аналогично схеме грубой подстройки, разделена на ступени. Одна ступень состоит из 3-х библиотечных ячеек NAND и представляет собой схему мультиплексора 2 в 1. В зависимости от состояния управляющего сигнала подстройки fn_tune, входной сигнал пойдет по пути A или по пути B. Задержку распространения сигнала через одну ступень точной подстройки можно точно подсчитать исходя из входных данных таблиц 1 и 2. Результаты подсчета приведены в таблице 3.

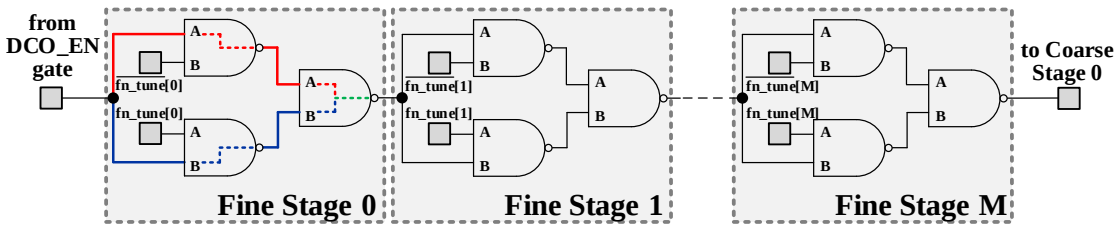


Рис. 3. Схема точной подстройки ОЦУ

Таблица 3

Рассчитанные значения задержки распространения сигнала через ступень точной подстройки

Ячейка	Путь	Параметр	Номинал задержки
Fine Stage	A → Z	$\tau_{DL01} = \tau_{DL01\ (NAND)} + \tau_{DL10\ (NAND)} \approx \tau_{DL10}$	0.146
		$\tau_{DL10} = \tau_{DL10\ (NAND)} + \tau_{DL01\ (NAND)} \approx \tau_{DL01}$	
	B → Z	$\tau_{DL01} = \tau_{DL01\ (NAND)} + \tau_{DL10\ (NAND)} \approx \tau_{DL10}$	0.162
		$\tau_{DL10} = \tau_{DL10\ (NAND)} + \tau_{DL01\ (NAND)} \approx \tau_{DL01}$	

Разница задержек распространения сигнала через путь A и B составляет 16пс. Это значение является минимальным шагом изменения периода выходного сигнала осциллятора и называется разрешением осциллятора с цифровым управлением. Полное значение задержки через все ступени точной подстройки представлено в выражении:

$$\tau_{FINE} = \sum_{i=0}^{M} \tau_A + \sum_{i=0}^{M} (R \times fn\_tune[i]) \ , \qquad (4)$$

где τ_A – время распространения сигнала в одной ступени точной подстройки по пути «A»; M – число ступеней точной подстройки; fn_tune[i] – разряд кода управляющего слова; R – разрешение осциллятора с цифровым управлением.

III. Результаты измерений

Основываясь на предложенной методике проектирования на базе стандартных библиотечных ячеек был разработан и синтезирован в библиотеке КМОП 90 нм осциллятор с цифровым управлением. Число ступеней грубой подстройки выходной частоты N = 32, число ступеней точной подстройки M = 8. Разрешение осциллятора составляет R = 16пс. Динамический диапазон от 150 МГц до 700 МГц. В качестве подтверждения представленной методике моделирование схемы было произведено на нетлисте после синтеза с SDF экстракцией задержек. Результаты приедены на рис. 4.

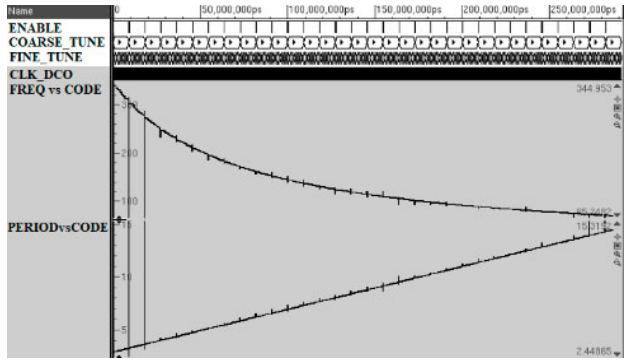


Рис. 4. Моделирование схемы ОЦУ в цифровом симуляторе

Для сравнения было проведено SPICE моделирование в аналоговом симуляторе UltraSim периода и частоты выходного сигнала в зависимости от управляющего кода. Результаты для трех улов (SS, TT, FF) представлены на рис. 5.

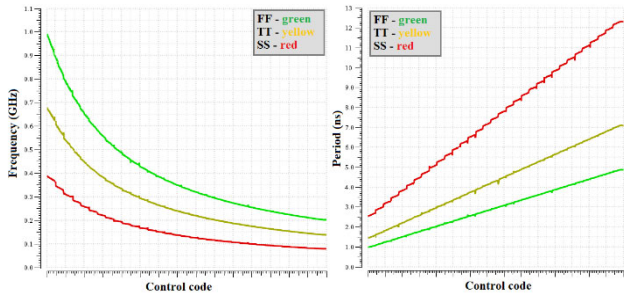


Рис. 5. Зависимость частоты и периода выходного сигнала ОЦУ от управляющего кода

Полученные результаты были использованы при проектировании схемы ПЦФАПЧ на стандартных библиотечных ячейках. Для разработки и описания схемы использовался аппаратный язык Verilog HDL.

На рис. 6 представлены результаты моделирования RTL описания схемы ПЦФАПЧ в цифровом симуляторе. Частота опорного сигнала равна 20 МГц, а коэффициент умножения частоты N равен 16. Таким образом, выходная частота составила 320 МГц.

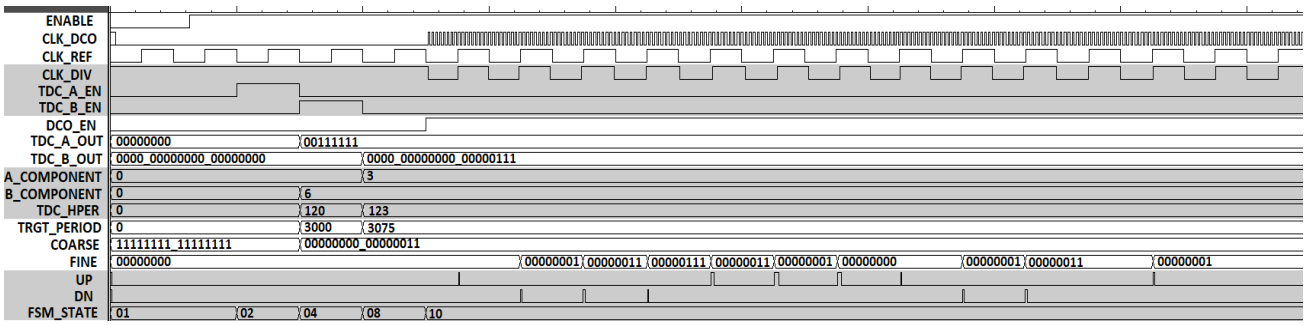


Рис. 6. Моделирование схемы ПЦФАПЧ в цифровом симуляторе

Из результатов моделирования видно, что времяизмерительная система за два такта опорной частоты формирует кодовое слово COARSE_TUNE для грубой подстройки частоты. После завершения ее работы включается осциллятор с желаемой частотой на выходе. Фазовый детектор выравнивает фазу выходного сигнала генерируя флаги фазовой ошибки UP и DN, подстраивая код точной подстройки FINE_TUNE. На рис. 6 видно, что управляющий код точной подстройки будет сходиться к стабильному значению, защелкивая петлю ПЦФАПЧ.

Разработанное RTL описание схемы ПЦФАПЧ было синтезировано в библиотеку КМОП 90нм и проведено SPICE моделирование в аналоговом симуляторе UltraSim (рис. 7).

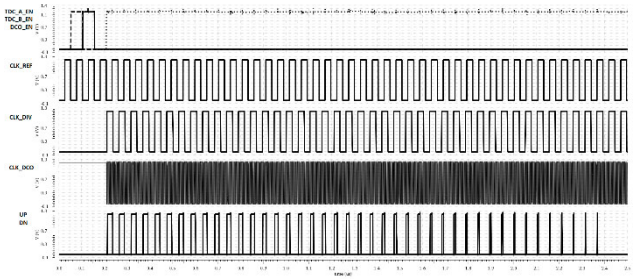


Рис. 7. Моделирование схемы ПЦФАПЧ в аналоговом симуляторе UltraSim

IV. Выводы

В этой работе представлен метод проектирования осциллятора с цифровым управлением на основе стандартных библиотечных ячеек. Архитектура построения имеет ряд важных особенностей. Схема грубой подстройки частоты обеспечивает широкий динамический диапазон перестройки без ущерба линейности изменения частоты на выходе. Применение одной библиотечной ячейки при построении ступеней грубой подстройки позволяет лучше контролировать баланс ёмкостной составляющей межсоединений. Схема точной подстройки позволяет значительно улучшить разрешение осциллятора, не прибегая к специальным схемам, требующим обязательного SPICE-моделирования. Полученные результаты были использованы при проектировании схемы ПЦФАПЧ на стандартных библиотечных ячейках. Для разработки и описания схемы использовался аппаратный язык Verilog HDL.

Эта разработка может быть включена в автоматизированный маршрут построения схемы полностью цифровой ФАПЧ, что позволит значительно снизить временные затраты на проектирование схем такого вида.

Поддержка

При поддержке Федерального государственного бюджетного учреждения «Фонд содействия развитию малых форм предприятий в научно-технической сфере» (Фонд содействия инновациям) в рамках НИР по теме «Разработка автоматизированного генератора универсальной полностью цифровой схемы фазовой автоподстройки частоты» победителя конкурса «Участник молодежного научно-инновационного конкурса» («УМНИК»).

Литература

[1] Chia-Tsun Wu, Wei Wang A Scalable DCO Design for Portable ADPLL Designs // IEEE International Symposium on Circuits and Systems. V. 1. 2005. P. 5449-5452.

[2] Ollson T., Nilsson P. A Digital PLL made from Standard Cells // European Conference on Circuit Theory and Design. 2001. P. 277-280.

[3] Tin-Yam Yau, Tri Caohuu, Jeonghee Kim An Efficient All-Digital Phase-Locked Loop with Input Fault Detection // IEEE International Conference on Information Science and Applications. 2011. P. 1-7.

[4] Park Y., Wentzloff D. D. An All-Digital PLL Synthesized from A Digital Standard Cell Library in 65nm CMOS // IEEE Custom Integrated Circuits Conference. 2011. P. 1-4.

[5] Duo Sheng, Ching-Che Chung, Chen-Yi Lee An Ultra-Low Power and Portable Digitally Controlled Oscillator for SoC Applications // IEEE Transactions on Circuits and Systems II: Express Briefs. V. 54. 2007. P. 954-958.

[6] Eisenreich H., Mayr C., Henker S., Wickert M. A Programmable Clock Generator HDL Softcore // IEEE 50th Midwest Symposium on Circuits and Systems. 2007. P. 1-4.

[7] Duo Sheng, Ching-Che Chung,Chen-Yi Lee // IEEE Asia Pacific Conference on Circuits and Systems. 2006. P. 105-108.

[8] Jun Zhao, Yong-bin Kim A 12-bit Digitally Controlled Oscillator with Low Power Consumption // IEEE 51st Midwest Symposium on Circuits and Systems. 2008. P. 370-373.

[9] Nasser Erfani Majd, Mojtaba Lotfizad A Novel Low Power Digitally Controlled Oscillator with Improved linear Operating Range // International Journal of Electrical and Computer Engineering. V. 5. № 3. 2011. P. 356-361.

[10] Nasser Erfani Majd, Mojtaba Lotfizad An ultra low-power digitally controlled oscillator using novel Schmitt-trigger based hysteresis delay cells // IEICE Electronics Express. 2011. V. 8. № 8. P. 589-595.

[11] Ching-Che Chung, Duo Sheng, Chen-Han Chen An All-Digital Phase-Locked Loop Compiler with Liberty Timing Files // IEEE International Symposium on VLSI Design, Automation and Test. 2014. P. 1-4.

[11] Pradyuman R Bissa, Kirti S Pande All Digital Phase Locked Loop for Low Frequency Applications // IEEE International Conference on Advances in Computing, Communications and Informatics. 2018. P. 813-819.

Digital Controlled Oscillator for All-Digital Phase-Locked Loop Circuit

R.I. Khalirbaginov

National Research University of Electronic Technology, Moscow

rkhalirbaginov@yahoo.com

***Abstract* — A new design methodology of digitally controlled oscillator based on standard library cells is presented. The methodology includes the design of a scalable architecture to enable design automation. By analyzing the parameters of the circuit at an early stage of design, the efforts involved in developing such circuits can be reduced. The proposed oscillator architecture combines simplicity of design and high resolution with a wide dynamic range of tuning the output frequency. The basis for oscillator circuit design is the division into a coarse and fine-tuning. This approach allows to isolate parts of unused logic when operating at maximum output frequency, as well as expand the dynamic range without compromising maximum frequency. In the design of fine-tuning circuit, a new method was applied that uses the difference in a path delay within a standard library cell. Based on the proposed methodology, a digitally controlled oscillator was designed and synthesized into the CMOS 90nm library. A linear characteristic of the output frequency versus control code is obtained, the resolution of the oscillator is 16 ps, and the dynamic range is from 150 to 700 MHz.**

***Keywords* — digital controlled oscillator, phase locked loop, standard cell library, coarse and fine-tuning, delay path.**

REFERENCES

[1] Chia-Tsun Wu, Wei Wang A Scalable DCO Design for Portable ADPLL Designs // IEEE International Symposium on Circuits and Systems. V. 1. 2005. P. 5449-5452.

[2] Ollson T., Nilsson P. A Digital PLL made from Standard Cells // European Conference on Circuit Theory and Design. 2001. P. 277-280.

[3] Tin-Yam Yau, Tri Caohuu, Jeonghee Kim An Efficient All-Digital Phase-Locked Loop with Input Fault Detection // IEEE International Conference on Information Science and Applications. 2011. P. 1-7.

[4] Park Y., Wentzloff D. D. An All-Digital PLL Synthesized from A Digital Standard Cell Library in 65nm CMOS // IEEE Custom Integrated Circuits Conference. 2011. P. 1-4.

[5] Duo Sheng, Ching-Che Chung, Chen-Yi Lee An Ultra-Low Power and Portable Digitally Controlled Oscillator for SoC Applications // IEEE Transactions on Circuits and Systems II: Express Briefs. V. 54. 2007. P. 954-958.

[6] Eisenreich H., Mayr C., Henker S., Wickert M. A Programmable Clock Generator HDL Softcore // IEEE 50th Midwest Symposium on Circuits and Systems. 2007. P. 1-4.

[7] Duo Sheng, Ching-Che Chung,Chen-Yi Lee // IEEE Asia Pacific Conference on Circuits and Systems. 2006. P. 105-108.

[8] Jun Zhao, Yong-bin Kim A 12-bit Digitally Controlled Oscillator with Low Power Consumption // IEEE 51st Midwest Symposium on Circuits and Systems. 2008. P. 370-373.

[9] Nasser Erfani Majd, Mojtaba Lotfizad A Novel Low Power Digitally Controlled Oscillator with Improved linear Operating Range // International Journal of Electrical and Computer Engineering. V. 5. № 3. 2011. P. 356-361.

[10] Nasser Erfani Majd, Mojtaba Lotfizad An ultra low-power digitally controlled oscillator using novel Schmitt-trigger based hysteresis delay cells // IEICE Electronics Express. 2011. V. 8. № 8. P. 589-595.

[11] Ching-Che Chung, Duo Sheng, Chen-Han Chen An All-Digital Phase-Locked Loop Compiler with Liberty Timing Files // IEEE International Symposium on VLSI Design, Automation and Test. 2014. P. 1-4.

[11] Pradyuman R Bissa, Kirti S Pande All Digital Phase Locked Loop for Low Frequency Applications // IEEE International Conference on Advances in Computing, Communications and Informatics. 2018. P. 813-819.

УДК 621.382.3 : 621.314 DOI: 10.31114/2078-7707-2020-3-218-223

Преобразователь радиочастотной энергии на наноразмерных МОП-транзисторах для пассивных беспроводных приложений

А.С. Синюкин[1], Б.Г. Коноплев[1], А.В. Ковалев[2]

[1]Институт нанотехнологий, электроники и приборостроения ЮФУ, г. Таганрог, sinyukin@sfedu.ru, kbg@sfedu.ru

[2]Инжиниринговый центр приборостроения, радио- и микроэлектроники ЮФУ, г. Таганрог, avkovalev@sfedu.ru

***Аннотация* — Разработан преобразователь радиочастотной энергии на МОП-транзисторах для пассивных беспроводных устройств. Предложена схема выпрямителя-умножителя напряжения, позволяющая осуществить реализацию устройства с высокой эффективностью умножения по стандартным технологиям КМОП в условиях крайне низких уровней входной мощности. Представлены компактные модели умножителей, в которых учитывается падение напряжения на наноразмерных транзисторах при работе в области слабой инверсии. Проведено сравнение результатов компьютерного моделирования умножителей с результатами расчетов по полученным моделям и показано, что результаты моделирования и расчетов согласуются в достаточной степени.**

***Ключевые слова* — радиочастотная идентификация, беспроводная передача энергии, эффект подложки, подпороговый режим работы, интегральное исполнение.**

I. Введение

С каждым годом беспроводные системы получают все большее распространение в таких отраслях как промышленность, строительство, торговля, логистика, медицина. Среди беспроводных приложений особое место занимают пассивные устройства, не имеющие встроенного источника постоянного питания, такого как аккумулятор или батарея. Ввиду отсутствия батареи пассивные устройства дешевле и компактнее активных аналогов, но энергию для работы они вынуждены получать извне. К ключевым направлениям, в которых определяющую роль играют пассивные беспроводные устройства, можно отнести технологию радиочастотной идентификации (RFID) [1], беспроводные сенсорные сети (WSN) [2], интернет вещей (IoT) [3].

Обычно пассивные беспроводные устройства получают энергию для питания от связанных с ними считывающих устройств или базовых станций. Однако в некоторых приложениях, например при логистической идентификации на складах или в торговых сетях, из-за существенных расстояний между источником энергии (базовой станцией) и пассивными устройствами снижается эффективность передачи энергии. В результате уровень энергии, принимаемый пассивным устройством, может быть недостаточно высоким для формирования напряжения питания. Существует другой способ снабжения пассивных устройств энергией, который заключается в собирании радиочастотной энергии из окружающей среды (Energy Harvesting) [4]. В этом случае в качестве источников энергии могут выступать станции сотовой связи, радио- и телевизионные станции, сети Wi-Fi, WiMAX, Bluetooth.

Поскольку радиочастотную энергию, поступающую на пассивное беспроводное устройство, нельзя использовать непосредственно для питания этого устройства, применяются преобразователи энергии радиочастотного излучения в напряжение постоянного тока. Такими преобразователями в пассивных беспроводных устройствах могут выступать выпрямители и умножители напряжения, построенные на основе МОП-транзисторов [2]-[4]. Энергия радиочастотного излучения преобразуется выпрямителем в напряжение постоянного тока, а умножитель формирует уровень напряжения, достаточный для питания остальных модулей пассивного устройства. Поскольку уровень входной мощности и в условиях больших расстояний между приемником и передатчиком энергии, и при сборе энергии из окружающего пространства может быть очень низким, актуальной является задача разработки высокоэффективных преобразователей энергии, способных формировать напряжение питания даже при крайне низких входных мощностях.

Выбор используемой технологии является важным шагом при разработке преобразователя энергии. Более сложные технологии, в которых, например, осуществляется диэлектрическая изоляция транзисторов [5], либо используются транзисторы с нулевым или очень низким пороговым напряжением [6], позволяют реализовать высокоэффективные устройства, однако будет высока и стоимость изготовления. Во многих случаях экономически более выгодно использовать простые типовые технологии.

Статья имеет следующую структуру. В части II предложена модификация типовой схемы умножителя напряжения и представлены модели, описывающие

работу умножителей напряжения в подпороговой области работы транзисторов. В части III приведены результаты моделирования исследуемых умножителей, а также выполнено сравнение результатов моделирования с расчетами. В заключительной части представлены основные результаты исследования.

II. Умножитель напряжения на основе наноразмерных МОП-транзисторов

Выпрямление и умножение входного напряжения в пассивных беспроводных приложениях часто выполняется устройствами, основанными на классическом умножителе Диксона [7]. Если выпрямитель-умножитель реализован на основе МОП-транзисторов, затвор каждого транзистора соединяется со стоком этого же транзистора для создания диодного включения, а вывод подложки обычно соединяется с общей шиной [1], [8], как показано на рис. 1а.

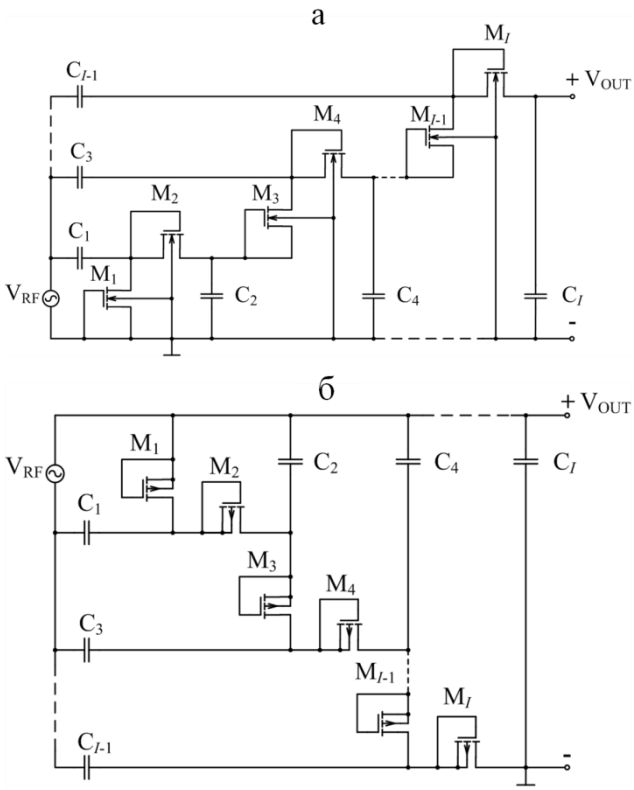


Рис. 1. Типовая (а) и предлагаемая (б) схемы умножителя напряжения, построенные на основе МОП-транзисторов в диодном включении

Транзисторы M_1, M_2, конденсаторы C_1, C_2 образуют умножающий каскад (рис. 1). Повысить выходное напряжение можно, увеличив число каскадов *N*. Однако увеличение числа каскадов приводит к росту напряжения исток-подложка для каждого последующего транзистора в цепи. Из-за воздействия эффекта подложки пороговое напряжение транзистора возрастает, и, как следствие, возрастает падение напряжения на транзисторе в диодном включении, что приводит к снижению эффективности умножения напряжения.

Для того чтобы повысить уровень выходного напряжения и увеличить эффективность умножения типовая схема умножителя была преобразована (рис. 1б). В предлагаемой схеме вывод подложки каждого транзистора соединен со стоком этого же транзистора, в результате чего значение падения напряжения на транзисторе в диодном включении не зависит от числа каскадов. Для реализации такого умножителя по типовой КМОП-технологии *p*-канальные МОП-транзисторы использовались вместо *n*-канальных.

Простые аналитические модели умножителей напряжения позволяют облегчить анализ работы этих устройств и обосновать выбор значений параметров входящих в них элементов. Кроме того важно учитывать особенности работы наноразмерных МОП-транзисторов в режиме слабой инверсии, поскольку из-за низких уровней входной мощности и, как следствие, низкой амплитуды входного напряжения работа транзисторов в преобразователях энергии часто осуществляется в подпороговом режиме. В литературе широко представлены модели выпрямителей и умножителей напряжения, однако в них [6], [9], [10] пренебрегают влиянием подпороговых токов и эффекта подложки, и поэтому не учитывается реальное падение напряжения на транзисторах, вследствие чего такие модели неприменимы в сверхмаломощных и низковольтных приложениях.

Модели умножителей напряжения, в основу которых положены модель умножителя Диксона [7] и модель наноразмерных МОП-транзисторов EKV (Enz-Krummenacher-Vittoz) [11], предлагаются в данной работе. Одна из предлагаемых моделей описывает работу умножителя с типовым соединением выводов МОП-транзисторов в диодном включении (см. рис. 1а), а другая характеризует работу устройства с предлагаемым соединением выводов (см. рис. 1б).

При работе типовой схемы умножителя в области слабой инверсии выражения для напряжения исток-подложка (*i*+1)-го транзистора в цепи умножителя (напряжение на выходе (*i*+1)-го контура), тока (*i*+1)-го транзистора в диодном включении и падения напряжения на (*i*+1)-ом транзисторе запишутся соответственно как

$$V_{i+1} = V_i + \frac{C}{C+C_S} \cdot V_a - V_{d,i+1}, \quad (1)$$

$$I_{d,i+1} = I_0 \cdot exp\left(\frac{V_{d,i+1} - V_{T0} - (n-1)\cdot V_{i+1}}{n \cdot \varphi_T}\right), \quad (2)$$

$$V_{d,i+1} = \varphi_T \cdot ln\frac{I_{d,i+1}}{I_0} + \frac{V_{T0}}{n} + \frac{n-1}{n} \cdot \left(V_i + \frac{C}{C+C_S} \cdot V_a\right), \quad (3)$$

где V_i – напряжение исток-подложка *i*-го транзистора; C – емкость связи; C_S – паразитная емкость; V_a – амплитуда входного напряжения; f – частота входного сигнала, I_0 – характеристический ток транзистора; V_{T0} – пороговое напряжение; n – параметр наклона; φ_T – температурный потенциал. Для нулевого узла $i = 0$, $V_i = 0$.

Согласно выражениям (1)-(3), типовая схема умножителя характеризуется зависимостью значения

тока транзистора в диодном включении и величины падения напряжения на транзисторе от амплитуды входного напряжения. По этой причине в каждом следующем каскаде ток транзисторов уменьшается, а падение напряжения на транзисторах возрастает, что приводит к снижению эффективности умножения и падению уровня выходного напряжения.

В случае работы предлагаемого умножителя в области слабой инверсии выражение для напряжения исток-подложка (i+1)-го транзистора соответствует выражению (1), а выражения для тока (i+1)-го транзистора в диодном включении и падения напряжения на (i+1)-ом транзисторе запишутся соответственно как

$$I_{d,i+1} = I_{d,i} = I = I_0 \cdot exp\left(\frac{n \cdot V_d - V_{T0}}{n \cdot \varphi_T}\right), \quad (4)$$

$$V_d = \varphi_T \cdot ln\frac{I}{I_0} + \frac{V_{T0}}{n}. \quad (5)$$

Выражения (4), (5) свидетельствуют о том, что ток транзистора, как и падение напряжения на элементе в предлагаемой схеме от амплитуды входного напряжения не зависят.

Представленные модели позволяют выполнять оценочные расчеты многокаскадных умножителей и учитывают реальные падения напряжения на транзисторах в диодном включении для области слабой инверсии, что соответствует работе устройства в условиях крайне низких входных мощностей.

III. Результаты моделирования

При исследовании и разработке преобразователя энергии применялась САПР Tanner EDA [12], в частности схемотехнический анализ и исследование переходных процессов осуществлялось в модуле T-Spice. Моделирование работы устройства в T-Spice выполнялось с использованием модели BSIM4v4.8.0 [13] наноразмерных МОП-транзисторов (технология КМОП 90 нм [14]).

Сравнение результатов моделирования переходных процессов в восьмикаскадном умножителе напряжения с типовым соединением выводов n-канальных МОП-транзисторов (см. рис. 1а), и в умножителе с предлагаемым соединением выводов p-канальных транзисторов (см. рис. 1б), представлено на рис. 2.

В случае типового соединения выводов транзисторов (рис. 1а) влияние эффекта подложки при увеличении числа каскадов приводит к возрастанию прямого падения напряжения на транзисторах в диодном включении, вследствие чего инкременты выходного напряжения уменьшаются с каждым каскадом (рис. 2а). В схеме с предлагаемым соединением выводов (рис. 1б) для всех транзисторов напряжение между выводами истока и подложки остается постоянным, поэтому напряжение на МОП-транзисторах почти не зависит от числа каскадов, и, как следствие, значительно ослабляется негативное воздействие эффекта подложки на уровень выходного напряжения и на эффективность умножения. Благодаря этому приращения напряжения приблизительно равны на всех каскадах (рис. 2б), и в результате эффективность умножения напряжения не убывает с увеличением N (см. рис. 3б).

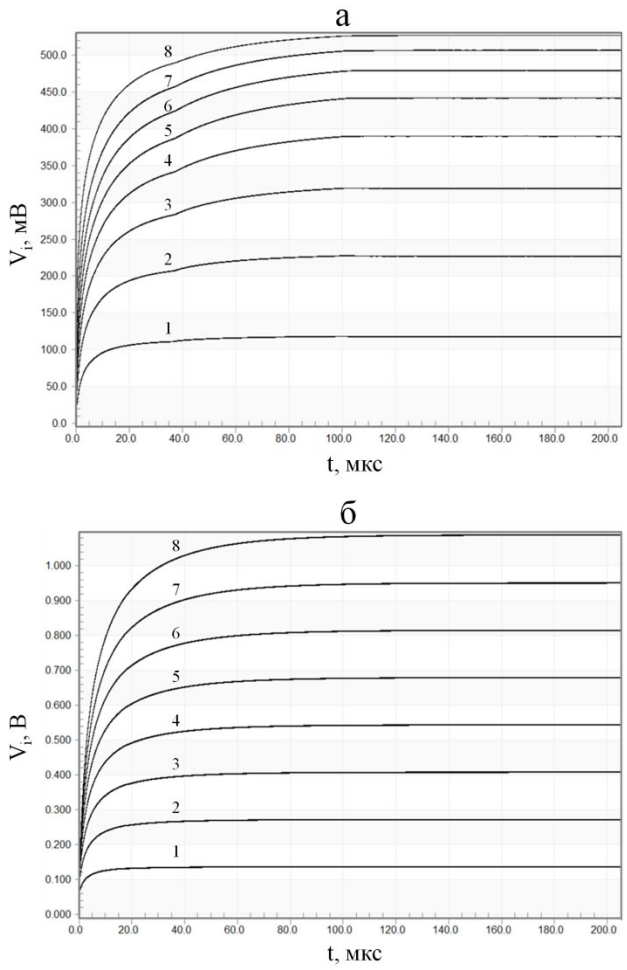


Рис. 2. Результаты моделирования переходных процессов умножителя (цифрами обозначены номера каскадов) в случае типовой (а) и предлагаемой (б) схемы: C = 500 фФ, f= 2,45 ГГц, R_{ant} = 50 Ом, R = 100 МОм, Va = 0,1 В, V_{T0} = 0,21 В, W/L = 35, N = 8, где R_{ant} – сопротивление антенны, R – сопротивление нагрузки, W/L – отношение ширины канала транзистора к его длине

Если используются идеальные диоды (транзисторы в диодном включении с нулевым падением напряжения), уровень выходного напряжения N-каскадного умножителя можно определить как

$$V_{out} = 2 \cdot V_a \cdot N. \quad (6)$$

С учетом (6), эффективность умножения напряжения рассчитывалась как

$$\eta = \frac{V_{out,sim}}{V_{out}} \cdot 100\%, \quad (7)$$

где $V_{out,sim}$ – установившийся уровень выходного напряжения, полученный при моделировании.

Результаты моделирования типовой и предлагаемой схем умножителя в T-Spice, а также результаты оценочных расчетов по полученным выражениям (1)-(5) для различного числа каскадов представлены на рис.

3. Расчеты и моделирование проводились для следующих значений параметров: C = 500 фФ; C_S = 26 фФ; f = 2,45 ГГц; I_0 = 5 мкА; n = 1,2; R = 100 МОм; V_a = 0,1 В; V_{T0} = 0,21 В; W/L = 35.

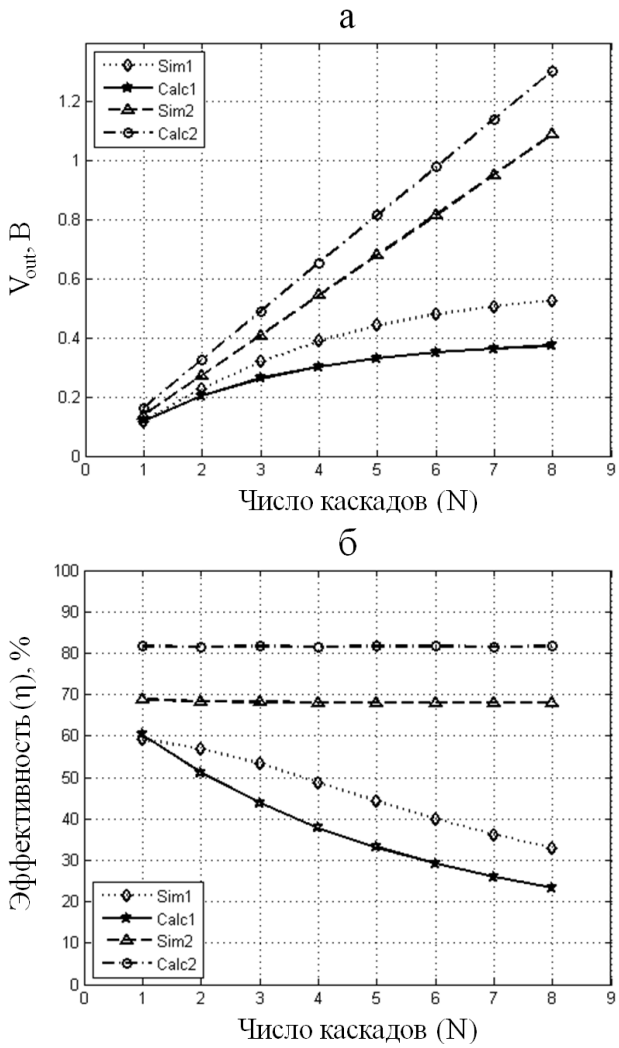


Рис. 3. Зависимости выходного напряжения (а) и эффективности умножения (б) умножителя от числа каскадов: Sim_1 – результаты моделирования типовой схемы в T-Spice; $Calc_1$ – результаты расчетов типовой схемы; Sim_2 – результаты моделирования предлагаемой схемы; $Calc_2$ – результаты расчетов предлагаемой схемы

Как видно из рис. 3а, зависимость выходного напряжения от числа каскадов для предлагаемого умножителя линейная, то есть эффективность умножения напряжения не снижается с увеличением числа каскадов, в отличие от типовой схемы (рис. 3б).

На рис. 4 представлены зависимости выходного напряжения типовой и предлагаемой схемы восьмикаскадного умножителя от размеров используемых транзисторов (W/L), полученные по результатам моделирования в T-Spice.

Увеличение значения W/L приводит к росту выходного напряжения, однако для значений W/L выше, чем 35-50, уровень выходного напряжения V_{out} устанавливается на приблизительно постоянном уровне (рис. 4). Подобный характер зависимостей может определяться преобладанием влияния емкостных потерь и обратных токов при достижении определенного значения W/L над позитивным воздействием роста прямого тока.

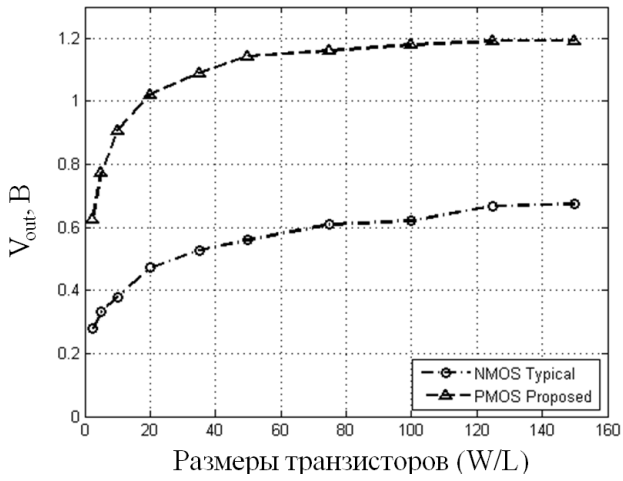


Рис. 4. Влияние размеров транзисторов на уровень выходного напряжения умножителя в случае типовой (NMOS Typical) и предлагаемой схемы (PMOS Proposed)

На рис. 5 показано влияние величины емкости конденсаторов, используемых в умножителе для типовой и предлагаемой схемы. Из рисунка видно, что увеличение значения C выше 100-500 фФ не приводит к существенному увеличению выходного напряжения.

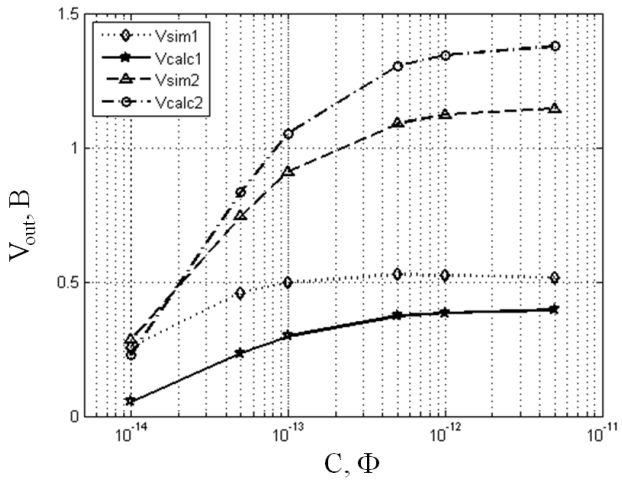


Рис. 5. Зависимость выходного напряжения умножителя от величины емкости конденсаторов: Sim_1 – результаты моделирования типовой схемы в T-Spice; $Calc_1$ – результаты расчетов типовой схемы; Sim_2 – результаты моделирования предлагаемой схемы в T-Spice; $Calc_2$ – результаты расчетов предлагаемой схемы

Уровень входной мощности может быть приближенно выражен через амплитуду входного напряжения [1]:

$$P_{in} = \frac{{V_a}^2}{8 \cdot R_{ant}}. \quad (8)$$

Мощность в ваттах (Вт) можно выразить в дБм по известной формуле:

$$P_{in}(\text{дБм}) = 10 \cdot \log_{10}\left(\frac{P(\text{Вт})}{1\ \text{мВт}}\right). \qquad (9)$$

Сравнение эффективности умножения напряжения в зависимости от уровня входной мощности для типовой схемы восьмикаскадного умножителя на *n*-канальных транзисторах и предлагаемой схемы на *p*-канальных транзисторах представлено на рис. 6. Из рисунка видно, что эффективность умножения предлагаемой схемы существенно превосходит эффективность типовой схемы для всего исследуемого диапазона P_{in}.

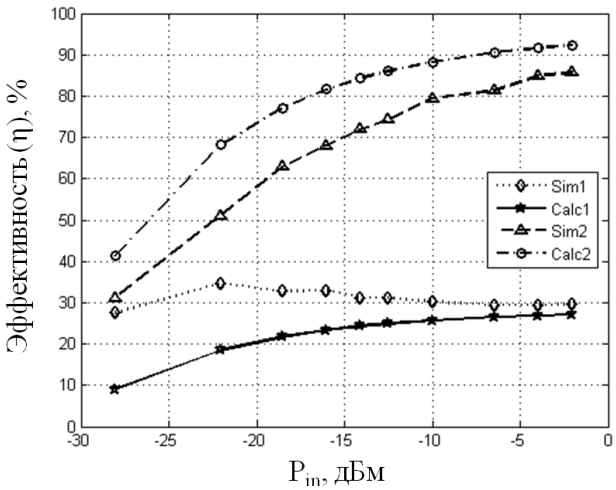


Рис. 6. Зависимость эффективности умножения от уровня входной мощности: Sim_1 – результаты моделирования типовой схемы; $Calc_1$ – результаты расчетов типовой схемы; Sim_2 – результаты моделирования предлагаемой схемы; $Calc_2$ – результаты расчетов предлагаемой схемы

Результаты оценочных расчетов, проведенных по полученным моделям, и результаты моделирования в T-Spice, согласуются друг с другом в достаточной степени (см. рис. 3, 5, 6) с учетом погрешностей, вызванных допущениями, которые были приняты для достижения компактности и наглядности моделей.

IV. Заключение

В статье представлены результаты исследования и разработки КМОП-преобразователя радиочастотной энергии для беспроводных пассивных приложений. Представленные модели характеризуют работу типовой и предлагаемой схемы умножителя с учетом особенностей работы наноразмерных МОП-транзисторов в области слабой инверсии. Проведено сравнение результатов моделирования для типовой и предлагаемой схем с результатами расчетов по полученным моделям. Предлагаемая схемная модификация не только позволяет достигнуть высокой эффективности умножения при малых уровнях входной мощности ($\eta \approx 70\%$ при P_{in} = -15 дБм), но и предоставляет возможность реализации умножителя по типовым технологиям КМОП.

Поддержка

Исследования выполнены при финансовой поддержке Минобрнауки РФ, проект № FENW-2020-0022.

Литература

[1] De Vita G., Iannaccone G. Design Criteria for the RF Section of UHF and Microwave Passive RFID Transponders // IEEE Transactions on Microwave Theory and Techniques. 2005. V. 53. № 9. P. 2978-2990.

[2] Umeda T., Yoshida H., Sekine S., Fujita Y., Suzuki T., Otaka S. A 950-MHz Rectifier Circuit for Sensor Network Tags With 10-m Distance // IEEE Journal of Solid-state Circuits. 2006. V. 41. № 1. P. 35-41.

[3] Guler U., Jia Y., Ghovanloo M. A Reconfigurable Passive RF-to-DC Converter for Wireless IoT Applications // IEEE Transactions on Circuits and Systems II: Express Briefs. 2019. V. 66. № 11. P. 1800-1804.

[4] Valenta C.R., Durgin G.D. Harvesting Wireless Power: Survey of Energy-Harvester Conversion Efficiency in Far-Field, Wireless Power Transfer Systems // IEEE Microwave Magazine. 2014. V. 15. № 4. P. 108-120.

[5] Curty J.-P., Joehl N., Krummenacher F., Dehollain C., Declercq M.J. A Model for μ-Power Rectifier Analysis and Design // IEEE Transactions on Circuits and Systems I: Regular Papers. 2005. V. 52. № 12. P. 2771-2779.

[6] Sheu M.-L., Tiao Y.-S., Fan H.-Y., Huang J.-J. Implementation of a 2.45GHz Passive RFID Transponder Chip in 0.18μm CMOS // Journal of Information Science and Engineering. 2010. V. 26. № 2. P. 597-610.

[7] Dickson J.F. On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Multiplier Technique // IEEE Journal of Solid-state Circuits. 1976. V. SC-11. № 3. P. 374-378.

[8] Shokrani M.R., Khoddam M., Hamidon M.N.B., Kamsani N.A., Rokhani F.Z., Shafie S.B. An RF Energy Harvester System Using UHF Micropower CMOS Rectifier Based on a Diode Connected CMOS Transistor // The Scientific World Journal. 2014. V. 2014. Article ID 963709. P. 1-11.

[9] Yao Y., Wu J., Shi Y., Dai F.F. A Fully Integrated 900-MHz Passive RFID Transponder Front End With Novel Zero-Threshold RF–DC Rectifier // IEEE Transactions on Industrial Electronics. 2009. V. 56. № 7. P. 2317-2325.

[10] Wu Y., Linnartz J.-P., Gao H., Matters-Kammerer M.K., Baltus P. Modeling of RF Energy Scavenging for Batteryless Wireless Sensors with Low Input Power // 2013 IEEE 24th Annual International Symposium on Personal, Indoor, and Mobile Radio Communications (PIMRC). 2013. P. 527-531.

[11] Enz C.C., Vittoz E.A. Charge-based MOS transistor modeling. Chichester, West Sussex, England: Wiley, 2006. 303 p.

[12] Tanner AMS and MEMS Design Flows [Электронный ресурс]. URL: https://www.mentor.com/tannereda/ (дата обращения 20.06.2020).

[13] Hu C., Niknejad A.M., Paydavosi N. BSIM4v4.8.0 MOSFET Model – User's Manual. Berkeley, CA, USA: UC Berkeley, 2013. 177 p.

[14] Sicard E. Microwind & DSCH Version 3.5 - User's Manual Lite Version. Toulouse, France: INSA Toulouse, 2010. 137 p.

RF Energy Converter on Nanoscale MOSFETs for Passive Wireless Fpplications

A.S. Sinyukin[1], B.G. Konoplev[1], A.V. Kovalev[2]

[1]Institute of Nanotechnologies, Electronics and Equipment Engineering, Southern Federal University, Taganrog, sinyukin@sfedu.ru, kbg@sfedu.ru

[2]Engineering center of instrument making, radio- and microelectronics, Southern federal university, Taganrog avkovalev@sfedu.ru

***Abstract* — Currently passive wireless microdevices have became widespread in such areas as industry, construction activity, commercial activity, logistics, and medicine. The most ubiquitous applications, which use passive wireless devices are radiofrequency identification (RFID), wireless sensor networks (WSN) and Internet of Things (IoT). Passive wireless devices harvest energy for power supplying by radiofrequency waves. However radiofrequency energy cannot be utilized by passive devices directly, so RF-to-DC energy converters are necessary. Besides to enhance the output voltage level the voltage multipliers are used.**

The RF energy converter for passive wireless applications based on MOS transistors has been developed in this work. The modification of the multiplier circuit based on new connection of MOSFET's terminals has been proposed. The proposed modification allows significantly attenuate the body effect of MOS transistor and thus increases both the output voltage of multiplier and the voltage multiplication efficiency. Moreover this modification permits to implement the energy converter using standard CMOS technologies. The compact voltage multiplier models considering the real voltage drops on diode-connected MOS transistors for weak inversion region have been presented.

Research & development of RF energy converter have been conducted using Tanner EDA system and in particular T-Spice module for circuit analysis and transients study. Simulation of the device was performed using BSIM4 model of nanoscale MOSFETs. The influence of different parameters such as number of multiplier stages, transistor sizes, capacitance, input voltage amplitude on the output voltage and voltage multiplication efficiency has been investigated. The results of T-Spice simulations and the evaluations by proposed expressions have been compared and the agreement level is acceptable.

***Keywords* — RFID, Wireless Power Transfer, Body Effect, Integrated Form, Subthreshold Operation.**

REFERENCES

[1] De Vita G., Iannaccone G. Design Criteria for the RF Section of UHF and Microwave Passive RFID Transponders // IEEE Transactions on Microwave Theory and Techniques. 2005. V. 53. № 9. P. 2978-2990.

[2] Umeda T., Yoshida H., Sekine S., Fujita Y., Suzuki T., Otaka S. A 950-MHz Rectifier Circuit for Sensor Network Tags With 10-m Distance // IEEE Journal of Solid-state Circuits. 2006. V. 41. № 1. P. 35-41.

[3] Guler U., Jia Y., Ghovanloo M. A Reconfigurable Passive RF-to-DC Converter for Wireless IoT Applications // IEEE Transactions on Circuits and Systems II: Express Briefs. 2019. V. 66. № 11. P. 1800-1804.

[4] Valenta C.R., Durgin G.D. Harvesting Wireless Power: Survey of Energy-Harvester Conversion Efficiency in Far-Field, Wireless Power Transfer Systems // IEEE Microwave Magazine. 2014. V. 15. № 4. P. 108-120.

[5] Curty J.-P., Joehl N., Krummenacher F., Dehollain C., Declercq M.J. A Model for μ-Power Rectifier Analysis and Design // IEEE Transactions on Circuits and Systems I: Regular Papers. 2005. V. 52. № 12. P. 2771-2779.

[6] Sheu M.-L., Tiao Y.-S., Fan H.-Y., Huang J.-J. Implementation of a 2.45GHz Passive RFID Transponder Chip in 0.18μm CMOS // Journal of Information Science and Engineering. 2010. V. 26. № 2. P. 597-610.

[7] Dickson J.F. On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Multiplier Technique // IEEE Journal of Solid-state Circuits. 1976. V. SC-11. № 3. P. 374-378.

[8] Shokrani M.R., Khoddam M., Hamidon M.N.B., Kamsani N.A., Rokhani F.Z., Shafie S.B. An RF Energy Harvester System Using UHF Micropower CMOS Rectifier Based on a Diode Connected CMOS Transistor // The Scientific World Journal. 2014. V. 2014. Article ID 963709. P. 1-11.

[9] Yao Y., Wu J., Shi Y., Dai F.F. A Fully Integrated 900-MHz Passive RFID Transponder Front End With Novel Zero-Threshold RF–DC Rectifier // IEEE Transactions on Industrial Electronics. 2009. V. 56. № 7. P. 2317-2325.

[10] Wu Y., Linnartz J.-P., Gao H., Matters-Kammerer M.K., Baltus P. Modeling of RF Energy Scavenging for Batteryless Wireless Sensors with Low Input Power // 2013 IEEE 24th Annual International Symposium on Personal, Indoor, and Mobile Radio Communications (PIMRC). 2013. P. 527-531.

[11] Enz C.C., Vittoz E.A. Charge-based MOS transistor modeling. Chichester, West Sussex, England: Wiley, 2006. 303 p.

[12] Tanner AMS and MEMS Design Flows, https://www.mentor.com/tannereda/ (access date 20.06.2020).

[13] Hu C., Niknejad A.M., Paydavosi N. BSIM4v4.8.0 MOSFET Model – User's Manual. Berkeley, CA, USA: UC Berkeley, 2013. 177 p.

[14] Sicard E. Microwind & DSCH Version 3.5 - User's Manual Lite Version. Toulouse, France: INSA Toulouse, 2010. 137 p.

УДК 681.3:621.3.049.77 DOI: 10.31114/2078-7707-2020-3-224-229

Критерии численной оценки алгоритмов восстановления данных для аналого-информационных преобразователей

А.В. Быкова, М.Н. Полунин

АО «Научно-производственный центр «ЭЛВИС», г. Зеленоград, abykova@elvees.com

***Аннотация* — Традиционные подходы к дискретизации сигнала в современных системах с высокой пропускной способностью приводят к возникновению целого ряда проблем. Для решения этих проблем используют альтернативные подходы к дискретизации сигнала такие как теория сжатой дискретизации, на основе которой разрабатываются аналого-информационные преобразователи (АИП). Использование АИП позволяет уменьшить частоту дискретизации АЦП с сохранением доступного диапазона частот, что ведет к снижению потребляемой мощности и упрощению конструкции АЦП. Важную роль в АИП играет проблема эффективного восстановления сигнала из сжатых данных. Авторы данной статьи предлагают критерии для численной оценки различных алгоритмов восстановления данных.**

***Ключевые слова* — теория сжатой дискретизации, compressive sensing, аналого-информационные преобразователи, analog-to-information converter, система восстановления данных, алгоритмы восстановления данных, жадные алгоритмы.**

I. Введение

С развитием науки и техники возрастают требования к устройствам связи. Традиционно системы с высокой пропускной способностью дискретизируют сигнал согласно теореме Котельникова. Такой подход приводит к возникновению ряда проблем, из которых можно выделить две основные: первая проблема заключается в том, что при увеличении частоты дискретизации значительно возрастает ток потребления аналого-цифрового преобразователя, что приводит к значительному усложнению конструкции АЦП и всей сигнальной цепи; а вторая проблема заключается в необходимости хранить и передавать огромные объемы данных для дальнейшей обработки.

Для решения вышеперечисленных проблем можно использовать альтернативные подходы к дискретизации сигнала, одним из таких подходов является использование теории сжатой дискретизации, которая гласит, что сигнал может быть восстановлен из значительно меньшего количества точек, чем требуется по теореме Котельникова. Но восстановление сигнала возможно только при выполнении двух условий: разреженности и несогласованности[1]. Теория сжатой дискретизации широко используется и применяется во многих приложениях, включая компьютерную томографию, беспроводную связь[2], обработку изображений[3] и прочее.

Устройства, в основу которых положены принципы сжатой дискретизации, названы аналого-информационными преобразователями (АИП). Использование АИП позволяет уменьшить частоту дискретизации АЦП с сохранением доступного диапазона частот, что ведет к снижению потребляемой мощности и упрощению конструкции АЦП [4]-[5]. Структурно аналого-информационные преобразователи состоят из трех частей: системы считывания, АЦП и системы восстановления данных.

Проблема эффективного восстановления сигнала из сжатых данных играет важную роль в теории сжатой дискретизации [6]. Существует большое количество различных алгоритмов восстановления сигнала из сжатых данных, но большая часть подобных алгоритмов имеют большую вычислительную сложность [2]. В связи с этим, практически во всех существующих на данный момент устройствах, задача восстановления сигнала делегируется автономной обработке ЦПУ или ГПУ [7]-[8].

В данной работе авторы предлагают ввести критерии оценки алгоритмов, которые позволили бы наглядно сравнивать различные алгоритмы восстановления сжатого сигнала.

Во второй части данной статьи приведены основы теории сжатой дискретизации и рассмотрены существующие подходы к проблеме восстановления сжатого сигнала. В третьей части предложены критерии оценки данных алгоритмов. В четвертой части описан принцип работы жадных алгоритмов, а в пятой части приведено численное сравнение различных жадных алгоритмов.

II. Теория сжатой дискретизации

Механизм считывания информации о сигнале в теории сжатой дискретизации можно представить в виде системы линейных уравнений (1).

$$y = \langle \Phi, x \rangle, \tag{1}$$

где x - это входной сигнал длины N, $\Phi \in R$ - это случайная матрица измерения размерности M×N, (M << N), а выходной вектор измерений y будет иметь разрядность M.

Задача (1) является недоопределенной линейной системой уравнений, имеющей больше одного решения. Таким образом, одной из главных проблем является поиск единственного решения, которое имело бы минимальное отклонение от изначального сигнала. С точки зрения линейной алгебры, если нет никакого предшествующего знания, начального условия или ограничения, проблема (1) не будет иметь единственного решения. Чтобы устранить эту неопределенность необходимо искать решение с наименьшим числом ненулевых элементов.

Для применения теории сжатой дискретизации необходимо выполнение двух свойств: разреженности и несогласованности.

Большинство естественных сигналов могут быть представлены в некотором базисе с помощью небольшого числа значимых компонентов (по аналогии с работой кодеков сжатия с потерями). Представление сигнала в подобном базисе называется разреженным, количество ненулевых коэффициентов обозначим как уровень разреженности S. Если сигнал имеет только S ненулевых коэффициентов, то это S-разреженный сигнал.

Представим сигнал x в некотором разреженном базисе Ψ (2).

$$x = \sum_{i=1}^{N} f_i \Psi_i \text{ или } X = \Psi f \tag{2}$$

Перепишем проблему (1) с учетом представления в разреженном базисе (3).

$$y = \Phi \Psi x \text{ или } y = Ax, \tag{3}$$

где A - это матрица восстановления, которая является произведением матрицы измерения Φ и матрицы преобразования в разреженный базис Ψ.

В качестве меры разреженности используют l_0-норму, которая определяется как число ненулевых элементов вектора (4).

$$\|x\|_0 = \sum_{i=1}^{n} |x_i|^0 \tag{4}$$

Используя знание о том, что исходный сигнал является разреженным, можно наложить условие поиска наиболее разреженного решения на задачу (1) [9]. Таким образом, получим оптимизационную задачу (5).

$$\begin{cases} \hat{x} = \arg\min \|x\|_0 \\ y = A \cdot x \end{cases}, \tag{5}$$

где $\|\cdot\|_0$ – это l_0-норма. Задачу (5) называют проблемой разреженного представления.

На эффективность восстановления сигнала, кроме разреженности влияет ещё и независимость столбцов матрицы считывания. Для восстановления разреженного сигнала необходимо, чтобы столбцы матрицы считывания были статистически независимыми.

На данный момент в литературе представлено большое количество различных подходов к решению задачи (1), условно разделим их на пять групп:

1) Convex optimization approach (алгоритмы выпуклой оптимизации): в данном подходе задачу (1) преобразуют к задаче оптимизации l_1-нормы и решают при помощи методов линейного программирования [10]. Алгоритмы данной группы получили широкое распространение, несмотря на их высокую вычислительную сложность, благодаря тому, что существует большое количество алгоритмов оптимизации l_1-нормы.

2) Greedy approach (жадные алгоритмы): данный подход позволяет итеративным способом находить приближенное решение (5)[11]. На каждом шаге выбирается столбец матрицы восстановления A, который имеет наибольшую корреляцию с вектором измерений y. Затем индекс выбранного элемента добавляется в набор индексов и на каждом шаге производится локально-оптимизированная оценка вектора x и так до тех пор, пока не будет достигнут критерий остановки алгоритма.

3) Thresholding approach (пороговые алгоритмы): алгоритмы данной категории позволяют итеративным способом находить приближенное решение, используя некий пороговый оператор, отбрасывающий элементы, которые меньше заданного порога [12].

4) Non-Convex approach (Не выпуклые алгоритмы): в данном подходе задачу (1) преобразуют к задаче оптимизации l_p-нормы ($0<p<1$) [13].

5) Существуют алгоритмы, объединяющие в себе различные подходы, а также использующие совершенно иные методы решения [14].

III. Критерии оценки алгоритмов восстановления сигнала для аналого-информационных преобразователей

Многообразие подходов к проблеме восстановления сигнала породило большое количество алгоритмов, каждый из которых обладает своими преимуществами и недостатками. В связи с этим, перед разработчиком АИП становится непростая задача поиска подходящего алгоритма. Выбор алгоритма будет зависеть от различных факторов, таких как архитектура системы считывания, требования к конечному устройству и прочее. Для того, чтобы упростить задачу выбора алгоритма в данной статье предлагается критерий оценки алгоритмов.

Для начала необходимо выделить параметры, которые будут иметь ключевое значение при выборе алгоритма. Одной из определяющих характеристик алгоритмов восстановления сигнала является допустимая погрешность. Обозначим ее как ε.

Важным критерием для любого алгоритма является время работы данного алгоритма. Для итерационных

алгоритмов основным показателем, влияющим на время работы, является количество итераций, обозначим количество итераций I.

Необходимость реализации алгоритма в качестве СФ-блока накладывает ряд ограничений. Алгоритм должен иметь низкую вычислительную сложность, чтобы его интеграция в СБИС имела преимущество перед использованием внешних вычислительных устройств. При этом важную роль играют такие параметры как занимаемая площадь и потребление. Оценить данные параметры на уровне алгоритма затруднительно, но можно ввести некоторые относительные критерии оценки требуемой памяти. Для оценки памяти MEM будем подсчитывать сколько необходимо хранить матриц размера M×N (это размерность матрицы восстановления A) и векторов размерности M, совпадающей с размерностью сжатого сигнала, и размерности N, совпадающей с размерностью входного сигнала, в каждой итерации. Кроме того, в большинстве алгоритмов используется такая операция как метод наименьших квадратов, которая сама по себе будет требовать дополнительной памяти и вычислительных ресурсов, поэтому будем также оценивать число таких операций в каждой итерации алгоритма C. A для соразмерности с оценкой памяти будем считать, что одна такая операция соответствует объему памяти M×N+M+N.

Теперь введем оценочный коэффициент K_0. Чем меньше допустимая погрешность ε, тем точнее результат (тем ближе к исходному будет восстановленный сигнал), таким образом оценочный коэффициент должен быть обратно пропорционален допустимой погрешности $K_0 \sim 1/\varepsilon$. Аналогично с количеством итераций I, - чем меньше количество итераций, тем быстрее будет отрабатывать алгоритм, значит оценочный коэффициент обратно пропорционален количеству итераций. Но одна итерация в одном алгоритме может быть не равна по сложности и времени работы одной итерации другого алгоритма, поэтому оценка занимаемой памяти и сложности вычислительных операций, позволят более точно оценить сложность каждой итерации.

Таким образом, оценочный коэффициент K_0 может быть представлен как (6).

$$K_0 = \frac{1}{\varepsilon \cdot I \cdot (MEM + C)} \qquad (6)$$

Для получения более точной или более специфической оценки алгоритмов восстановления сжатого сигнала можно умножить оценочный коэффициент на такие критерии как процент верных решений, минимальное количество измерений для получения верного решения и прочее.

Далее более подробно рассмотрим жадные алгоритмы и сравним эти алгоритмы при помощи оценочного коэффициента.

IV. MATCHING PURSUIT

Стратегия жадного приближения хорошо подходит для поиска приближенного решения разреженного представления с минимизацией l_0-нормы. Одним из первых алгоритмов, использующих стратегию жадного приближения для решения задач (5), был matching pursuit(MP)[15]. Основная идея MP заключается в последовательном выборе лучшего элемента из словаря, основанного на схожести измерений и полученного приблизительного разреженного решения.

На каждом шаге выбирается такой столбец матрицы A , который имеет наибольшую корреляцию с вектором измерений y. Затем индекс выбранного элемента добавляется в набор индексов и на каждом шаге производится локально-оптимизированная оценка вектора x. Так как элементы вектора не являются ортогональными, один и тот же вектор может быть выбран на разных итерациях. Но эта проблема была решена в алгоритме orthogonal matching pursuit (OMP). Благодаря ортогонализации OMP алгоритм сходится за конечное число итераций. Основные шаги OMP алгоритма приведены в табл. 1.

Таблица 1

Алгоритм Orthogonal matching pursuit

Задача:	Аппроксимация проблемы (5)
Входные данные:	Вектор сжатых данных y, матрица измерений A, вектор разреженных коэффициентов x.
Начальные значения:	Номер итерации t=1, остаток r_0=y, x=0, множество индексов Λ=ø, множество восстановленных данных D_0= ø, где ø – пустое множество.
Условие выхода из алгоритма:	$\|r_t\| \le \varepsilon$
Шаг 1	Поиск индекса наибольшего элемента $\lambda_t = \text{argmax}\|< r_{t-1} , a_j>\|$
Шаг 2	Обновляем набор индексов, добавляя индекс, найденный на предыдущем шаге, и обновляем набор восстановленных данных.
Шаг 3	Вычисляем разреженные коэффициенты, используя метод наименьших квадратов
Шаг 4	Обновляем остаток представления
Шаг 5	t=t+1
Выходные данные:	D, x

Существует большое количество алгоритмов, построенных на основе MP и OMP, рассмотрим несколько таких алгоритмов:

1) Алгоритм GOMP, главное отличие которого от OMP заключается в том, что на каждой итерации выбирается K наибольших элементов, где K ≤ уровню разреженности S[16].

2) Улучшенный алгоритм GOMP, в котором на каждой итерации проверяется, что общее количество индексов на шаге 2 не больше S[16].

3) Предложенный Needell и другими regularized orthogonal matching pursuit (ROMP) [17], в котором индексы группируются по соразмерности, после чего выбирается группа индексов с наибольшей энергией.

4) MMP, в котором можно задать количество путей поиска индекса L. При L = 1 соответствует OMP [18].

Более детальное описание жадных алгоритмов для разреженного представления можно найти в [19].

V. Численная оценка

Оценим алгоритмы MP, OMP, GOMP, ImGOMP, ROMP и MMP, используя предложенный оценочный коэффициент. В табл. 2 приведена оценка требуемой памяти и сложности математических операций для вышеперечисленных алгоритмов.

Таблица 2

Оценка требуемой памяти и сложности математических операций

Алгоритм	Критерий	
	MEM	C
MP	2M×N+2M+3N	M×N+M+N
OMP	2M×N+3M+2N	M×N+M+N
GOMP	2M×N+3M+2N	M×N+M+N
ImGOMP	2M×N+3M+2N	M×N+M+N
ROMP	2M×N+3M+2N	M×N+M+N
MMP	L(2M×N+3M+2N)	(L+1)(M×N+M+N)

Для проведения исследования была составлена математическая модель АИП с системой считывания типа неравномерной дискретизации [20]-[21]. В качестве базиса разреженности Ψ использовался базис дискретного косинусного преобразования. В системе восстановления данных использовались алгоритмы MP, OMP, GOMP, ImGOMP, ROMP и MMP (для данного алгоритма количество путей поиска индекса L=2). Таким образом, на все алгоритмы поступали одинаковые данные.

На вход подается разреженный сигнал (S - гармоник равной амплитуды и случайной частоты) с добавлением случайного шума. Для всех алгоритмов допустимую погрешность установим $\varepsilon=10^{-3}$. Оценка требуемой памяти зависит от количества снимаемых отсчетов, в данном эксперименте количество снимаемых отсчетов M=500, а размер входного сигнала N=5000. Таким образом, в табл. 3 приведены численные значения для MEM и C.

От количества гармоник во входном сигнале будет зависеть количество итераций. В табл. 4 приведены количество итераций и значение оценочного коэффициента для сигнала с одной гармоникой, а в табл. 5 для сигнала с восемью гармониками.

Таблица 3

Численные значения критериев MEM и C

Алгоритм	Критерий	
	MEM	C
MP	5016000	2505500
OMP	5011500	2505500
GOMP	5011500	2505500
ImGOMP	5011500	2505500
ROMP	5011500	2505500
MMP	10023000	7516500

Таблица 4

Численные значения оценочного коэффициента для сигнала с одной гармоникой

Алгоритм	Критерии	
	I	K_0
MP	7374	1.8e-8
OMP	297	4.48e-7
GOMP	42	3.17e-6
ImGOMP	8	1.66e-5
ROMP	2	6.65e-5
MMP	297	1.92e-7

Таблица 5

Численные значения оценочного коэффициента для сигнала с восемью гармониками

Алгоритм	Критерии	
	I	K_0
MP	12399	1.07e-8
OMP	330	4.03e-7
GOMP	46	2.89e-6
ImGOMP	20	6.65e-6
ROMP	16	8.31e-6
MMP	332	1.72e-7

Из полученных данных видно, что несмотря на то, что алгоритмы OMP, GOMP, ImGOMP и ROMP имеют одинаковые численные значения при оценке требуемой памяти, количество итераций при восстановлении одних и тех же данных сильно разнятся и наиболее выгодным оказывается алгоритм ROMP, что и показывает значение оценочного коэффициента.

VI. Заключение

При разработке АИП немаловажную роль играет система восстановления данных. В литературе представлено большое количество алгоритмов восстановления данных. В данной статье авторы предлагают оценочный коэффициент, который позволяет сравнить различные алгоритмы восстановления данных. Коэффициент включает оценку предполагаемой занимаемой памяти, которая важна при интеграции системы восстановления данных в СБИС.

Литература

[1] Candes E. Robust uncertainty principles: exact signal reconstruction from highly incomplete frequency information // IEEE Transactions on Information Theory. 2006. V. 52. № 2. P. 489–509.
[2] G. Taubock, F. Hlawatsch, D. Eiwen and H. Rauhut, Compressive Estimation of Doubly Selective Channels in Multicarrier Systems: Leakage Effects and Sparsity-Enhancing Processing // IEEE Journal of Selected Topics in Signal Processing. 2010. V. 4. № 2. P. 255–271.
[3] J. Bobin, J. Starck and R. Ottensamer, Compressed Sensing in Astronomy // IEEE Journal of Selected Topics in Signal Processing. 2008. V. 2. № 5. P. 718–726.
[4] Scott Shaobing Chen, David L. Donoho, and Michael A. Saunders, Atomic Decomposition by Basis Pursuit // SIAM Journal on Scientific Computing. 2006. V. 20. № 1. P. 33–61.
[5] Tibshirani, R. Regression Shrinkage and Selection via the Lasso // Journal of the Royal Statistical Society. Series B (Methodological). 1996. V. 58. № 1. P.267–288.
[6] Needell, D., Tropp, J.A. CoSaMP: Iterative signal recovery from incomplete and inaccurate samples // Applied and Computational Harmonic Analysis. 2009. V. 26. № 3. P.301–321.
[7] R. Chartrand and Wotao Yin, Iteratively reweighted algorithms for compressive sensing // IEEE International Conference on Acoustics, Speech and Signal Processing, Las Vegas, NV. 2008. P.3869–3872.
[8] Candès, E.J., Recht, B. Exact Matrix Completion via Convex Optimization. // Foundations of Computational Mathematics. 2009. V. 9. № 6. P.717–772.
[9] David L. Donoho and Michael Elad. Optimally sparse representation in general (nonorthogonal) dictionaries via ℓ1 minimization. // Proceedings of the National Academy of sciences. 2003. V. 100. № 5. P.2197-2202.
[10] J. Wright, A. Y. Yang, A. Ganesh, S. S. Sastry and Y. Ma, Robust Face Recognition via Sparse Representation // IEEE Transactions on Pattern Analysis and Machine Intelligence. 2009. V. 31. № 2. P.210–227.
[11] W. Dai and O. Milenkovic, Subspace Pursuit for Compressive Sensing Signal Reconstruction // IEEE Transactions on Information Theory. 2009. V. 55. № 5. P.2230–2249.
[12] T. Blumensath and M. E. Davies, Normalized Iterative Hard Thresholding: Guaranteed Stability and Performance // IEEE Journal of Selected Topics in Signal Processing. 2010. V. 4. № 2. P.298–309.
[13] L. Qin, Z. Lina, Y. She and C. Zhang. A comparison of typical ℓp minimization algorithms // Neurocomputing. 2013. V. 119. P.413–424.
[14] R. Chartrand and V. Staneva, Restricted isometry properties and nonconvex compressive sensing // Inverse Problems. 2008. V. 24. № 3. P.35020.
[15] S. G. Mallat and Z. Zhang, Matching pursuits with time-frequency dictionaries // IEEE Transactions on Signal Processing. 1993. V. 41. № 12. P.3397–3415.
[16] L. Zhao and Y. Liu, A New Generalized Orthogonal Matching Pursuit Method // Journal of Electrical and Computer Engineering. 2017. V. 4. P.1–7.
[16] L. Zhao and Y. Liu, A New Generalized Orthogonal Matching Pursuit Method // Journal of Electrical and Computer Engineering. 2017. V. 4. P.1–7.
[17] Z. Tao, B. Zhengyao and Y. Lu, Normalized regularized orthogonal matching pursuit algorithm // IEEE Advanced Information Technology, Electronic and Automation Control Conference (IAEAC), Chongqing. 2015. P.1060-1063.
[18] S. Kwon, J. Wang and B. Shim, Multipath Matching Pursuit // IEEE Transactions on Information Theory. 2014. P.1060-1063.
[19] J. A. Tropp, A. C. Gilbert, M. J. Strauss. Algorithms for simultaneous sparse approximation. Part I: Greedy pursuit // Signal Processing. 2006. V. 86. № 3. P.572–588.
[20] Полунин М.Н., Быкова А.В. Обзор архитектур аналого информационных преобразователей. Вопросы радиоэлектроники. 2019;(8):6-12.
[21] M. Polunin, A. Bykova, V. Losev, M. G. Putrya and T. Krupkina. Analysis of Parameter Dependencies of Non-uniform Sampling A2I Converter. // IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), St. Petersburg and Moscow, Russia. 2020. P. 1721-1724

Criteria for the Numerical Evaluation of Data Recovery Algorithms for Analogue-Information Converters

A.V. Bykova, M.N. Polunin

Joint Stock Company Research and Development Center «ELVEES», abykova@elvees.com

***Abstract* — traditional approaches to signal sampling in modern systems with high bandwidth lead to a number of problems. Alternative approaches to signal sampling, such as the theory of compressed sampling, are used to solve these problems. Devices based on the principles of compressed sampling are called analog-to-information converters (AICs). Usage of AIC allows you reduction of the ADC sampling frequency while maintaining the available frequency range, which leads to lower power consumption and simplification of the ADC design. Structurally, analog-information converters consist of three parts: a reading system, an ADC and a data recovery system.**

The problem of efficient reconstruction of a signal from compressed data plays an important role in the theory of compressed sampling. There is a large number of different algorithms for recovering a signal from compressed data, but the most of these algorithms have great computational complexity. In connection to this, the task of signal recovery is delegated to the autonomous processing of the CPU or GPU in the almost all currently existing devices.

The variety of approaches to the problem of signal recovery has generated a large number of algorithms, each of which has its own advantages and disadvantages. In this regard, the task of choosing an appropriate algorithm becomes a daunting

task for an AIC developer. The choice of algorithm will depend on various factors, such as the architecture of the sampling system, the requirements for the final device and so on. In order to simplify the task of choosing an algorithm, this article proposes an estimated coefficient that allows you comparing different data recovery algorithms. The coefficient includes the following criteria: relative estimation of occupied memory, which is important when integrating a data recovery system in a VLSI, the number of iterations and the permissible error. In addition, the article compares various greedy algorithms using the proposed estimated coefficient.

***Keywords* — theory of compressed sampling, compressive sensing, analog-to-information converters, data recovery system, data recovery algorithms, greedy algorithms.**

REFERENCES

[1] Candes E. Robust uncertainty principles: exact signal reconstruction from highly incomplete frequency information // IEEE Transactions on Information Theory. 2006. V. 52. № 2. P. 489–509.

[2] G. Taubock, F. Hlawatsch, D. Eiwen and H. Rauhut, Compressive Estimation of Doubly Selective Channels in Multicarrier Systems: Leakage Effects and Sparsity-Enhancing Processing // IEEE Journal of Selected Topics in Signal Processing. 2010. V. 4. № 2. P. 255–271.

[3] J. Bobin, J. Starck and R. Ottensamer, Compressed Sensing in Astronomy // IEEE Journal of Selected Topics in Signal Processing. 2008. V. 2. № 5. P. 718–726.

[4] Scott Shaobing Chen, David L. Donoho, and Michael A. Saunders, Atomic Decomposition by Basis Pursuit // SIAM Journal on Scientific Computing. 2006. V. 20. № 1. P. 33–61.

[5] Tibshirani, R. Regression Shrinkage and Selection via the Lasso // Journal of the Royal Statistical Society. Series B (Methodological). 1996. V. 58. № 1. P.267–288.

[6] Needell, D., Tropp, J.A. CoSaMP: Iterative signal recovery from incomplete and inaccurate samples // Applied and Computational Harmonic Analysis. 2009. V. 26. № 3. P.301–321.

[7] R. Chartrand and Wotao Yin, Iteratively reweighted algorithms for compressive sensing // IEEE International Conference on Acoustics, Speech and Signal Processing, Las Vegas, NV. 2008. P.3869–3872.

[8] Candès, E.J., Recht, B. Exact Matrix Completion via Convex Optimization. // Foundations of Computational Mathematics. 2009. V. 9. № 6. P.717–772.

[9] David L. Donoho and Michael Elad. Optimally sparse representation in general (nonorthogonal) dictionaries via ℓ1 minimization. // Proceedings of the National Academy of sciences. 2003. V. 100. № 5. P.2197-2202.

[10] J. Wright, A. Y. Yang, A. Ganesh, S. S. Sastry and Y. Ma, Robust Face Recognition via Sparse Representation // IEEE Transactions on Pattern Analysis and Machine Intelligence. 2009. V. 31. № 2. P.210–227.

[11] W. Dai and O. Milenkovic, Subspace Pursuit for Compressive Sensing Signal Reconstruction // IEEE Transactions on Information Theory. 2009. V. 55. № 5. P.2230–2249.

[12] T. Blumensath and M. E. Davies, Normalized Iterative Hard Thresholding: Guaranteed Stability and Performance // IEEE Journal of Selected Topics in Signal Processing. 2010. V. 4. № 2. P.298–309.

[13] L. Qin, Z. Lina, Y. She and C. Zhang. A comparison of typical ℓp minimization algorithms // Neurocomputing. 2013. V. 119. P.413–424.

[14] R. Chartrand and V. Staneva, Restricted isometry properties and nonconvex compressive sensing // Inverse Problems. 2008. V. 24. № 3. P.35020.

[15] S. G. Mallat and Z. Zhang, Matching pursuits with time-frequency dictionaries // IEEE Transactions on Signal Processing. 1993. V. 41. № 12. P.3397–3415.

[16] L. Zhao and Y. Liu, A New Generalized Orthogonal Matching Pursuit Method // Journal of Electrical and Computer Engineering. 2017. V. 4. P.1–7.

[16] L. Zhao and Y. Liu, A New Generalized Orthogonal Matching Pursuit Method // Journal of Electrical and Computer Engineering. 2017. V. 4. P.1–7.

[17] Z. Tao, B. Zhengyao and Y. Lu, Normalized regularized orthogonal matching pursuit algorithm // IEEE Advanced Information Technology, Electronic and Automation Control Conference (IAEAC), Chongqing. 2015. P.1060-1063.

[18] S. Kwon, J. Wang and B. Shim, Multipath Matching Pursuit // IEEE Transactions on Information Theory. 2014. P.1060-1063.

[19] J. A. Tropp, A. C. Gilbert, M. J. Strauss. Algorithms for simultaneous sparse approximation. Part I: Greedy pursuit // Signal Processing. 2006. V. 86. № 3. P.572–588.

[20] Polunin M.N., Bykova A.V. Obzor arkhitektur analogo informatsionnykh preobrazovateley (Review of analog-to-information converters). Voprosy radioelektroniki. 2019;(8):6-12.

[21] M. Polunin, A. Bykova, V. Losev, M. G. Putrya and T. Krupkina. Analysis of Parameter Dependencies of Non-uniform Sampling A2I Converter. // IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), St. Petersburg and Moscow, Russia. 2020. P. 1721-1724

УДК 621.391 DOI: 10.31114/2078-7707-2020-3-230-236

Влияние линейных размеров термоэлемента на выходные характеристики термоэлектрического генератора

В.В. Лобода, Р.Д. Буслаев

Санкт-Петербургский политехнический университет Петра Великого

vera_loboda@spbstu.ru

***Аннотация* — В статье представлены результаты исследования влияния линейных размеров термоэлементов (ТЭ) на выходную мощность микротермоэлектрического генератора. Оптимизационные расчеты проводились с использованием программной платформы ANSYS Workbench и генетического алгоритма. Установлено, что соотношение линейных размеров ТЭ не изменяется при изменении тепловых граничных условий. Зависимость максимальной мощности от соотношения линейных размеров имеет пологий максимум и можно выделить общий диапазон изменения линейных размеров, в котором мощность максимальна с отклонением ±3 %.**

***Ключевые слова* — термоэлектрический генератор, метод конечных элементов, моделирование, оптимизация, ANSYS, выходная мощность.**

I. Введение

Твердотельные термоэлектрические генераторы на основе эффекта Зеебека преобразуют тепловую энергию в электричество. В последние годы возник интерес к использованию микротермоэлектрических генераторов (μTEG) для обеспечения надежного и устойчивого питания маломощных микроэлектронных устройств, таких как беспроводные сенсорные сети, интеллектуальные дома, мониторинг состояния объектов и мобильные устройства [1-4]. μTEG может быть интегрирован в различные поверхности источников тепла для передачи энергии, позволяет снизить затраты на техническое обслуживание и увеличить время работы устройства по сравнению с аккумулятором. Это особенно важно, когда традиционная батарея недоступна или устройство размещено в удаленной или агрессивной среде.

В последние десятилетия интенсивно развивается производство тонкопленочных ТЭГ с использованием электрохимических методов MEMS [5-7], MBE [8], CVD [9]. Тонкопленочный термоэлектрический генератор является компактным, имеет короткое время теплового отклика и высокую удельную электрическую мощность. Использование кремния в качестве основы, в связи с его совместимостью с процессами CMOS и MEMS [10,11], также является важным фактором в пользу μTEG.

Типичная длина термоэлемента генератора, выполненного по объемной полупроводниковой технологии, колеблется от 1 мм до 5 мм. Размер тонкопленочного ТЭГ может быть уменьшен до менее 20 мкм [6]. Когда устройство уменьшено до микрометрового масштаба, факторы, которые влияют на производительность устройства, должны сильно отличаться от объемного термоэлектрического модуля.

Целью данной работы является исследование влияния линейных размеров термоэлементов, а именно отношения высоты термоэлемента к ширине, на выходную мощность микротермоэлектрического генератора на основе оптимизационных расчетов.

II. Объект исследования и построение модели

В качестве объекта исследования выбран одиночный термоэлектрический генератор в микроэлектронном исполнении. μТЭГ состоит из двух ТЭ *n* и *p*-типа, контактных площадок для коммутации ТЭ и подложки. На рис. 1 представлена геометрическая 3D модель одиночного μТЭГа.

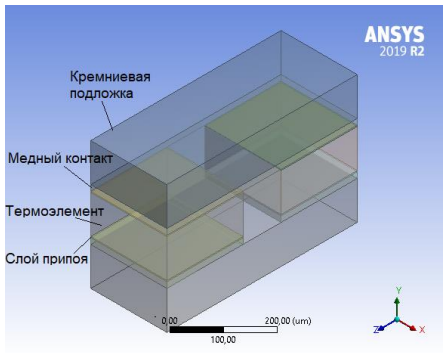


Рис. 1. Геометрическая 3D модель одиночного микротермоэлектрического генератора

Когда существует температурный градиент между сторонами термоэлектрического генератора, выходная мощность может быть выражена следующей формулой [12]:

$$P = U \cdot I = \frac{N^2 \cdot \Delta T^2 \cdot (\alpha_p - \alpha_n)^2 \cdot R_н}{(R_н + R_{вн})^2},$$

где N – количество ТЭ, ΔT – температурный градиент между горячей и холодной сторонами ТЭГ; α_n и α_p – коэффициенты Зеебека *n*- и *p*-полупроводниковых материалов, соответственно; $R_н$ – сопротивление нагрузки; $R_{вн}$ – внутренне сопротивление генератора.

Условием передачи максимума мощности в нагрузку является равенство значений внешней нагрузки и внутреннего сопротивления, таким образом:

$$P_{max} = \frac{N^2 \cdot \Delta T^2 \cdot (\alpha_p - \alpha_n)^2}{4 \cdot R_{\text{вн}}} \quad (1)$$

Внутренне сопротивление генератора складывается из сопротивлений его составных частей, таких как термоэлементы, контактные площадки и припой:

$$R_{\text{вн}} = \sum_{i=1}^{N} (R_n + R_p) + \sum_{i=1}^{2N} R_{\text{конт}} + \sum_{i=1}^{2N} R_{\text{пр}}, \quad (2)$$

где R_n и R_p – сопротивления *n* и *p* ТЭ; $R_{\text{конт}}$ – сопротивление контактной площадки; $R_{\text{пр}}$ – сопротивление припоя.

Сопротивления составных частей ТЭГ выражаются через удельные сопротивления материалов и линейные размеры этих частей:

$$R_{n,p} = \rho_{n,p} \cdot \frac{H}{L^2}, \quad (3)$$

где ρ_n, ρ_p – удельное сопротивление материалов ТЭ *n*- и *p*-типа, соответственно; H – высота ТЭ; L – ширина квадратного основания ТЭ.

$$R_{\text{конт}} = \rho_{\text{конт}} \cdot \frac{h}{L^2}, \quad (4)$$

где $\rho_{\text{конт}}$ – удельное сопротивление материала контактной площадки; h – высота контактной площадки; L – ширина квадратного основания контактной площадки.

$$R_{\text{пр}} = \rho_{\text{пр}} \cdot \frac{h_1}{L^2}, \quad (5)$$

где $\rho_{\text{пр}}$ – удельное сопротивление материала припоя; h_1 – высота слоя припоя; L – ширина квадратного основания слоя припоя.

Подставляя формулы (3) – (5) в формулу (2), затем (2) в формулу (1), получим:

$$P_{max} = \frac{1}{4} \frac{N \cdot \Delta T^2 \cdot (\alpha_p - \alpha_n)^2}{(\rho_p - \rho_n)\frac{H}{L^2} + 2\rho_{\text{конт}} \cdot \frac{h}{L^2} + 2\rho_{\text{пр}} \cdot \frac{h_1}{L^2}}. \quad (6)$$

Таким образом, из формулы (6) следует, что внутреннее сопротивление генератора и, следовательно, максимальная выходная мощность зависят от линейных размеров составных частей ТЭГ, особенно ТЭ, ввиду существенной разницы в значениях удельных сопротивлений материалов полупроводников и металлов.

Решение задачи определения влияния линейных размеров ТЭ на выходную мощность проводится на основе метода конечных элементов с применением расчетной платформы ANSYS Workbench. Методология моделирования подробно изложена в работах [13-16]. Особенностью представленного моделирования является использование модуля DesignXplorer для решения задач одно- и многокритериальной параметрической оптимизации на основе планирования эксперимента, построения поверхности отклика, корреляционного анализа и оценки вероятности отклонения выходных параметров от заданных значений. Одной из таких задач является целевая оптимизация (Goal-Driven Optimization) прямая или с использованием поверхности отклика.

В ANSYS Workbench доступны следующие методы целевой оптимизации: - Screening - метод прямой выборки, использующий генератор квазислучайных чисел, основанный на алгоритме Хаммерсли; - MOGA - многоцелевой генетический алгоритм, который позволяет решать оптимизационные задачи с непрерывными входными параметрами; - NLPQL (Non-Linear Programming by Quadratic Lagrangian) – одноцелевой градиентный метод оптимизации; - MISQP (Mixed-Integer Sequential Quadratic Programming Method) – одноцелевой градиентный метод оптимизации; - Адаптивный метод прямой одно- и многокритериальной оптимизации без поверхности отклика.

III. Оптимизационные расчёты

Проведены две серии расчетов (предварительный и итоговый) с использованием многоцелевого генетического алгоритма (MOGA) для различных значений ширины ТЭ (стороны квадратного основания, *L*) 200, 100 и 20 мкм, при этом высота ТЭ (*H*) варьировалась в пределах от 10 до 1000 мкм, высота контактных площадок (*h*) варьировалась от 1 до 100 мкм. Толщина слоя припоя и толщина подложки при расчетах были константами 3 и 100 мкм соответственно.

Таблица 1

Физические параметры материалов составных частей микро-ТЭГ

T, K	*коэффициент Зеебека, $\mu V*K^{-1}$*	*удельное сопротивление, $\mu\Omega \cdot m$*	*удельная теплопроводность, $W/m \cdot K$*
полупроводниковый материал n-типа (Bi_2Te_3)			
300	-148,24	12,02	1,03
350	-152,59	13,48	1,11
400	-156,89	15,05	1,18
полупроводниковый материал p-типа (Sb_2Te_3)			
300	208,25	13,33	1,07
350	220,21	16,78	1,06
400	219,52	19,74	1,13
Контактные площадки (Cu)			
300	3,5	0.017	406
Припой (Sb/Pb)			
300	-	0,4	48
Подложка (Si)			
300	-	-	148

В качестве функциональных материалов для термоэлементов микро-ТЭГ использованы теллуриды висмута и сурьмы *n*-типа и *p*-типа проводимости, как обеспечивающие максимальную термоэлектрическую эффективность в рассматриваемом диапазоне температур [17]. Исходные данные для моделирования включают следующие физические параметры: коэффициент

Зеебека, удельное электрическое сопротивление, удельную теплопроводность. Данные параметры во многом зависят от технологии изготовления и имеют существенный разброс. В этой связи в качестве исходных данных были использованы результаты оценки этих параметров методом наименьших квадратов [13]. Параметры материалов подложки и контактных площадок были выбраны из библиотеки ANSYS, припоя из [18]. В табл. 1 приведены значения физических параметров материалов составных частей μТЭГ, использованные при моделировании в диапазоне температур 300-400 К.

При моделировании сетка конечных элементов генерировалась автоматически. Сетка состоит из кубических изопараметрических элементов SOLID226 с тремя степенями свободы (термических, электрических и структурных).

Температурные граничные условия определялись температурой нижней кремниевой подложки T_h и температурой верхней кремниевой подложки T_c. Рассмотрены следующие значения температур: T_h=343 K, 393 K, T_c=293 K. Данные температуры соответствуют разнице ΔT=50 и 100 K.

В модели учитывались электрические и термические контактные сопротивления на границе «метал-полупроводник». При этом использованы параметры согласно [18]. Результатом моделирования являются значения выходной мощности ТЭГ на внешней нагрузке. Моделирование проводилось для трех значений внешней нагрузки 300, 600, 1000 мОм.

Предварительный оптимизационный расчет произведен с целью выявления влияния толщины слоя контактных площадок (h) на выходную мощность. В модуле оптимизации была составлена матрица моделирования (Design of experiment) для следующих значений геометрических размеров: L=200, 100, 20 мкм; H=100, 50 мкм; h=1÷100 мкм. Геометрические размеры определялись в соответствии с предполагаемой микроэлектронной технологией изготовления микрогенератора совместимой с технологиями CMOS и MEMS. В результате проведенных расчетов было установлено оптимальное соотношение между высотами контактных площадок и ТЭ для всех высот ТЭ для достижения максимальной мощности, которое составило h=0,15H.

Основной оптимизационный расчет произведен с целью выявления влияния линейных размеров ТЭ на выходную мощность с учетом выявленного на предварительном этапе соотношения. Таким образом, в модуле оптимизации была составлена обновленная матрица моделирования для следующих значений геометрических размеров ТЭ: L=200, 100, 20 мкм; H=1÷1000 мкм. В процессе моделирования поддерживалось постоянным соотношение между высотами ТЭ и контактной площадки h=0.15H и было параметром при построении проекта в ANSYS.

Результаты основного оптимизационного расчета представлены на рисунках 2, 3 и табл. 2.

Таблица 2

Максимальная выходная мощность μТЭГа при различных сопротивлениях внешней нагрузки и температурных граничных условиях

	ΔT=100 K			*ΔT=50 K*		
$R_{вн}$=300 мОм						
L, мкм	*H, мкм*	*H/L*	*P_{max}, мкВт*	*H, мкм*	*H/L*	*P_{max}, мкВт*
200	50	0,25	738	50	0,25	180
100	35	0,35	104	35	0,35	25,4
20	20	1	0,25	20	1	0,06
$R_{вн}$=600 мОм						
L, мкм	*H, мкм*	*H/L*	*P_{max}, мкВт*	*H, мкм*	*H/L*	*P_{max}, мкВт*
200	65	0,325	711	65	0,325	178
100	35	0,25	155	35	0,25	37,8
20	20	1	0,49	20	1	0,12
$R_{вн}$=1000 мОм						
L, мкм	*H, мкм*	*H/L*	*P_{max}, мкВт*	*H, мкм*	*H/L*	*P_{max}, мкВт*
200	65	0,325	629	65	0,325	153
100	35	0,25	185	35	0,25	45
20	20	1	0,8	20	1	0,2

Таким образом, можно сделать следующие выводы:

1. Соотношение высоты к ширине квадратного основание ТЭ (H/L), при котором достигается максимум мощности не изменяется при изменении тепловых граничных условий.
2. Значение максимальной мощности монотонно возрастает при увеличении ΔT при постоянном отношении H/L вне зависимости от величины внешней нагрузки.
3. Значение максимальной мощности монотонно возрастает при увеличении ширины квадратного основания генератора
4. Соотношение H/L остается постоянным, при изменении внешней нагрузи и сохранении температурного режима для L=100 и 20 мкм и уменьшается при L=200 мкм, что говорит о том, что внутренне сопротивление μТЭГа с оптимальными размерами будет лежать в диапазоне от 300 до 600 мОм.
5. Зависимости выходной мощности μТЭГа от соотношения высоты ТЭ к его ширине в нагрузке имеют пологий максимум. При отклонении ±3% от значения P_{max}, значения H/L лежат в диапазоне 0,2÷0,7; 0,2÷0,7 и 0,5÷2 для L=200,100, 20 мкм, соответственно, вне зависимости от внешней нагрузки. Таким образом, можно выделить общий диапазон изменения линейных размеров ТЭ: 0,5÷0,7.

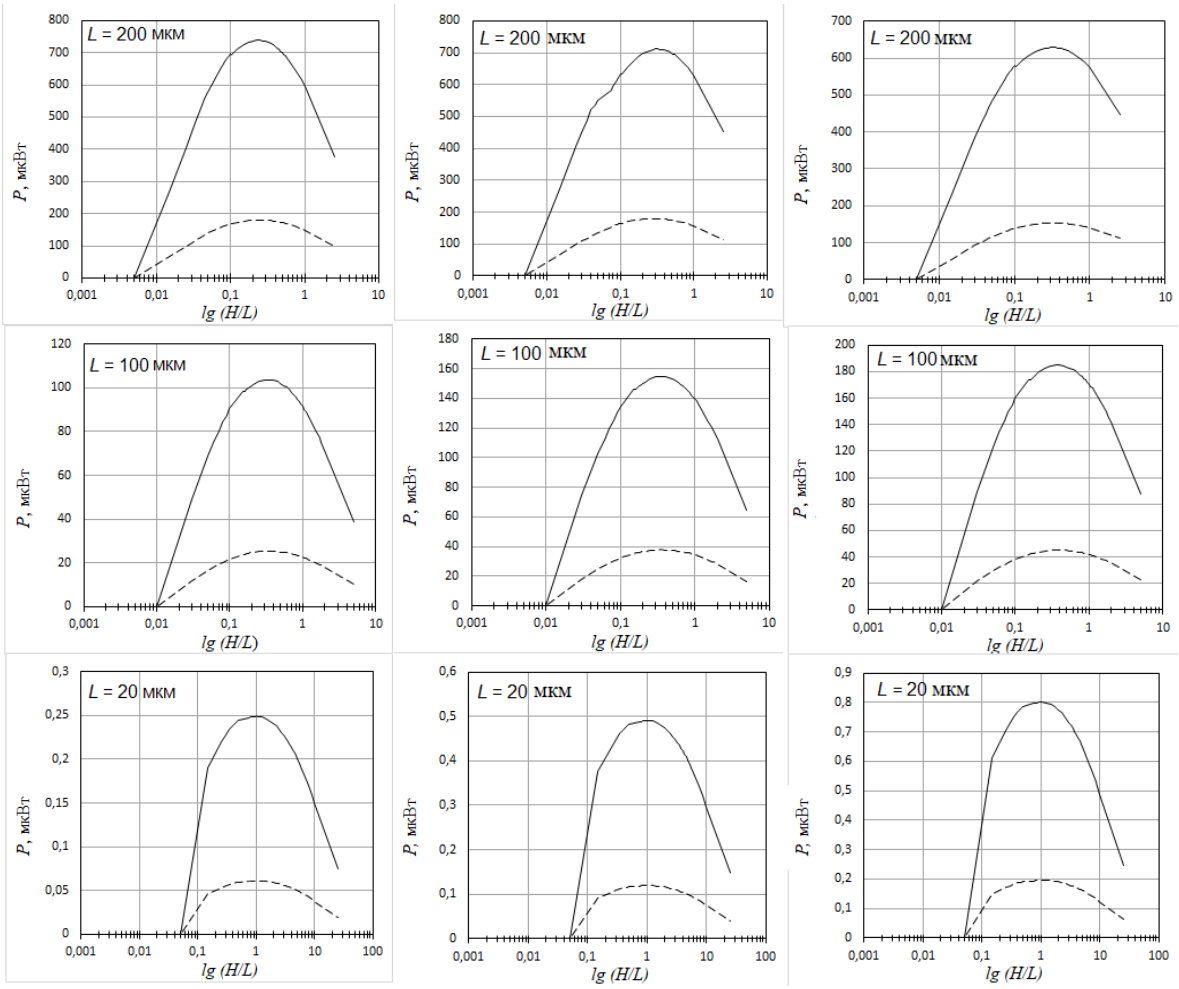


Рис. 2. Зависимости выходной мощности микротермоэлектрического генератора от соотношения высоты ТЭ к его ширине в нагрузке (а) Rвн=300 мОм; б) Rвн=600 мОм; с) Rвн=1000 мОм) при различных температурных режимах (сплошные линии соответствуют ΔT=100 K, пунктирные линии – Δ*T*=50 K)

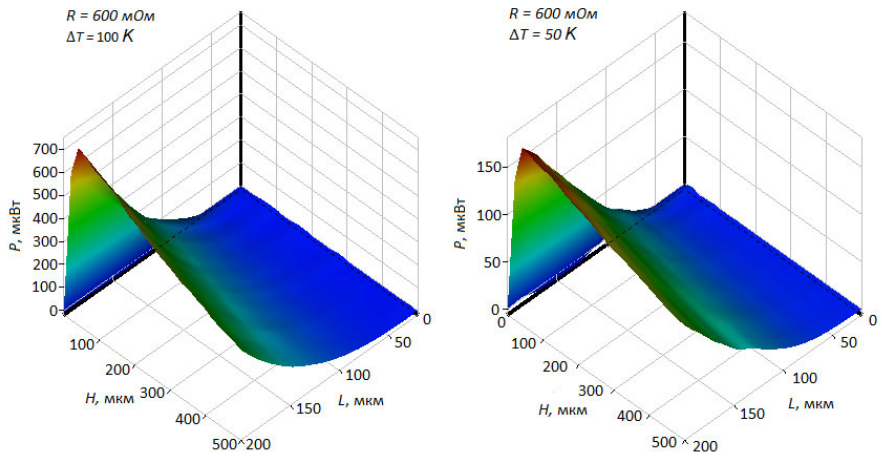


Рис. 3. Зависимости выходной мощности микротермоэлектрического генератора от линейных размеров ТЭ при внешней нагрузке Rвн=600 мОм, ΔT=100 и 50 K

IV. Заключение

Представленные результаты оптимизационных расчетов позволяют сделать вывод о применимости данного подхода к разработке микротермоэлектрического генератора с оптимальными характеристиками. В отличие от подобных исследований, например, [19,20], в данной работе в модель введен физический слой припоя между ТЭ и контактными площадками, учитывается влияние контактных электрических и тепловых сопротивлений на границе раздела «металл-полупроводник» и влияние толщины слоя контактных площадок. Данные особенности модели позволяют не только определить оптимальные размеры ТЭ, но и значение его внутреннего сопротивления, что в свою очередь, дает возможность разрабатывать микротермоэлектрические генераторы для заданных условий эксплуатации по мощности и рабочим температурам при известных сопротивлениях внешней нагрузки.

Литература

[1] Champier D. Thermoelectric generators: A review of applications // Energy Conversion and Management. 2017. V. 140. P.167–181.

[2] Nguyen H.T., Nguyen V.T., Takahito O. Flexible thermoelectric power generator with Y-type structure using electrochemical deposition process // Applied Energy. 15 January 2018. V. 210. P. 467–476.

[3] Deng F., Qiu H., Chen J., Wang L., Wang B. Wearable Thermoelectric Power Generators Combined With Flexible Supercapacitor for Low-Power Human Diagnosis Devices // IEEE Transactions on Industrial Electronics. February 2017. V. 64. № 2. P. 1477–1485.

[4] Volvenko S., Dong Ge, Zavjalov S., Gruzdev A., Rashich A., Svechnikov E. .Experimental wireless ultra wideband sensor network for data collection // Progress In Electromagnetics Research Symposium - Spring (PIERS). 22-25 May 2017.

[5]. Snyder G.J., Lim J.R., Huang Chen-Kuo, Fleurial J.-P. Thermoelectric microdevice fabricated by a MEMS-like electrochemical process // Nature Materials. 2003. V.2. Aug. 2003. P.528-531.

[6]. Kim M. J., Oh T. S. Thermoelectric Thin Film Device of Cross-Plane Configuration Processed by Electrodeposition and Flip-Chip Bonding // Materials Transactions. 2012. V.53. № 12. P. 2160–2165.

[7] A.Korotkov, V.Loboda, E.Bakulin, S.Dzyubanenko. Fabrication and Testing of MEMS Technology Based Thermoelectric Generator // Proc. 7th Electronics System-Integration Technology Conference (ESTC). September 18-21. 2018. Dresden. 4 pages.

[8] Gehong Zeng, Je-Hyeong Bahk, John E. Bowers, Joshua M. O. Zide, Arthur C. Gossard, Zhixi Bian, Rajeev Singh, Ali Shakouri, Woochul Kim, Suzanne L. Singer, and Arun Majumdar ErAs: $(InGaAs)_{1-x}(InAlAs)_x$ alloy power generator modules // Appl. Phys. Lett. 91. 263510 (2007).

[9] Tzounisa L., Liebscher M., Fuge R., Leonhardt A., Mechtcherine V. P- and n-type thermoelectric cement composites with CVD grown p- and n-doped carbon nanotubes: Demonstration of a structural thermoelectric generator // Energy and Buildings. Volume 191. 15 May 2019. Pages 151-163.

[10] Akhmetov D.B., Korotkov A.S., Morozov D.V., Pilipko M.M., Rumyancev I.A. Radio Frequency Identification System of Internet of Things Based on CMOS Integrated Cirquits // Proceedings of 2017 IEEE East-West Design and Test Symposium. EWDTS 2017. 8110155.

[11] Korotkov A.S., Pilipko M.M., Morozov D.V., Hauer J., “Delta-sigma modulator with a 50-MHz sampling rate implemented in 0.18-μm CMOS technology // Russian Microelectronics. 2010. Т. 39. № 3. С. 210-219.

[12] Коротков А.С., Лобода В.В., Дзюбаненко С.В., Бакулин Е.М. Термоэлектрический генератор для устройств мониторинга состояния человека // Проблемы разработки перспективных микро- и наноэлектронных систем – (МЭС) 2018. Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2018. Ч. IV. – С. 57-62.

[13] Korotkov A.S., Loboda V.V., Dzyubanenko S.V., and Bakulin E.M. Design of a Thin-Film Thermoelectric Generator for Low-Power Applications // Russian Microelectronics, 2019, Vol. 48, No. 5, pp. 326–334.

[14] Korotkov A.S., Loboda V.V., Makarov S.B., and Feldhoff A. Modeling Thermoelectric Generators Using the ANSYS Software Platform: Methodology, Practical Applications, and Prospects // Russian Microelectronics. 2017. Vol. 46. No. 2. PP. 131–138.

[15] Korotkov A.S., Loboda V.V. Simulation of MEMS technology based thermoelectric generators // Selected Articles of All Russia Science&Technology Conference “Problems of Advanced Micro- and Nanoelectronic Systems Development” (MES-2016). Part IV. 2017. PP. 30-34.

[16] Geppert B., Groeneveld D., Korotkov A., Loboda V., Feldhoff A. Finite-Element Simulations of a Thermoelectric Generator and Their Experimental Validation // Energy Harvesting and Systems. 2(1). 2015. P. 94-105.

[17] Snyder G.J., Toberer E.S. Complex thermoelectric materials // Nature materials. Vol.7. February 2008. P. 105–114.

[18] Piggott A. Detailed Transient Multiphysics Model for Fast and Accurate Design, Simulation and Optimization of a Thermoelectric Generator (TEG) or Thermal Energy Harvesting Device // Journal of Electronic Materials. Volume 48. PP. 5442–5452. (2019).

[19] S. Ferreira-Teixeira, A.M. Pereira Geometrical Optimization of a Thermoelectric Device: Numerical Simulations // Energy Conversion and Management. Volume 169. 1 August 2018. PP. 217-227.

[20] Dongxu J., Zhongbao W., Pou J., Mazzoni S., Rajoo S., Romagnoli F. Geometry Optimization of Thermoelectric Modules: Simulation and Experimental Study // Energy Conversion and Management. Volume 195. 1 September 2019. PP. 236-243.

.

Thermoelement Linear Dimensions Influence on Output Characteristics of Thermoelectric Generator

V.V. Loboda, R.D. Buslaev

Peter the Great Saint-Petersburg Polythechnic University

vera_loboda@spbstu.ru

***Abstract* — Solid state thermoelectric generators based on the Seebeck affects convert thermal energy into electricity. Microthermoelectric generators (μTEG) have generated great interest recently due to their reliable and stable power provision for low-power microelectronic devices, such as wireless sensor networks, smart homes, object monitoring systems and mobile devices.**

In the recent decades, a fabrication of thin-film TEGs has been intensively developed using the electrochemical methods MEMS, MBE, CVD. The thin-film thermoelectric generator is compact; it has a short thermal response time and a high specific electric power. The use of silicon as a base, due to its compatibility with CMOS and MEMS processes, is also an important advantage of μTEG.

The article deals with the research results on the thermoelements linear dimensions influence on output characteristics of thermoelectric generators. The optimization calculations were carried out by ANSYS Workbench and genetic algorithm. It has been stated that the thermoelectric linear dimensions correction is not changed when thermal boundary conditions are changed. The dependence of the output power of linear dimensions correlation has a flat top, and the general range of linear dimension change can be found, where the output power shows the deviation of ±3 %.

The optimization calculation result in the conclusions that such approach to develop microthermoelectric generators with optimal characteristics can be applied. Unlike other similar research [19,20], this study suggests employing a physical layer of soldering between the thermal elements and the bonding pads and taking into account the electric and thermal contact influences on the metal/semiconductor border as well as the bonding pad layer thickness. These peculiar characteristics of the model allow prediction of the optimal thermal element dimensions and internal resistance values, thus, in its turn, facilitates to design thermoelectric generators with different output operation parameters and operation temperature ranges with the required external load resistance.

***Keywords* — thermoelectric generator, MEMS, finite element method, simulation, optimization, output power.**

REFERENCES

[1] Champier D. Thermoelectric generators: A review of applications // Energy Conversion and Management. 2017. V. 140. pp.167–181.

[2] Nguyen H.T., Nguyen V.T., Takahito O. Flexible thermoelectric power generator with Y-type structure using electrochemical deposition process // Applied Energy. 15 January 2018. V. 210. pp. 467–476.

[3] Deng F., Qiu H., Chen J., Wang L., Wang B. Wearable Thermoelectric Power Generators Combined With Flexible Supercapacitor for Low-Power Human Diagnosis Devices // IEEE Transactions on Industrial Electronics. February 2017. V. 64. № 2. pp. 1477–1485.

[4] Volvenko S., Dong Ge, Zavjalov S., Gruzdev A., Rashich A., Svechnikov E. .Experimental wireless ultra wideband sensor network for data collection // Progress In Electromagnetics Research Symposium - Spring (PIERS). 22-25 May 2017.

[5]. Snyder G.J., Lim J.R., Huang Chen-Kuo, Fleurial J.-P. Thermoelectric microdevice fabricated by a MEMS-like electrochemical process // Nature Materials. 2003. V.2. Aug. 2003. pp.528-531.

[6]. Kim M. J., Oh T. S. Thermoelectric Thin Film Device of Cross-Plane Configuration Processed by Electrodeposition and Flip-Chip Bonding // Materials Transactions. 2012. V.53. № 12. pp. 2160–2165.

[7] A.Korotkov, V.Loboda, E.Bakulin, S.Dzyubanenko. Fabrication and Testing of MEMS Technology Based Thermoelectric Generator // Proc. 7th Electronics System-Integration Technology Conference (ESTC). September 18-21. 2018. Dresden. 4 pages.

[8] Gehong Zeng, Je-Hyeong Bahk, John E. Bowers, Joshua M. O. Zide, Arthur C. Gossard, Zhixi Bian, Rajeev Singh, Ali Shakouri, Woochul Kim, Suzanne L. Singer, and Arun Majumdar ErAs: $(InGaAs)_{1-x}(InAlAs)_x$ alloy power generator modules // Appl. Phys. Lett. 91. 263510 (2007).

[9] Tzounisa L., Liebscher M., Fuge R., Leonhardt A., Mechtcherine V. P- and n-type thermoelectric cement composites with CVD grown p- and n-doped carbon nanotubes: Demonstration of a structural thermoelectric generator // Energy and Buildings. Volume 191. 15 May 2019. pp 151-163.

[10] Akhmetov D.B., Korotkov A.S., Morozov D.V., Pilipko M.M., Rumyancev I.A. Radio Frequency Identification System of Internet of Things Based on CMOS Integrated Cirquits // Proceedings of 2017 IEEE East-West Design and Test Symposium. EWDTS 2017. C. 8110155.

[11] Korotkov A.S., Pilipko M.M., Morozov D.V., Hauer J., "Delta-sigma modulator with a 50-MHz sampling rate implemented in 0.18-μm CMOS technology // Russian Microelectronics. 2010. T. 39. No. 3. pp. 210-219.

[12] Korotkov A.S., Loboda V.V., Dzyubanenko S.V., and Bakulin E.M. Thermoelectric Generator for Human Body Monitoring Systems // Problems of Advanced Micro- and Nanoelectronic Systems Development" (MES-2018). The proceedings / under general editorship of member of the RF Academy of Sciences Stempkocky A.L. M.: IPPM RAS, 2018. Volume. IV. –pp . 57-62 (in Russian).

[13] Korotkov A.S., Loboda V.V., Dzyubanenko S.V., and Bakulin E.M. Design of a Thin-Film Thermoelectric Generator for Low-Power Applications // Russian Microelectronics, 2019, Vol. 48, No. 5, pp. 326–334.

[14] Korotkov A.S., Loboda V.V., Makarov S.B., and Feldhoff A. Modeling Thermoelectric Generators Using the ANSYS Software Platform: Methodology, Practical Applications, and Prospects // Russian Microelectronics. 2017. Vol. 46. No. 2. pp. 131–138.
[15] Korotkov A.S., Loboda V.V. Simulation of MEMS technology based thermoelectric generators // Selected Articles of All Russia Science&Technology Conference "Problems of Advanced Micro- and Nanoelectronic Systems Development" (MES-2016). Part IV. 2017. pp. 30-34.
[16] Geppert B., Groeneveld D., Korotkov A., Loboda V., Feldhoff A. Finite-Element Simulations of a Thermoelectric Generator and Their Experimental Validation // Energy Harvesting and Systems. 2(1). 2015. pp. 94-105.
[17] Snyder G.J., Toberer E.S. Complex thermoelectric materials // Nature materials. Vol.7. February 2008. pp. 105–114.
[18] Piggott A. Detailed Transient Multiphysics Model for Fast and Accurate Design, Simulation and Optimization of a Thermoelectric Generator (TEG) or Thermal Energy Harvesting Device // Journal of Electronic Materials. Volume 48. pp. 5442–5452. (2019).
[19] S. Ferreira-Teixeira, A.M. Pereira Geometrical Optimization of a Thermoelectric Device: Numerical Simulations // Energy Conversion and Management. Volume 169. 1 August 2018. pp. 217-227.
[20] Dongxu J., Zhongbao W., Pou J., Mazzoni S., Rajoo S., Romagnoli F. Geometry Optimization of Thermoelectric Modules: Simulation and Experimental Study // Energy Conversion and Management. Volume 195. 1 September 2019. pp. 236-243.

УДК 621.318.51, 621.3.049.7 DOI: 10.31114/2078-7707-2020-3-237-243

Радиочастотный микромеханический переключатель с высоким отношением емкости

А.В. Ткаченко[1,2], И.Е. Лысенко[1]

[1]Южный Федеральный Университет, г. Таганрог

[2]ООО «Радиочастотные микросистемы», г. Таганрог, msqk@mail.ru

Аннотация — В данной статье проведено моделирование разработанной конструкции шунтирующего радиочастотного микромеханического переключателя с омическим типом контакта и высоким коэффициентом емкости с подвижной металлической мембраной, расположенной на заземляющих линиях копланарного волновода. Для повышения коэффициента емкости в разработанной конструкции радиочастотного микромеханического переключателя используется неподвижный конденсатор с обкладками металл-диэлектрик-металл. Для снижения величины управляющего напряжения и повышения скорости переключателя в представленной конструкции радиочастотного микромеханического переключателя применен неоднородный змеевидный тип упругого подвеса. Результаты проведенного моделирования электромеханических параметров и электромагнитных параметров рассеивания показывают, что разработанная конструкция шунтирующего РЧ МЭМС переключателя подходит для использования в S-частотном диапазоне и проектирования современных реконфигурируемых многополосных беспроводных устройств.

***Ключевые слова* — радиочастотный микромеханический переключатель, неоднородный змеевидный упругий подвес, высокий коэффициент емкости, высокая изоляция, малые потери на отражение.**

I. Введение

На современном конкурентном рынке систем беспроводной радиосвязи требуются компактные, недорогие, реконфигурируемые многополосные решения, а реконфигурируемые радиочастотные устройства в настоящее время являются объектом активных исследований. Радиочастотные (РЧ) переключатели, изготовленные с использованием технологии микроэлектромеханических систем (МЭМС) привлекают значительное внимание в качестве переключающих элементов для разработки реконфигурируемых РЧ интерфейсов и устройств [1]-[4], благодаря их высокой РЧ производительности.

По сравнению с традиционными активными полупроводниковыми переключателями, выполненными на основе PIN-диодов и FET-транзисторов РЧ МЭМС переключатели обладают следующими преимуществами: высокая линейность, практически нулевое энергопотребление и высокая РЧ производительность. Однако РЧ МЭМС переключатели не лишены недостатков, главными из которых можно выделить: низкий коэффициент емкости (в случае шунтирующих РЧ МЭМС переключателей), высокие величины управляющего напряжения (напряжение срабатывания, напряжение переключения), которые, как правило, составляют более 40 В, и проблема электрического заряда диэлектрических слоев, что в свою очередь приводит к прилипанию подвижного электрода конструкции переключателя [5]. При этом высокая величина коэффициента емкости положительно влияет на величину изоляции, а низкие величины управляющего напряжения способствуют реализации монолитных сверхвысокочастотных (СВЧ) интегральных схем (ИС). Также при применении РЧ МЭМС переключателей в перестраиваемых РЧ фильтрах величина коэффициента емкости оказывает влияние на регулируемый диапазон центральной резонансной частоты фильтра.

На сегодняшний день имеется ряд исследований, которые были проведены для достижения высокой величины коэффициента емкости шунтирующих РЧ МЭМС переключателей и низкой величины управляющего напряжения. В работе [6] предложена конструкция РЧ МЭМС переключателя с использованием керамического диэлектрического слоя с высокой диэлектрической проницаемостью. В работе [7] высокий коэффициент емкости был достигнут путем использования искривленной конструкции подвижного электрода РЧ МЭМС переключателя. Другим применяемым методом получения достижения высокой величины коэффициента емкости является увеличение величины воздушного зазора между подвижным электродом РЧ МЭМС и диэлектрическим слоем [8], [9]. Однако существуют некоторые очевидные недостатки данных методов, которые заключаются в том, что проблема заряда диэлектрического слоя становится тем существеннее, чем меньше толщина применяемого диэлектрического слоя, а также электромеханические параметры переключателя изменяются при изменении величины воздушного зазора.

Между тем в ряде работ предложены некоторые подходы для получения высокой величины коэффициента емкости, которые заключаются в использовании диэлектрических материалов с высокой диэлектрической проницаемостью. К таким диэлектрическим материалам относятся: HfO_2 (ε_r = 20) [10], STO (ε_r = 30-120) [11], [12], Ta_2O_5 (ε_r = 32) [13], (Ba, Sr) TiO_3 (ε_r > 200) [14], PZT (ε_r = 190) [15] и металлоксидные

диэлектрики с высокими диэлектрическими характеристиками [16]. В результате величина коэффициента емкости шунтирующих РЧ МЭМС переключателей составляют более 100 [15, 16]. Однако величина коэффициента емкости ограничена минимальной толщиной диэлектрического слоя, максимальным значением диэлектрической проницаемости и максимальной величиной воздушного зазора между подвижным электродом переключателя и РЧ линией передачи. В связи с этим методы, используемые в работах [7]-[9], не являются наиболее подходящими.

Целью данной работы является разработка конструкции шунтирующего РЧ МЭМС переключателя с высокой величиной коэффициента емкости и малой величиной воздушного зазора с использованием комбинированного подхода. Данный подход повышения величины коэффициента емкости заключается в использовании конструкции плавающего металлического подвижного электрода без ограничений минимальной толщины диэлектрического слоя и минимальной величины воздушного зазора, а также с использованием материала диэлектрического слоя с высокой диэлектрической проницаемостью.

II. Описание подхода

Типовая конструкция шунтирующего РЧ МЭМС переключателя содержит копланарную линию передачи (КЛП) РЧ сигнала, подвижную металлическую мембрану, тонкий диэлектрический слой и неподвижные управляющие электроды, как показано на рис. 1. Металлическая мембрана подвешена над КЛП с воздушным зазором g_0. При приложении постоянного управляющего напряжения на неподвижные управляющие электроды относительно металлической мембраны, электростатическая сила притягивает металлическую мембрану вниз к диэлектрическому слою, и в результате РЧ сигнал шунтируется на заземляющие линии КЛП.

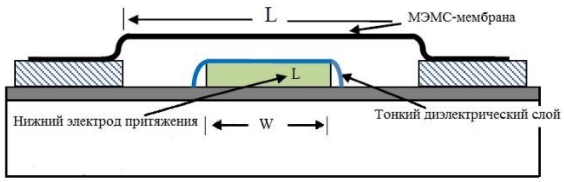


Рис. 1. Типовая конструкция шунтирующего РЧ МЭМС переключателя

Простым и эффективным подходом к получению высокой величины коэффициента емкости шунтирующего РЧ МЭМС переключателя заключается в подключении дополнительного неподвижного конденсатора с обкладками металл-диэлектрик-металл (МДМ) к основному шунтирующему конденсатору.

Разработанная конструкция шунтирующего РЧ МЭМС переключателя с высоким коэффициентом емкости показана на рис. 2 и рис. 3. Данный РЧ МЭМС переключатель содержит КЛП РЧ сигнала, плавающую металлическую мембрану, подвешенную на анкерных областях при помощи неоднородных змеевидных упругих подвесов, диэлектрический слой с высокой диэлектрической проницаемостью и расположенный на нем металлический слой, образующий дополнительный неподвижный конденсатор с обкладками МДМ.

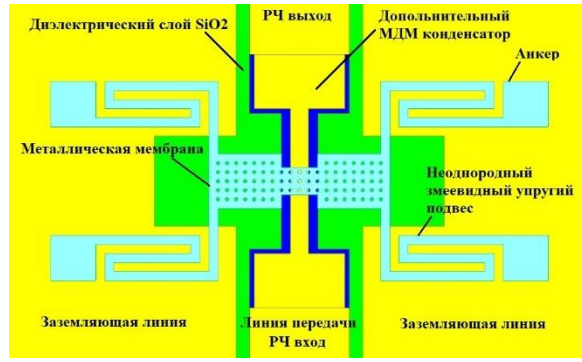


Рис. 2. Топология разработанного шунтирующего РЧ МЭМС переключателя

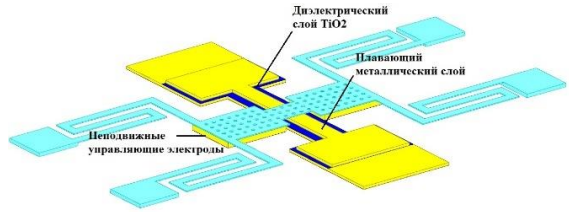


Рис. 3. Схематический вид дополнительного неподвижного МДМ конденсатора разработанного шунтирующего РЧ МЭМС переключателя

Геометрическая конфигурация разработанной конструкции шунтирующего РЧ МЭМС переключателя показана на рис. 4. Подвижная металлическая мембрана переключателя подвешена и закреплена с помощью четырех неоднородных змеевидных упругих подвесов.

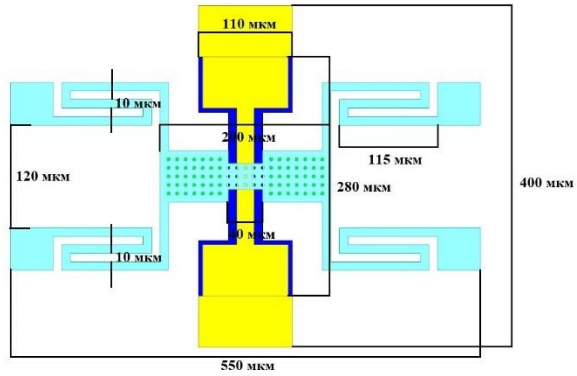


Рис. 4. Геометрическая конфигурация разработанного шунтирующего РЧ МЭМС переключателя

Эквивалентная электрическая схема типовой конструкции шунтирующего РЧ МЭМС переключателя приведена на рис. 5 а) [17]. Характеристическое сопротивление КЛП равное Z_0. $Z_{bl}(\alpha, \beta l)$ обозначает характеристическое сопротивление линии передачи между волновым портом и краем подвижной металлической мембраны, α – константу затухания передачи, а βl – электрическую длину линии передачи.

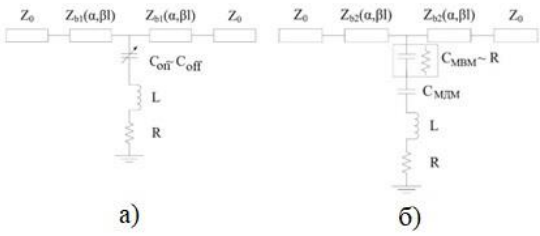


Рис. 5. Электрическая принципиальная схема: а) типового шунтирующего РЧ МЭМС переключателя; б) разработанного шунтирующего РЧ МЭМС переключателя

Эквивалентная электрическая схема разработанной конструкции шунтирующего РЧ МЭМС переключателя с высоким коэффициентом емкости показана на рис. 5 б). В данной конструкции дополнительный неподвижный МДМ конденсатор подключен к шунтирующему конденсатору с обкладками металл-воздух-металл (МВМ), образованный верхним металлическим слоем МДМ конденсатора, подвижной металлической мембраной и воздушным пространством между ними. МДМ конденсатор соединен с МВМ конденсатором последовательно, в случае, когда подвижная металлическая мембрана находится в верхнем положении. В случае, когда подвижная металлическая мембрана находится в нижнем положении, МВМ конденсатор изменяется на сопротивление R в электрической цепи.

III. Анализ коэффициента емкости

Как показано на рис. 1, в случае типовой конструкции шунтирующего РЧ МЭМС переключателя емкость в верхнем положении подвижной металлической мембраны C_{on} (разомкнутое состояние) и емкость в нижнем положении C_{off} (замкнутое состояние) соответственно выражаются следующим образом:

$$C_{on} = \varepsilon_0 A_u \left(g_0 + \frac{t_e}{\varepsilon_r} \right)^{-1} ; C_{off} = \varepsilon_0 A_d \left(\frac{t_e}{\varepsilon_r} \right),$$

где ε_0 – диэлектрическая проницаемость воздушного пространства; g_0 – начальная величина воздушного зазора; ε_r – относительная диэлектрическая проницаемость диэлектрического слоя TiO_2 ; t_e – толщина диэлектрического слоя TiO_2 ; A_u и A_d – площадь перекрытия электродов в верхнем и нижнем положении подвижной металлической мембраны, соответственно. Следовательно, если пренебречь краевыми эффектами, отношение емкости в нижнем положении к емкости в верхнем положении подвижной металлической мембраны типового шунтирующего РЧ МЭМС переключателя может быть выражено следующим образом:

$$r_c = \frac{C_{off}}{C_{on}} = \frac{A_d}{A_u} \left(1 + g_0 \frac{\varepsilon_r}{t_e} \right).$$

Отсюда следует, что величина коэффициента емкости ограничена тремя факторами, а именно: (а) относительной диэлектрической проницаемостью диэлектрического слоя ε_r ; (б) толщиной диэлектрика t_e ; (в) начальным значением воздушного зазора g_0 . Данные ограничивающие факторы не решаются легко. Во-первых, величина диэлектрического проницаемости ε_r определяется точно лишь на этапе отработки технологического маршрута изготовления; во-вторых, проблема заряда диэлектрического слоя существенна, в случае, когда используется тонкий диэлектрический слой; в-третьих, большая величина начального воздушного зазора g_0 приводит к высоким величинам управляющего напряжения.

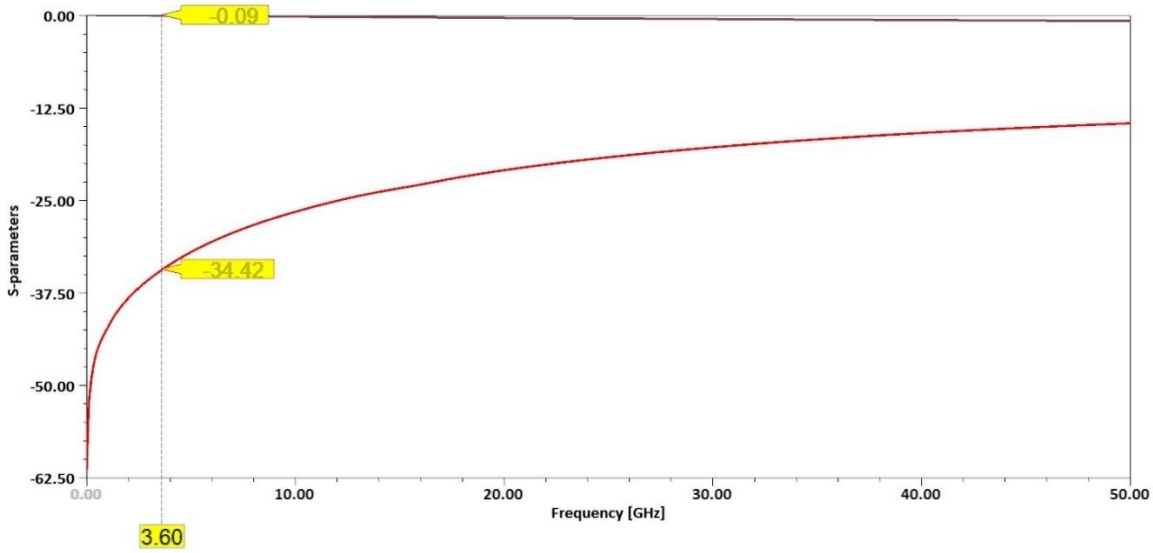
В разработанной конструкции шунтирующего РЧ МЭМС переключателя определим параметр δ , который равен $\frac{A_{МДМ}}{A_{МВМ}}$. В случае пренебрежения краевыми эффектами величины емкости в верхнем и нижнем положении подвижной металлической мембраны величина отношения емкости r_c может быть рассчитана с помощью уравнения (1):

$$r_c = \frac{C_d}{C_u} = \frac{C_{МДМ}}{C_{МДМ} \square C_{МВМ}} = \frac{C_{МДВ}}{C_{МВМ}} + 1 = \frac{\varepsilon_r g_0}{t_e} \frac{A_{МДМ}}{A_{МВМ}} + 1 = \frac{\varepsilon_r g_0}{t_e} \delta + 1 \quad . \qquad (1)$$

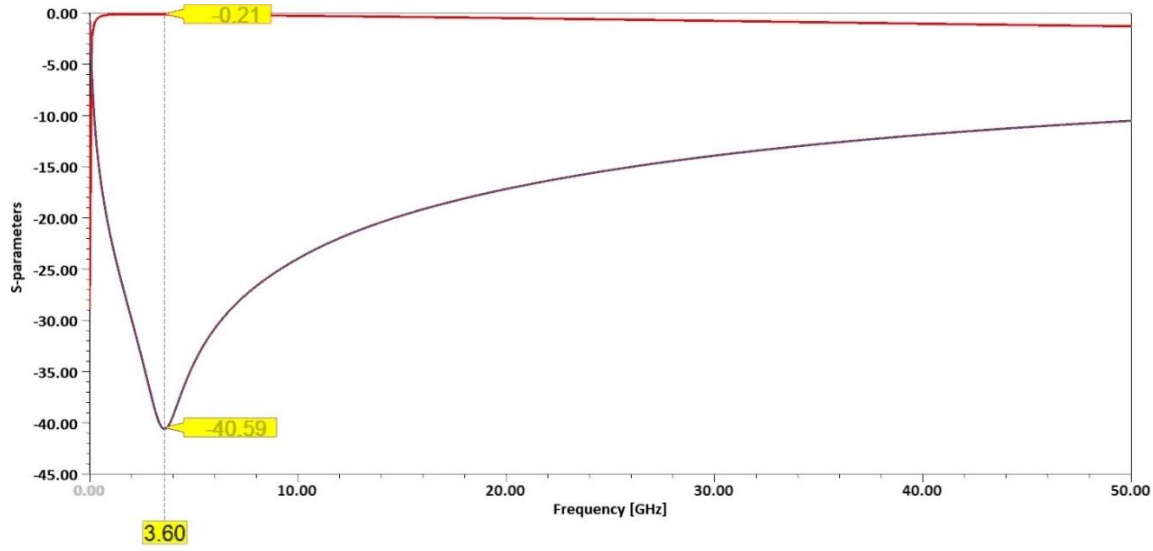
Таким образом, величина коэффициента емкости r_c разработанного шунтирующего РЧ МЭМС переключателя составляет 5701, при диэлектрической проницаемости диэлектрического слоя $TiO_2 = 90$, толщине диэлектрического слоя $t_e = 0.2$ мкм и величине воздушного зазора $g_0 = 1$ мкм. При использовании, например, в качестве материала диэлектрического слоя Si_3N_4 ($\varepsilon_r = 7.5$), который является наиболее распространенным материалом диэлектрического слоя шунтирующих РЧ МЭМС переключателей, величина коэффициента емкости будет равной 476.

IV. Моделирование параметров

На рис. 6 а) и рис. 6 б) представлены результаты моделирования электромагнитных характеристик разработанной конструкции шунтирующего РЧ МЭМС переключателя, которые определяются параметрами рассеивания (S-параметры) в верхнем и нижнем положении подвижной металлической мембраны.



а)



б)

Рис. 6. Результаты моделирования параметров рассеивания разработанной конструкции шунтирующего РЧ МЭМС переключателя: а) в верхнем положении подвижной металлической мембраны; б) в нижнем положении подвижной металлической мембраны

По результатам электромагнитного моделирования можно сделать вывод, что разработанная конструкция шунтирующего РЧ МЭМС переключателя подходит для использования в S-частотном диапазоне. В верхнем положении подвижной металлической мембраны вносимые потери составляют менее -0.1 дБ, потери на отражение менее -30 дБ для данного частотного диапазона. В нижнем положении подвижной металлической мембраны изоляция составляет более -40 дБ на центральной резонансной частоте 3.6 ГГц, а потери на отражение не более -0.21 дБ для данного частотного диапазона.

В разработанной конструкции шунтирующего РЧ МЭМС переключателя коэффициент упругости предложенного неоднородного змеевидного упругого подвеса определяет величину напряжения срабатывания. Коэффициент упругости неоднородного змеевидного упругого подвеса может быть определен с помощью метода, описанного в работе [2]. Структура неоднородного змеевидного упругого подвеса показана на рис. 7. Каждая секция неоднородного змеевидного упругого подвеса состоит из шести последовательно соединенных сегментов. Величина напряжения срабатывания может быть определена с помощью выражения (2):

$$V_p = \sqrt{\frac{2k_e}{\varepsilon_0 W L_d}\frac{g_0}{3}\left(\frac{2g_0}{3}+\frac{t_e}{\varepsilon_r}\right)^2} \quad . \qquad (2)$$

Расчетное значение эффективного коэффициента упругости k_e составляет 18.5 Н/м, а величина управляющего напряжения $V_p \approx 11.6$ В. На рис. 8 а) и рис. 8 б)

представлены результаты моделирования напряженно-деформированного состояния подвижной металлической мембраны под действием приложенного напряжения срабатывания и времени перемещения в нижнее положение.

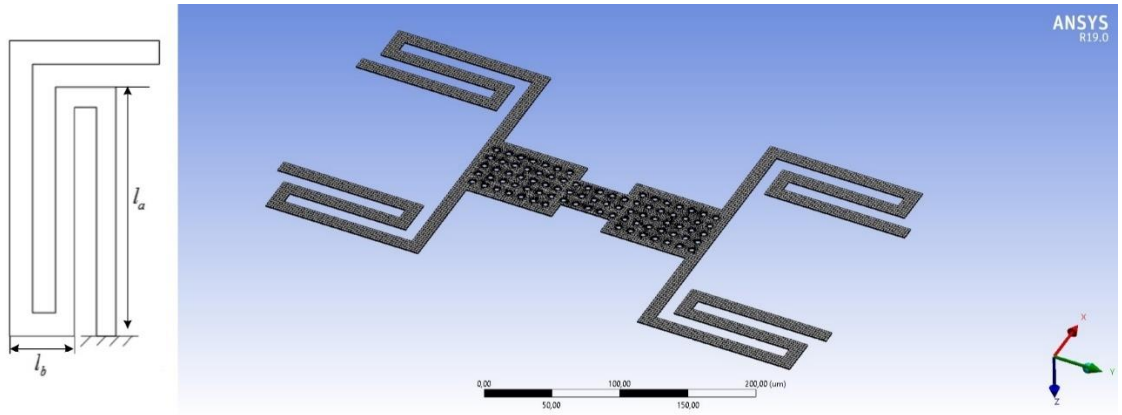


Рис. 7. Структура неоднородного змеевидного упругого подвеса разработанной конструкции шунтирующего РЧ МЭМС переключателя

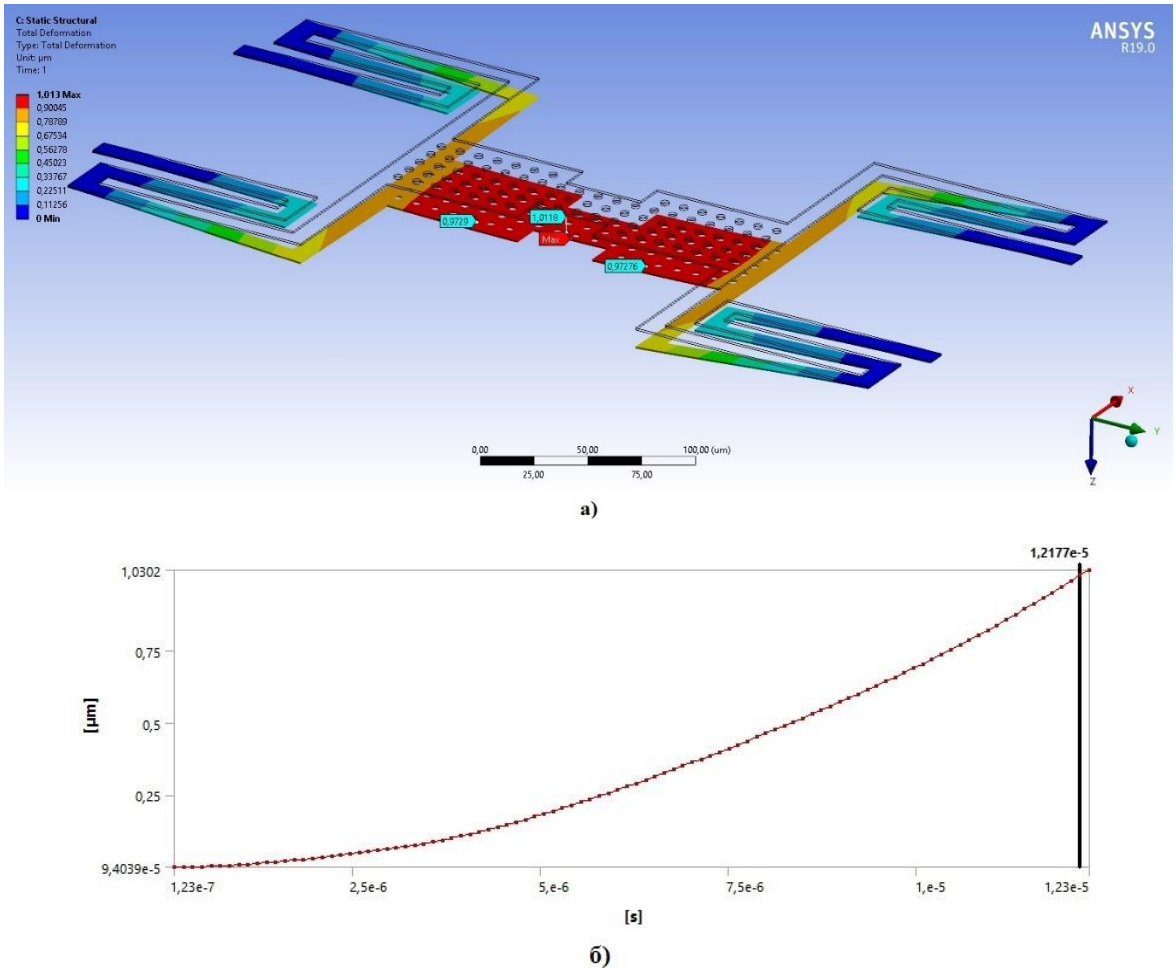


Рис. 8. Результаты моделирования напряженно-деформированного состояния подвижной металлической мембраны разработанной конструкции шунтирующего РЧ МЭМС переключателя: а) перемещение под действием напряжения срабатывания; б) времени перемещения в нижнее положение

V. Выводы

Представленный в данной работе шунтирующий РЧ МЭМС переключатель демонстрируют значительное увеличение коэффициента емкости с использованием комбинированного подхода к проектированию. Для верификации предложенного подхода представлена разработанная конструкция шунтирующего РЧ МЭМС переключателя с высоким коэффициентом емкости 5701. При использовании неоднородных змеевидных упругих типов подвесов удается добиться небольшой величины управляющего напряжения и высокого быстродействия. Рассчитанная величина напряжения срабатывания составляет 11.6 В, а время переключения из одного положения подвижной металлической мембраны в другое ~ 12.2 мкс. По результатам электромагнитного моделирования можно сделать вывод, что разработанная конструкция шунтирующего РЧ МЭМС переключателя подходит для использования в S-частотном диапазоне. В верхнем положении подвижной металлической мембраны вносимые потери составляют менее -0.1 дБ, потери на отражение менее -30 дБ для данного частотного диапазона. В нижнем положении подвижной металлической мембраны изоляция составляет более -40 дБ на центральной резонансной частоте 3.6 ГГц, а потери на отражение не более -0.21 дБ для данного частотного диапазона. Таким образом разработанная конструкция шунтирующего РЧ МЭМС переключателя подходит для построения современных реконфигурируемых многополосных беспроводных устройств.

Поддержка

Работа выполнена при поддержке Фонда содействия развитию малых инновационных предприятий по программе Старт-1 (договор №3412ГС1/55632) на проведение научно-исследовательских и опытно-конструкторских работ по теме: «Разработка и испытания экспериментальных образцов однополюсного радиочастотного МЭМС-переключателя».

Литература

[1] Lysenko I. E., Tkachenko A. V., Sherova E. V. and Nikitin A. V. Analytical Approach in the Development of RF MEMS Switches // Electronics. 2018. № 7(12). P. 1-23.

[2] Lysenko I. E., Tkachenko A. V., Ezhova O. A., Konoplev B. G., Ryndin E. A. and Sherova E. V. The Mechanical Effects Influencing on the Design of RF MEMS Switches // Electronics. 2020. № 9 (2). P. 1-26.

[3] Kale N.S. Tutorial T4: MEMS: Design, Fabrication, and their applications as chemical and biosensors // Proceedings of the 28th International Conference on VLSI Design, Bangalore, India, 3–7 January 2015.

[4] Mansour R.R. RF MEMS-CMOS device integration: An overview of the potential for RF researchers // IEEE Microw. Mag. 2013, 14, P. 39-56.

[5] Fall M.; Fouladi S.; Domingue F.; Dieppedale C.; Reig B.; Mansour R.R. High capacitance ratio RF MEMS dielectricless switched capacitor // Proceedings of the European Microwave Conference (EuMC). Nuremberg, Germany, 6–10 October 2013. P. 1327-1330.

[6] Park J.Y.; Kim G.H.; Chung K.W.; Bu J.U. Fully integrated micromachined capacitive switches for RF applications // IEEE MTT-S Int. Microw. Symp. 2000, 1, P. 283-286.

[7] Al-Dahleh R.; Mansour R.R. High-capacitance-ratio warped-beam capacitive MEMS switch designs // J. Microelectromech. Syst. 2010, 19, P. 538-547.

[8] Chang C.; Chang P. Innovative micromachined microwave switch with very low insertion loss // Sens. Actuators A Phys. 2010, 79, P. 71-75.

[9] Bozler C.; Drangmeister R.; Duffy, S.; Gouker M.; Knecht J.; Kushner L.; Parr R.; Rabe S.; Travis L. MEMS microswitch arrays for reconfigurable distributed microwave components // Proceedings of the IEEE Antennas and Propagation Society International Symposium. Salt Lake City, UT, USA, 1–21 July 2000; P. 587-591.

[10] Angira M. et al. On the investigation of an interdigitated, high capacitance ratio shunt RF-MEMS switch for X-band applications // Proc. of NSTI Nanotechnology (Washington DC, United States). 2013. Vol. 2. P. 189-192.

[11] Park J. Y., Kim G. H., Chung K. W. and Bu J. U. Fully integrated micromachined capacitive switches for RF applications IEEE MTT-S Int Microwave Symp. Digest (Boston, MA, June 2000), P. 283-286.

[12] Park J. Y., Kim G. H., Chung K. W. and Bu J. U. Monolithically integrated micromachined RF MEMS capacitive switches // Sensors and Actuators A: Physical. 2001. V. 89. № 1-2. P. 88-94.

[13] Persano A. et al. Ta2O5 thin films for capacitive RF MEMS switches // J. Sensors. 2010. 487061.

[14] Liu Y. et al. High-isolation BST-MEMS switches // Microwave Symp. Digest, 2002 IEEE MTT-S Int. (IEEE). Vol. 1. P. 227-30.

[15] Ziaei A., Dean T. and Mancuso Y. Lifetime characterization of capacitive power RF MEMS switches // Proc. 35th European Microw. Conf. (October 2005). Vol. 3, P. 4.

[16] Wang G. et al. Novel reliable RF capacitive MEMS switches with photodefinable metal–oxide dielectrics // J. Microelectromech. Syst. 16(3). P. 550-555.

[17] Rebeiz G. M. RF MEMS: Theory, Design, and Technology (New York: Wiley), 2004.

High Capacitance Ratio Radio-Frequency Micromechanical Switch

A.V. Tkachenko[1,2], I.E. Lysenko[1]

[1]Southern Federal University, Taganrog

[2]«RF Microsystems», Llc., Taganrog, msqk@mail.ru

Abstract — This paper uses combined approach and its verification to develop design of a shunt RF MEMS switch with ohmic contact type and high capacitance ratio and small air gap. This approach to increasing the value of the capacitance ratio consists in using the design of a floating metal mobile electrode without restrictions on the minimum thickness of dielectric layer and the minimum value of air gap, as well as using material of the dielectric layer with high permittivity. This approach differs from the existing ones in that it eliminates obvious disadvantages, namely, the problem of charging the dielectric layer is solved, and the electromechanical parameters of the switch are improved due to the minimum air gap. When using inhomogeneous serpentine elastic types of suspensions, it is possible to achieve small value of control voltage and high switching speed. The calculated value of the actuation voltage is 11.6 V and the switching time from one position of the movable metal membrane to another is ~ 12.2. Based on the results of electromagnetic modeling, it can be concluded that the developed design of the shunt RF MEMS switch is suitable for use in the S-frequency range. In the up-state of the movable metal membrane, the insertion loss is less than -0.1 dB, and the reflection loss is less than -30 dB for this frequency range. In the down-state of the movable metal membrane, the isolation is more than -40 dB at the central resonant frequency of 3.6 GHz and the reflection loss is not more than -0.21 dB for this frequency range. Thus, the developed design of the RF MEMS shunt switch is suitable for building modern reconfigurable multi-band wireless devices.

***Keywords* — radio-frequency micromechanical switch, inhomogeneous serpentine elastic suspension, high capacitance ratio, high isolation, low insertion loss.**

REFERENCES

[1] Lysenko I. E., Tkachenko A. V., Sherova E. V. and Nikitin A. V. Analytical Approach in the Development of RF MEMS Switches // Electronics. 2018. № 7(12). P. 1-23.

[2] Lysenko I. E., Tkachenko A. V., Ezhova O. A., Konoplev B. G., Ryndin E. A. and Sherova E. V. The Mechanical Effects Influencing on the Design of RF MEMS Switches // Electronics. 2020. № 9 (2). P. 1-26.

[3] Kale N.S. Tutorial T4: MEMS: Design, Fabrication, and their applications as chemical and biosensors // Proceedings of the 28th International Conference on VLSI Design, Bangalore, India, 3–7 January 2015.

[4] Mansour R.R. RF MEMS-CMOS device integration: An overview of the potential for RF researchers // IEEE Microw. Mag. 2013, 14, P. 39-56.

[5] Fall M.; Fouladi S.; Domingue F.; Dieppedale C.; Reig B.; Mansour R.R. High capacitance ratio RF MEMS dielectricless switched capacitor // Proceedings of the European Microwave Conference (EuMC). Nuremberg, Germany, 6–10 October 2013. P. 1327-1330.

[6] Park J.Y.; Kim G.H.; Chung K.W.; Bu J.U. Fully integrated micromachined capacitive switches for RF applications // IEEE MTT-S Int. Microw. Symp. 2000, 1, P. 283-286.

[7] Al-Dahleh R.; Mansour R.R. High-capacitance-ratio warped-beam capacitive MEMS switch designs // J. Microelectromech. Syst. 2010, 19, P. 538-547.

[8] Chang C.; Chang P. Innovative micromachined microwave switch with very low insertion loss // Sens. Actuators A Phys. 2010, 79, P. 71-75.

[9] Bozler C.; Drangmeister R.; Duffy, S.; Gouker M.; Knecht J.; Kushner L.; Parr R.; Rabe S.; Travis L. MEMS microswitch arrays for reconfigurable distributed microwave components // Proceedings of the IEEE Antennas and Propagation Society International Symposium. Salt Lake City, UT, USA, 1–21 July 2000; P. 587-591.

[10] Angira M. et al. On the investigation of an interdigitated, high capacitance ratio shunt RF-MEMS switch for X-band applications // Proc. of NSTI Nanotechnology (Washington DC, United States). 2013. Vol. 2. P. 189-192.

[11] Park J. Y., Kim G. H., Chung K. W. and Bu J. U. Fully integrated micromachined capacitive switches for RF applications IEEE MTT-S Int Microwave Symp. Digest (Boston, MA, June 2000), P. 283-286.

[12] Park J. Y., Kim G. H., Chung K. W. and Bu J. U. Monolithically integrated micromachined RF MEMS capacitive switches // Sensors and Actuators A: Physical. 2001. V. 89. № 1-2. P. 88-94.

[13] Persano A. et al. Ta2O5 thin films for capacitive RF MEMS switches // J. Sensors. 2010. 487061.

[14] Liu Y. et al. High-isolation BST-MEMS switches // Microwave Symp. Digest, 2002 IEEE MTT-S Int. (IEEE). Vol. 1. P. 227-30.

[15] Ziaei A., Dean T. and Mancuso Y. Lifetime characterization of capacitive power RF MEMS switches // Proc. 35th European Microw. Conf. (October 2005). Vol. 3, P. 4.

[16] Wang G. et al. Novel reliable RF capacitive MEMS switches with photodefinable metal–oxide dielectrics // J. Microelectromech. Syst. 16(3). P. 550-555.

[17] Rebeiz G. M. RF MEMS: Theory, Design, and Technology (New York: Wiley), 2004.

УДК 519.254 DOI: 10.31114/2078-7707-2020-3-244-249

Оценивание частот синусоид на основе расширенных эквивалентных систем

Д.В. Иванов, О.И. Митрошин

Самарский государственный университет путей сообщения, г. Самара, dvi85@list.ru

***Аннотация* — Оценивание частот синусоид на основе полного метода наименьших квадратов позволяет получать более точные оценки по сравнению с классическим методом наименьших квадратов. Наиболее распространенным алгоритмом решения задачи полных наименьших квадратов является алгоритм на основе сингулярного разложения матрицы. Данный алгоритм имеет высокую вычислительную сложность. Альтернативным методом решения задачи полных наименьших квадратов является подход на основе смещенных нормальных систем. В работе предложена оценка частот синусоид по дискретным измерениям с шумом на основе расширенной системы линейных алгебраических уравнений эквивалентной нормальной смещенной системе уравнений.**

Результаты моделирования показывают, что оценки частоты на основе расширенных систем сопоставимы по точности с решением задачи полных наименьших квадратов на основе сингулярного разложения матрицы и имеют существенно меньшее число обусловленности, чем смещенная нормальная система уравнений.

***Ключевые слова* — Метод полных наименьших квадратов, разрешающая способность, оценивание частоты, плохая обусловленность.**

I. Введение

Задача, рассматриваемая в статье, является одной из задач спектрального анализа [1]. Во многих приложениях, особенно в области связи, радиолокации, гидролокации, геофизики, сейсмологии, рассматриваемые сигналы могут быть хорошо описаны суммой синусоид с шумом [2]. Проблеме оценки частот синусоид из конечного числа дискретных зашумленных измерений посвящено большое количество работ [1] - [5] из-за ее широкого применения в науке и технике.

Несмотря на то, что существует огромное число методов оценивания частоты, они могут быть классифицированы в качестве непараметрических или параметрических подходов. Непараметрические частотные методы основаны на применении преобразования Фурье. Непараметрические методы не накладывают никаких предположений о модели наблюдаемых данных последовательности. Разрешение или способность разрешать близко расположенные частоты с использованием непараметрических методов принципиально ограничено длиной доступных данных. В качестве альтернативы используют параметрический подход, который предполагает, что сигнал удовлетворяет порождающей модели с известной функциональной формой. Параметрический подход позволяет достичь более высокого разрешения. Известны следующие параметрические оценки частоты: максимальное правдоподобие (МП) [6], нелинейный метод наименьших квадратов (НМНК) [7], полный метод наименьших квадратов (ПМНК) [8, 9], инструментальные переменные (ИП) [10], уравнения Юла - Уокера [11], итеративная фильтрация [12] и подпространственные методы, такие как усеченное разложение по сингулярным числам, MUSIC и ESPRIT [4].

Фактически, при аддитивном белом гауссовском шуме, МП и НМНК методы эквивалентны, и оба статистически эффективны, но их вычислительная сложность очень высокая. С другой стороны, остальные вышеупомянутые параметрические методы используют линейное предсказание (ЛП) синусоидальных сигналов и обеспечивают субоптимальную оценку эффективности, но вычислительная сложность их меньше. Точность оценивания частот синусоид методом полных наименьших квадратов, а также близость получаемых значений частот к теоретической наивысшей точности (границе Крамера-Рао) рассматривается в [8].

Принципиальным ограничением для разрешающей способности параметрических методов является вычислительная устойчивость алгоритмов и несмещенность получаемых оценок. Это связано с тем, что при близких частотах оцениваемых синусоид задача становится плохо обусловленной.

Известно, что применение метода полных наименьших квадратов позволяет повысить разрешающую способность по сравнению с классическим методом наименьших квадратов. Наиболее распространенным алгоритмом решения задачи полных наименьших квадратов является алгоритм на основе сингулярного разложения матрицы. Данный алгоритм имеет высокую вычислительную сложность. Альтернативным методом решения задачи полных наименьших квадратов является подход на основе смещенных нормальных систем. В [13] отмечалось, что решение задачи полных наименьших квадратов в виде смещенной нормальной системы может быть предпочтительнее в некоторых случаях.

В статье предложена оценка частот синусоид на основе расширенной эквивалентной системы

уравнений. Предложенный в статье алгоритм оценивания частот синусоид методом полных наименьших квадратов на основе эквивалентных систем позволяет совместить точность алгоритма оценивания на основе сингулярного разложения и вычислительную простоту методов на основе нормальной смещенной системы. В связи с этим предложенный подход позволяет снизить требования к быстродействию системы или разрядности АЦП, что может послужить основой создания новых эффективных микро – и наноэлектронных систем.

Статья организована следующим образом. В секции II представлена постановка задачи оценивания частот синусоид по зашумленным наблюдениям. В секции III сумма L синусоид представлена в виде разностного уравнения. Секция IV посвящена методу наименьших квадратов (МНК). В секции V описаны методы решения задачи полных наименьших квадратов, а также показано, как задача оценивания частоты может быть приведена к задаче полных наименьших квадратов. В секции VI представлены результаты моделирования. Заключение приведено в секции VII.

II. Постановка задачи

Проблема оценивания частот синусоид формулируется следующим образом. Даны дискретные измерения с шумом:

$$x(n) = s(n) + q(n), \quad n = 0,1,\ldots,N-1, \tag{1}$$

где

$$s(n) = \sum_{l=1}^{L} \alpha_l \sin(\omega_l n + \phi_l), \quad l = 1,2,\ldots,\mathrm{L} \tag{2}$$

α_l , $\omega_l \in (0,\pi)$ и $\varphi_l \in [0,2\pi)$ неизвестные амплитуды, частоты и фазы l -той синусоиды. $q(n)$ аддитивный белый шум с нулевым средним и постоянной дисперсией σ_q^2. Предполагается, что число синусоид L заранее известно.

Требуется определить оценки $\hat{\omega}_l$ по N зашумленным последовательностям наблюдений $\{x(n)\}$.

III. Представление задачи в форме разностного уравнения

Оценивание частот ω_l из зашумленного сигнала представляет собой сложную задачу из-за того, что частоты ω_l входят в уравнение (2) нелинейно.

Известно, что сигнал $s(n)$ может быть однозначно представлен как линейная комбинация 2L предыдущих отсчетов

$$s(n) = -\sum_{i=1}^{2L} a_i \, \mathrm{s}(n-i), \tag{3}$$

где a_l постоянные коэффициенты. Частоты $\omega_l \in (0,\pi)$ связаны с коэффициентами a_l следующим уравнением [9]

$$\sum_{i=0}^{2L} a_i \exp(-j\omega_l i) = 0, \tag{4}$$

где $a_0 = 1$, $a_i = a_{2L-i}$.

Решая уравнение

$$\sum_{i=0}^{2L} a_i z^i = 0, \tag{5}$$

можно определить частоты ω_l , как фазы $\exp(\pm j\omega_l)$ корней уравнения (5). Таким образом, задача оценивания частот ω_l может быть сведена к оцениванию коэффициентов a_i , входящих в уравнение линейно.

Используя свойство коэффициентов a_l запишем исходную задачу в следующем виде:

$$\begin{aligned} &-\mathrm{s}(n) - \mathrm{s}(n-2L) = \\ &= \sum_{i=1}^{L-1} a_i \left(\mathrm{s}(n-i) - \mathrm{s}(n-2L+i)\right) + a_L \, \mathrm{s}(n-L), \\ &x(n) = s(n) + q(n), \end{aligned} \tag{6}$$

Определим выражение для ошибки:

$$\begin{aligned} &e(n) = +q(n) + q(n-2L) + \\ &+\sum_{i=1}^{L-1} a_i \left(q(n-i) - q(n-2L+i)\right) + a_L q(n-L). \end{aligned} \tag{7}$$

Запишем уравнение (6) в матричной форме

$$Y = Xa, \tag{8}$$

где $\mathrm{Y} = \left(-x(N-1) - x(N-2L-1), \ldots, -x(2L) - x(0)\right)^T$, $a = (a_1, \ldots, a_l)^T$,

$$X = \begin{pmatrix} -x(N-2) - x(N-2L) & \ldots & x(N-L-1) \\ -x(N-3) - x(N-2L-1) & \ldots & x(N-L-2) \\ \vdots & \ddots & \vdots \\ -x(2L-1) - x(1) & \ldots & x(L) \end{pmatrix}^T.$$

IV. Метод наименьших квадратов

Наиболее распространённым методом оценивания параметров для уравнения (8) является метод наименьших квадратов, который минимизирует сумму квадратов ошибки:

$$J(a) = \sum_{n=2L}^{N} \left(e(n)\right)^2 = e^T e = (Y - Xa)^T (Y - Xa),$$

где $e = (e(N-1), \ldots, e(2L))^T$.

Оценка $\hat{a}_{LS}$ по методу наименьших квадратов может быть получена как решение системы нормальных уравнений:

$$\hat{a}_{LS} = (X^T X)^{-1} X^T Y.$$

Применение метода наименьших квадратов для оценивания коэффициентов уравнения (8) приведет к смещенным оценкам, так как ошибка (7) не является “белым шумом”.

V. Метод полных наименьших квадратов

Несмещенные оценки частоты могут быть получены на основе минимизации обобщенного отношения Рэлея [14]. Найдем дисперсию ошибки $e(n)$

$$\sigma_e^2 = \mathrm{E}\left(\left(e(n)\right)^2\right) = 2 + a^T D a = 2(1 + a^T \bar{D} a),$$

где $\bar{D}$ диагональная матрица следующего вида

$$\bar{D} = \begin{pmatrix} 1 & 0 & \dots & 0 \\ 0 & 1 & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \dots & 1/2 \end{pmatrix}.$$

Критерий на основе минимизации обобщенного отношения Рэлея имеет вид:

$$\min_a \frac{\|Y - Xa\|_2^2}{1 + a^T \bar{D} a}. \qquad (9)$$

Преобразуем задачу (9) к задаче полных наименьших квадратов. Введем новый вектор переменных

$$\tilde{a} = Ha, \qquad (10)$$

где $\bar{D} = H^T H$.

Запишем критерий (9) с помощью нового вектора переменных

$$\min_{\tilde{a}} \frac{\left\|Y - XH^{-1}\tilde{a}\right\|_2^2}{1 + \tilde{a}^T \tilde{a}}. \qquad (11)$$

A. Решение задачи полных наименьших квадратов на основе сингулярного разложения.

Наиболее распространённый подход к минимизации (11) основан на использовании сингулярного разложения. Решение задачи (11) требует вычисления минимального сингулярного числа расширенной матрицы $C = \left(XH^{-1}, Y\right)$ и соответствующего этому числу правого сингулярного вектора.

Сингулярное разложение матрицы имеет вид [15]:

$$C = U \Sigma V^T,$$

где матрица $U_{(\mathrm{N}-2L)\times(\mathrm{N}-2L)}$ - левый сингулярный вектор, $V_{(L+1)\times(L+1)}$ - правый сингулярный вектор,

матрицы U и V являются ортонормальными $U^T U = UU^T = 1$, $V^T V = VV^T = 1$,

$\Sigma_{(N-2L)\times(L+1)} = diag\left\{\sigma_1, \sigma_2, \dots, \sigma_{\min\{N-2L, L+1\}}\right\}$,

$\sigma_1 \geq \sigma_2 \geq \dots \geq \sigma_{\min\{N-2L, L+1\}}$ - сингулярные числа матрицы C. Матрица V имеет вид:

$$V = \begin{pmatrix} v_{1,1} & \cdots & v_{1,(L+1)} \\ \vdots & \ddots & \vdots \\ v_{(L+1),1} & \cdots & v_{(L+1),(L+1)} \end{pmatrix}.$$

Если $v_{(L+1),(L+1)} \neq 0$ и $\sigma_L \neq \sigma_{L+1}$, задача (11) имеет единственное решение:

$$\hat{a}_{TLS1} = -\frac{1}{v_{(\mathrm{L}+1),(\mathrm{L}+1)}} \begin{pmatrix} v_{1,1} & \dots & v_{\mathrm{L},\mathrm{L}} \end{pmatrix}^T. \qquad (12)$$

Оценки частоты, полученные на основе правого сингулярного вектора, имеют высокую точность. Однако задача поиска сингулярного вектора является нелинейной и имеет высокую вычислительную сложность. Ее численное решение сопряжено со значительными трудностями [16].

B. Решение на основе нормальной смещенной системы

Второй подход основан на решении смещенной нормальной системы. В обзоре [13] отмечалось, что данный подход в отдельных случаях может давать решение точнее, чем метод на основе сингулярного разложения.

В [17] показано, что если выполняется условие

$$\sigma = \sigma_{\min}(C) < \sigma_{\min}\left(XH^{-1}\right), \qquad (13)$$

то решение задачи (11) может быть получено из системы уравнений

$$\left(\left(XH^{-1}\right)^T XH^{-1} - \sigma^2 I\right)\tilde{a} = \left(XH^{-1}\right)^T Y, \qquad (14)$$

При решении системы (13) нелинейной остается лишь скалярная задача поиска минимального сингулярного числа $\lambda_{\min}(C)$. Данная задача всегда хорошо обусловлена [16]. Векторная же задача является линейной. Однако система (13) часто бывает плохо обусловлена. Число обусловленности нормальной смещенной матрицы определяется из следующего соотношения:

$$cond_2\left(\left(XH^{-1}\right)^T XH^{-1} - \sigma^2 I\right) = \frac{\sigma_{\max}^2\left(XH^{-1}\right) - \sigma^2}{\sigma_{\min}^2\left(XH^{-1}\right) - \sigma^2}.$$

Плохая обусловленность (13) возникает по двум причинам: из-за произведения $C^T C$ и из-за возможной близости $\sigma_{\min}^2\left(XH^{-1}\right)$ и σ^2. Для повышения устойчивости решения смещенной нормальной системы уравнений может быть применен метод Холецкого. Метод Холецкого имеет существенный недостаток - на плохо обусловленных матрицах он может приводить к неприемлемой погрешности в решении системы уравнений.

В [18] предлагается использовать расширенную систему эквивалентную смещенной нормальной системе (14)

$$\overline{X}\overline{a} = \overline{Y}, \tag{15}$$

или

$$\left(\begin{array}{c|c|c} I & 0 & kXH^{-1} \\ \hline 0 & I & jk\sigma I \\ \hline \left(kXH^{-1}\right)^T & jk\sigma I & 0 \end{array}\right)\left(\begin{array}{c} k\overline{e} \\ \hline kr \\ \hline \hat{\tilde{a}} \end{array}\right) = \left(\begin{array}{c} kY \\ \hline 0 \\ \hline 0 \end{array}\right), \tag{16}$$

где $k > 0$ произвольный множитель, $j = \sqrt{-1}$.

Число обусловленности матрицы $\overline{X}(k)$ имеет вид [18]:

$$cond_2\left(\overline{X}(k)\right) = \frac{\sqrt{1+k^2\mu_{\max}+k^2\sigma^2}}{\sqrt{1+k^2\mu_{\min}+k^2\sigma^2}} \times \left| \frac{\cos\left(\frac{1}{3}\arccos\left(\frac{3\sqrt{3}}{2}\frac{k^2\left(\mu_{\max}-\sigma^2\right)}{\left(1+k^2\mu_{\max}+k^2\sigma^2\right)^{3/2}}\right)\right)}{\cos\left(\frac{\pi}{3}+\frac{1}{3}\arccos\left(\frac{3\sqrt{3}}{2}\frac{k^2\left(\mu_{\min}-\sigma^2\right)}{\left(1+k^2\mu_{\min}+k^2\sigma^2\right)^{3/2}}\right)\right)}\right|, \tag{17}$$

где $\mu_{\max}, \mu_{\min}$ максимальное и минимальное собственные числа матрицы $XH^{-1}\left(XH^{-1}\right)^T$.

Задачу поиска минимального значения числа обусловленности можно рассматривать как задачу выбора оптимального множителя k:

$$\inf_{k>0} cond_2\left(\overline{X}(k)\right) \tag{18}$$

Задача (17) не имеет аналитического решения, но может быть решена численными методами. На практике в качестве оценки k_{opt} можно использовать величину

$$\hat{k}_{opt} = \frac{\sigma_{\max}\left(XH^{-1}\right)+\sigma}{\sigma_{\min}\left(XH^{-1}\right)+\sigma}\sqrt{\frac{2}{\sigma_{\max}^2\left(XH^{-1}\right)+\sigma^2}}. \tag{19}$$

Задача (16) может быть решена стандартными методами решения систем уравнений, например, с помощью LU-разложения. Из уравнения $\hat{\tilde{a}} = H\hat{a}$ можно получить оценку вектора параметров $\hat{a}$.

$$\hat{a} = H^{-1}\hat{\tilde{a}}. \tag{20}$$

Алгоритм

Шаг 1. Выполнить разложение $\overline{D} = H^T H$ и произвести замену переменной (10)

Шаг.2 Найти наименьшее сингулярное число матрицы C.

Шаг 3. Рассчитать значение множителя по (17) или (18)

Шаг 4. Решить систему уравнений (15) с помощью метода Гаусса или алгоритма [15].

Шаг 5. Найти оценку параметров $\hat{a}_{TLS2} = H^{-1}\hat{\tilde{a}}$.

VI. Результаты моделирования

Модель сигнала без шума описывается уравнением:

$$s(n) = \sum_{l=1}^{5} \alpha_l \sin\left(\omega_l n + \phi_l\right), \tag{21}$$

где $\alpha = \left(1 \quad 1 \quad 1 \quad 1 \quad 1\right)$, $\omega = \left(1.1 \quad 1.2 \quad 1.3 \quad 1.4 \quad 1.5\right)$,

$\phi = \left(\pi \quad \pi/2 \quad \pi/3 \quad \pi/4 \quad \pi/5\right)$.

Число наблюдений $N = 2000$. Отношение “сигнал-шум” для суммы синусоид [19]:

$$SNR = 10\lg\left(\frac{\alpha_1^2}{2\sigma_\xi^2}\right), \tag{22}$$

и было равно $SNR = 17$ dB.

Фрагменты реализации сигнала без шума $s(n)$ и сигнала с шумом $x(n)$ представлены на рис. 1.

Обусловленности задач (14) и (15) приведены в таблице 1:

Таблица 1

Значения чисел обусловленности

	$cond_2$
$\left(XH^{-1}\right)^T XH^{-1} - \sigma^2 I$	27590
$\overline{X}(k)$	37.91

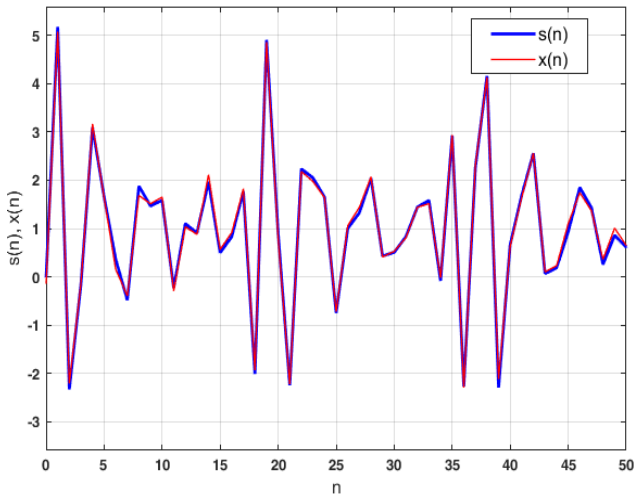


Рис. 1. Фрагменты реализации сигнала без шума $s(n)$ и сигнала с шумом $x(n)$

Алгоритмы сравнивались по рассогласованию вектора оценок коэффициентов $\hat{a}$ и рассогласованию вектора оценок частот $\hat{\omega}$:

$$\delta a = 20\lg\left(\frac{\|\hat{a}-a\|_2}{\|a\|_2}\right), \quad (23)$$

$$\delta\omega = 20\lg\left(\frac{\|\hat{\omega}-\omega\|_2}{\|\omega\|_2}\right). \quad (24)$$

Результаты приведены в табл. 2.

Таблица 2

Рассогласование векторов оценок параметров $\hat{a}$ и $\hat{\omega}$

	δa , dB	$\delta\omega$, dB
$\hat{a}_{LS}$	-0.0690	-13.1209
$\hat{a}_{TLS2}$	-23.8545	-37.6913
$\hat{a}_{TLS2}$	-23.8545	-37.6913

В табл. 3 приведены значения истинных частот сигнала и их оценок.

Таблица 3

Истинные значения частот и их оценки

ω	$\hat{\omega}_{LS}$	$\hat{\omega}_{TLS}$
1.35	0.4155	-1.3482
1.70	1.3591	-1.6819
2.05	1.7799	1.9990
2.40	2.2561	2.3700
2.75	2.7195	2.7447

Представленные в разделе результаты показывают, что оценки частоты на основе расширенных систем сопоставимы по точности с решением задачи полных наименьших квадратов на основе сингулярного разложения матрицы и имеют существенно меньшее число обусловленности, чем смещенная нормальная система уравнений.

VII. Заключение

В статье предложен метод оценивания частот синусоид с шумом на основе решения смещенной нормальной системы. Результаты моделирования показали, что предложенная оценка частот синусоид по точности не уступает оценкам, полученным на основе сингулярного разложения матрицы, и имеет меньшее число обусловленности чем смещенная нормальная система. Возможность получать решение задачи полных наименьших квадратов без нахождения правого сингулярного вектора и матрицы $\left(XH^{-1}\right)^T XH^{-1}-\sigma^2 I$ является несомненным достоинством оценок частоты на основе расширенных систем, по сравнению с решениями на основе сингулярного разложения матрицы или смещенной нормальной системы, соответственно. Дальнейшим направлением исследований является разработка рекуррентных алгоритмов, позволяющих проводить оценивание частот в режиме реального времени.

Литература

[1] Marple S.L., Digital Spectral Analysis with Applications. Englewood Cliffs, NJ: Prentice-Hall, 1987.

[2] Stoica P., Moses R., Introduction to Spectral Analysis. Upper Saddle River, NJ: Prentice-Hall, 1997.

[3] Stoica P., List of references on spectral line analysis// Signal Process. 1993. V. 31, № 3. P. 1298–1319.

[4] Kay S.M., Modern Spectral Estimation : Theory and Application. Englewood Cliffs, NJ: Prentice-Hall, 1988.

[5] B. G. Quinn and E. J. Hannan, The Estimation and Tracking of Frequency Cambridge, U.K.: Cambridge Univ. Press, 2001.

[6] Rife D.C., Boorstyn R.R., Multiple tone parameter estimation from discrete-time observations // Bell Syst. Tech. J. 1976. P. 1389–1410.

[7] P. Stoica and A. Nehorai, “Statistical analysis of two nonlinear least squares estimators of sine wave parameters in the colored noise case,” in Proc. Int. Conf. Acoust. Speech, Signal Processing, vol. 4, New York, 1988, pp. 2408–2411.

[8] M. D. Rahman and K. B. Yu, “Total least squares approach for frequency estimation using linear prediction,” IEEE Trans. Acoust. Speech, Signal Processing, vol. ASSP-35, no. 5, pp. 1440–1454, Oct. 1987.

[9].Ivanov D.V., Katsyuba O.A., Grigorovskiy, B.K. Determination of frequency in three-phase electric circuits with autocorrelated noise. // Russ. Electr. Engin. 2017. № 88, P. 123–126 .

[10] Y. T. Chan, J. M. M. Lavoie, and J. B. Plant, “A parameter estimation approach to estimation of frequencies of sinusoids,” IEEE Trans. Acoust. Speech, Signal Process., vol. ASSP-29, no. 2, pp. 214–219, Apr. 1981.

[11] Y. T. Chan and R. P. Langford, “Spectral estimation via the high-order Yule-Walker equations,” IEEE Trans. Acoust. Speech, Signal Processing, vol. ASSP-30, no. 5, pp. 689–698, Oct. 1982.

[12] Li T.H., Kedem B. Iterative filtering for multiple frequency estimation//IEEE Trans. Signal Processing. 1994. V. 42, №. 5, P. 1120–1131, 1994.

[13] Markovsky I., Van Huffel S., Overview of total least-squares methods //Signal Processing. 2007. V.87, №.10. P. 2283-2302.
[14] Ivanov D.V. et al, Identification of exponential trend models with fractional white noise //J. Phys.: Conf. Ser., 2019. 1368 042061.
[15]. Golub G. H.; van Loan C.F. Matrix Computations (3rd ed.), Johns Hopkins University Press, 1996.
[16] Wilkinson, J. H.,The Algebraic Eigenvalue Problem. Oxford University Press, Inc. 1988.
[17] Zhdanov A.I. Solving incorrect stochastic linear algebraic equations by the regularized maximum likelihood method. // ZhVMiMF. 1988.V. 28. No. 9. S. 1420-1425.
[18] Zhdanov A.I., Shamarov P.A., Direct projection method in the problem of complete least squares // Autom. Remote Control. 2000. V. 61, № 4, P. 610-620.
[19] Stoica P., Moses R.L., Soderstrom T., Li J., Optimal high-order Yule-Walker estimation of sinusoidal frequencies // IEEE Transactions on Signal Processing. 1991. V. 39, № 6, P. 1360-1368, doi: 10.1109/78.136542.

Estimation of Frequencies of Sinusoids Based on the Augmented Equivalent Systems

D.V. Ivanov, O.I. Mitroshin

Samara State University of Transport, Samara, dvi85@list.ru

***Abstract* — A large number of papers are devoted to the problem of estimating the frequencies of sinusoids from a finite number of discrete noisy measurements because of its widespread use in science and technology. Estimating the frequencies of sinusoids based on the total least-squares method (TLS) allows us to obtain more accurate estimates compared to the ordinary least-squares method (OLS). The most common algorithm for solving the total least squares problem is an algorithm based on a singular matrix decomposition. This algorithm has high computational complexity. An alternative method for solving the problem of complete least squares is the approach based on biased normal systems. The paper proposes an estimate of the frequencies of sinusoids from discrete measurements with noise based on augmented equivalent systems. The ability to obtain a solution of the complete least squares problem without finding the right singular vector and multiplying the data matrices is an undeniable advantage of frequency estimates based on augmented systems compared to solutions based on a singular matrix decomposition or a biased normal system, respectively. The simulation results show that frequency estimates based on augmented systems are comparable in accuracy with the solution of the complete least squares problem based on a singular matrix decomposition and have a significantly lower condition number than a shifted normal system of equations.**

***Keywords* — Total Least Squares Method, Resolution, Frequency Estimation.**

REFERENCES

[1] Marple S.L., Digital Spectral Analysis with Applications. Englewood Cliffs, NJ: Prentice-Hall, 1987.
[2] Stoica P., Moses R., Introduction to Spectral Analysis. Upper Saddle River, NJ: Prentice-Hall, 1997.
[3] Stoica P., List of references on spectral line analysis// Signal Process. 1993. V. 31, № 3. P. 1298–1319.
[4] Kay S.M., Modern Spectral Estimation : Theory and Application. Englewood Cliffs, NJ: Prentice-Hall, 1988.
[5] B. G. Quinn and E. J. Hannan, The Estimation and Tracking of Frequency Cambridge, U.K.: Cambridge Univ. Press, 2001.
[6] Rife D.C., Boorstyn R.R., Multiple tone parameter estimation from discrete-time observations // Bell Syst. Tech. J. 1976. P. 1389–1410.
[7] P. Stoica and A. Nehorai, "Statistical analysis of two nonlinear least squares estimators of sine wave parameters in the colored noise case," in Proc. Int. Conf. Acoust. Speech, Signal Processing, vol. 4, New York, 1988, pp. 2408–2411.
[8] M. D. Rahman and K. B. Yu, "Total least squares approach for frequency estimation using linear prediction," IEEE Trans. Acoust. Speech, Signal Processing, vol. ASSP-35, no. 5, pp. 1440–1454, Oct. 1987.
[9].Ivanov D.V., Katsyuba O.A., Grigorovskiy, B.K. Determination of frequency in three-phase electric circuits with autocorrelated noise. // Russ. Electr. Engin. 2017. № 88, P. 123–126 .
[10] Y. T. Chan, J. M. M. Lavoie, and J. B. Plant, "A parameter estimation approach to estimation of frequencies of sinusoids," IEEE Trans. Acoust. Speech, Signal Process., vol. ASSP-29, no. 2, pp. 214–219, Apr. 1981.
[11] Y. T. Chan and R. P. Langford, "Spectral estimation via the high-order Yule-Walker equations," IEEE Trans. Acoust. Speech, Signal Processing, vol. ASSP-30, no. 5, pp. 689–698, Oct. 1982.
[12] Li T.H., Kedem B. Iterative filtering for multiple frequency estimation//IEEE Trans. Signal Processing. 1994. V. 42, №. 5, P. 1120–1131, 1994.
[13] Markovsky I., Van Huffel S., Overview of total least-squares methods //Signal Processing. 2007. V.87, №.10. P. 2283-2302,
[14] Ivanov D.V. et al, Identification of exponential trend models with fractional white noise //J. Phys.: Conf. Ser., 2019. 1368 042061.
[15]. Golub G. H.; van Loan C.F. Matrix Computations (3rd ed.), Johns Hopkins University Press, 1996.
[16] Wilkinson, J. H.,The Algebraic Eigenvalue Problem. Oxford University Press, Inc. 1988.
[17] Zhdanov A.I. Solving incorrect stochastic linear algebraic equations by the regularized maximum likelihood method. // ZhVMiMF. 1988.V. 28. No. 9. P. 1420-1425.
[18] Zhdanov A.I., Shamarov P. A., Direct projection method in the problem of complete least squares, Autom. Remote Control. 2000. V. 61, № 4, P. 610-620.
[19] Stoica P., Moses R.L., Soderstrom T., Li J., Optimal high-order Yule-Walker estimation of sinusoidal frequencies // IEEE Transactions on Signal Processing. 1991. V. 39, № 6, P. 1360-1368, doi: 10.1109/78.136542.

ИМЕННОЙ УКАЗАТЕЛЬ АВТОРОВ СТАТЕЙ

– **А** –
Андреев Л.Е. – 35

– **Б** –
Булах Д.А. – 41
Буслаев Р.Д. – 230
Быкова А.В. – 224

– **В** –
Власов А.О. – 188
Волкова Е.И. – 108
Воробьев А.С. – 207

– **Г** –
Гаврилов С.В. – 16
Горбунов М.С. – 188
Гревцев Н.А. – 57
Гурарий М.М. – 28

– **Д** –
Джиган В.И. – 151
Дябин М.И. – 172

– **Е** –
Ерохин В.В. – 158, 165

– **Ж** –
Жаров М.М. – 28
Жезлов К.А. – 94
Железников Д.А. – 16
Желудков Н.В. – 188

– **З** –
Заплетина М.А. – 16
Зибарев К.М. – 35

– **И** –
Иванников А.Д. – 2
Иванов А.А. – 100
Иванов Д.В. – 244

– **К** –
Калашников В.С. – 180
Квасников А.А. – 100
Клишин А.В. – 188
Козленко А.С. – 139
Коноплев Б.Г. – 218
Коршунов А.В. – 41
Куксенко С.П. – 100
Курейчик В.М. – 120
Ковалев А.В. – 218

– **Л** –
Лебедев Б.К. – 79
Лебедев О.Б. – 79
Лесников В.А. – 194
Лобода В.В. – 230
Лукьянов Б.С. – 139
Лукьянова М.Б. – 139
Лысенко И.Е. – 237

– **М** –
Макарова Н.И. – 139
Метелица А.В. – 139
Миронов С.Э. – 35
Митрошин О.И. – 244
Михмель А.С. – 73
Мкртычан И.А. – 73

– **Н** –
Науменко А.А. – 207
Наумович Т.В. – 194
Недбайло Ю.А. – 87

– **О** –
Ожогин И.В. – 139
Островская Н.В. – 127

– **П** –
Петросянц К.О. – 49
Полунин М.Н. – 224
Попков С.А. – 108
Пугачев А.Д. – 139
Путря М.Г. (Putrya M.G.) – 147

– **Р** –
Рассадин А.Э. – 201
Решетников А.В. – 172
Ростовцева И.А. – 139
Русаков С.Г. – 28

– **С** –
Саксонов Е.А. – 172
Сахаров Ю.В. – 133
Семенов М.Ю. – 180
Синюкин А.С. – 218
Скиданов В.А. – 127
Скрипниченко М.Н. – 114
Скуратов А.К. – 65
Сохацкий А.А. (Sokhatski A.A.) – 22
Стемпковский А.Л. – 2
Степанов А.В. – 201

– **Т** –
Тельпухов Д.В. – 73
Титов Ю.А. – 180
Ткачев В.В. – 139
Ткаченко А.В. – 237

– **У** –
Ульянов С.Л. – 28

– **Х** –
Халирбагинов Р.И. – 212
Харитонов И.А. – 49

– **Ч** –
Частиков А.В. – 194
Черемисинов Д.И. – 9
Черемисинова Л.Д. – 9
Чибисов П.А. – 57

– **Ш** –
Шабанов А.А. (Shabanov A.A.) – 147
Штучный А.М. – 120

– **Э** –
Эмин Е.К. – 188

Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС)

2020. Выпуск III

Под общей редакцией
академика РАН А.Л. Стемпковского

Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук

Подписано в печать 10.09.2020 г.
Формат 60x84/8. Печать офсетная. Бумага офсетная.
Печ. л. 33,0. Усл. печ. л. 30,69. Тираж 50. Заказ № 79.

Издательство «Манускрипт»
248000, г. Калуга, ул. Баженова, 2. Тел. (4842) 57-31-87.
E-mail: id_manuskript@mail.ru